

GPS 接收机电路设计

黄智伟 编著

国防工业出版社

·北京·

内 容 简 介

本书共 8 章,系统阐述了 GPS 接收机的技术基础、系统设计方案、射频前端低噪声放大器电路、下变频器电路、射频前端电路、相关器电路、基带处理器电路和单芯片 GPS 接收机电路设计,对组成 GPS 接收机各部分的集成电路芯片的原理、内部结构、性能指标、应用电路以及在实际应用中应注意的一些问题进行了介绍。本书突出新颖性、工程性和实用性,内容深入浅出,通俗易懂,方便使用。

本书可供从事 GPS 接收机在导航、测量、无线遥控和遥测系统、无线数据采集系统、无线网络、无线安全防范系统等应用研究的工程技术人员,进行 GPS 接收机电路设计与应用的参考书和工具书,也可以作为高等院校通信、电子等相关专业本科生和研究生专业课程的教学参考书。

图书在版编目(CIP)数据

GPS 接收机电路设计 / 黄智伟编著. —北京:国防工业出版社,2005.6

ISBN 7-118-03802-4

I. G... II. 黄... III. 全球定位系统(GPS)—接收机—电路设计 IV. P228.4

中国版本图书馆 CIP 数据核字(2005)第 009993 号

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号)

(邮政编码 100044)

北京奥鑫印刷厂印刷

新华书店经售

*

开本 787×1092 1/16 印张 26¼ 650 千字

2005 年 6 月第 1 版 2005 年 6 月北京第 1 次印刷

印数:1—4000 册 定价:43.00 元

(本书如有印装错误,我社负责调换)

国防书店:(010)68428422

发行邮购:(010)68414474

发行传真:(010)68411535

发行业务:(010)68472764

前 言

GPS 技术目前正广泛地应用在导航、测量、通信和其他许多领域。随着 GPS 技术的不断发展,应用领域在不断地扩展、普及和深入,而 GPS 接收机是 GPS 技术应用的基础。

本书是为从事 GPS 技术研究、开发与应用的工程技术人员编写的参考书和工具书。全书共 8 章,第 1 章介绍了 GPS(全球定位系统)的组成、GPS 卫星信号的基本特性、GPS 接收机的基本构成;第 2 章介绍了 AD 等 14 家公司的 GPS 接收机设计方案;第 3 章介绍了基于 ATR0610 等 8 种低噪声放大器(LNA)IC 芯片组成的 GPS 接收机射频前端 LNA 电路设计;第 4 章介绍了基于 CXA1951AQ 等 7 种变频器 IC 芯片组成的 GPS 接收机下变频器电路设计;第 5 章介绍了基于 ATR0600 等 15 种射频前端 IC 芯片组成的 GPS 接收机射频前端电路设计;第 6 章介绍了基于 GP1020 等 3 种相关器 IC 芯片的 GPS 接收机相关器电路设计;第 7 章介绍了基于 ATR0620GPS 等 7 种基带处理器 IC 芯片的 GPS 接收机基带处理器电路设计;第 8 章介绍了基于 CXD2951GA 等 5 种单芯片/模块的 GPS 接收机电路设计,系统全面地对 GPS 接收机各组成电路的集成电路芯片的原理、内部结构、性能指标、应用电路以及在应用中应注意的一些问题进行了阐述。

本书具有如下特点:

新颖性 本书中所介绍的 GPS 接收机电路均是采用近年各公司推出的最新的、高集成度的集成电路芯片。

系统性 本书介绍了 14 种 GPS 接收机系统设计方案、8 种 GPS 接收机低噪声放大器电路、7 种 GPS 下变频器、15 种 GPS 接收机射频前端电路、3 种 GPS 接收机相关器电路、7 种 GPS 接收机基带处理器电路和 5 种单芯片 GPS 接收机电路等的设计。

理论性 本书分门别类地介绍了各种芯片的不同结构及特点,进行了内部电路的分析。

工程性 本书结合不同芯片,详细介绍了电路设计时应注意的一些问题,包括电路设计、印制电路板设计布局、元器件参数选择等。

实用性 本书中所提供的大部分应用电路和印制板都可以直接复制,应用于所设计的产品中。并且在参考文献中列出了大量的参考文献和各公司的网址,以便于读者参考使用。

本书可以作为从事 GPS 接收机在导航、测量、无线遥控和遥测系统、无线数据采集系统、无线网络、无线安全防范系统等应用研究的工程技术人员,进行 GPS 接收机电路设计与应用的参考书和工具书;也可以作为高等院校通信、电子等相关专业本科生和研究生专业课程教学参考书。

本书在编写过程中,参考了大量的资料,得到了许多专家和学者的大力支持,听取了多方面的宝贵意见和建议。李富英高级工程师对本书进行了审阅;王彦、朱卫华、张清明、潘礼、林杰文、王凤玲、余丽、申政琴、贺康政、黄松、肖凯、张朋举、简远鸣、谢远英、王艳、黄琛、李治、李伟、李金宸等为本书的编写做了大量的工作,在此一并表示衷心的感谢。

黄智伟

2004 年 11 月 28 日于南华大学

目 录

第 1 章 GPS 技术基础	1
1.1 GPS 的组成	1
1.1.1 空间卫星星座	1
1.1.2 地面监控系统	2
1.1.3 用户接收设备(GPS 接收机)	3
1.2 GPS 卫星信号的基本特性	4
1.2.1 频率和调制方式	4
1.2.2 功率电平	6
1.2.3 自相关特性和功率谱密度	7
1.2.4 互相关特性	9
1.3 GPS 接收机	9
1.3.1 GPS 接收机的基本构成	9
1.3.2 SPS 接收机.....	11
1.3.3 数字 GPS 接收机	12
1.3.4 GPS 接收机的选择	13
第 2 章 GPS 接收机设计方案	15
2.1 AD 公司基于 NAV2400 的 GPS 接收机设计方案	15
2.1.1 NAV2400GPS 接收机芯片组简介	15
2.1.2 基于 NAV2400 的 GPS 接收机电路板简介	15
2.1.3 NAV2400 评估系统	16
2.2 Atmel 公司基于 ATR06xx 的 GPS 接收机设计方案	18
2.2.1 ATR06xx 系列芯片简介	18
2.2.2 基于 ATR06xx 的 GPS 接收机设计方案	19
2.3 Garmin 公司便携式 GPS 手持机设计方案	19
2.3.1 Garmin 公司便携式 GPS 手持机简介	19
2.3.2 Garmin 公司便携式 GPS 手持机内部结构	19
2.4 Globallocate 公司基于 Indoor GPS 芯片组的 GPS 接收机设计方案	21
2.4.1 Indoor GPS 芯片组简介	21
2.4.2 基于 Indoor GPS 芯片组的 GPS 接收机设计方案	21
2.5 Himark 公司基于 AR2010 的 GPS 接收机设计方案	22
2.5.1 AR2010 GPS 控制器 SoC 简介	22
2.5.2 基于 AR2010 的 GPS 接收机设计方案	22
2.6 infineon 公司基于 FirstGPS™系统的 GPS 接收机设计方案	24

2.6.1	FirstGPS™系统简介	24
2.6.2	基于 FirstGPS™的 GPS 接收机设计方案	25
2.7	NEC 公司的 GPS 设计方案	26
2.7.1	NEC 公司的 GPS 设计方案简介	26
2.7.2	NEC 公司的 GPS 器件简介	27
2.8	Nemerix 公司的 GPS 设计方案	28
2.8.1	Nemerix 公司的 GPS 芯片简介	28
2.8.2	SW1030 软件体系结构	29
2.8.3	Nemerix 公司的 GPS 设计方案	30
2.9	Skyworks 公司基于 CX20xxx 系列芯片的 GPS 设计方案	31
2.9.1	CX74xx 接收机 ASIC 系列芯片简介	31
2.9.2	CX20xxx 基带模拟处理器系列芯片简介	33
2.9.3	基于 CX20xxx 系列芯片的 GPS 设计方案	34
2.10	SONY 公司 GPS 接收机设计方案	34
2.10.1	SONY 公司 GPS 接收机下变频器芯片简介	34
2.10.2	SONY 公司 GPS 接收机基带处理器芯片简介	35
2.10.3	SONY 公司单片 GPS 接收机芯片简介	35
2.10.4	SONY 公司 GPS 接收机设计方案	35
2.11	ST 公司的 GPS 接收机设计方案	37
2.11.1	ST 公司 GPS 接收机系列芯片简介	37
2.11.2	ST 公司的 GPS 接收机设计方案	37
2.12	Ti 公司基于 TGS5000 的 GPS 接收机设计方案	38
2.12.1	TGS5000 无线 GPS 芯片组简介	38
2.12.2	基于 TGS5000 的 GPS 接收机设计方案	38
2.13	u-Nav 公司基于 uN80xx 的 GPS 接收机设计方案	39
2.13.1	u-Nav 公司的 GPS 芯片简介	39
2.13.2	基于 uN8031B 与 uN8021 的 GPS 接收机设计方案	39
2.14	基于 XE1610 芯片组的 GPS 接收机设计方案	40
2.14.1	XE16BB10 简介	40
2.14.2	基于 XE16BB10 的 GPS 接收机设计方案	40
第 3 章	GPS 接收机射频前端低噪声放大器电路设计	41
3.1	基于 ATR0610 的 GPS 接收机低噪声放大器电路	41
3.1.1	ATR0610 简介	41
3.1.2	ATR0610 主要性能指标	41
3.1.3	ATR0610 内部结构与引脚功能	42
3.1.4	ATR0610 的应用电路	43
3.1.5	ATR0610 芯片封装尺寸	44
3.2	基于 BGA622 的 GPS 接收机 LNA 电路	45
3.2.1	基于 BGA622 的 LNA 电路结构	45
3.2.2	基于 BGA622 的 LNA 电路性能指标	46

3.3	基于 BFP640 的 GPS 接收机 LNA 电路	47
3.3.1	基于 BFP640 的 LNA 电路结构	47
3.3.2	基于 BFP640 的 LNA 电路性能指标	48
3.3.3	基于 BFP640 的 LNA 电路外形	49
3.4	基于 MAX2641 的 GPS 接收机 LNA 电路	50
3.4.1	MAX2641 简介	50
3.4.2	MAX2641 主要性能指标	50
3.4.3	MAX2641 芯片封装与引脚功能	50
3.4.4	MAX2641 应用电路	51
3.4.5	MAX2641 封装尺寸	52
3.5	基于 MAX2654/MAX2655/MAX2656 的 GPS 接收机 LNA 电路	52
3.5.1	MAX2654/MAX2655/MAX2656 简介	52
3.5.2	MAX2654/MAX2655/MAX2656 主要性能指标	52
3.5.3	MAX2654/MAX2655/MAX2656 芯片封装与引脚功能	54
3.5.4	MAX2654/MAX2655/MAX2656 应用电路	54
3.5.5	MAX2654/MAX2655/MAX2656 芯片封装尺寸	55
3.6	基于 NE38018 的 GPS 接收机 LNA 电路	56
3.6.1	NE38018 简介	56
3.6.2	NE38018 主要性能指标	56
3.6.3	NE38018 应用电路	58
3.6.4	NE38018 封装尺寸	58
3.7	基于 μ PC2749TB 的 GPS 接收机 LNA 电路	59
3.7.1	μ PC2749TB 简介	59
3.7.2	μ PC2749TB 主要性能指标	59
3.7.3	μ PC2749TB 内部结构与引脚功能	59
3.7.4	μ PC2749TB 应用电路	60
3.7.5	μ PC2749TB 封装尺寸	63
3.8	基于 μ PC8211TK 的 GPS 接收机 LNA 电路	64
3.8.1	μ PC8211TK 简介	64
3.8.2	μ PC8211TK 主要性能指标	64
3.8.3	μ PC8211TK 芯片封装与引脚功能	64
3.8.4	μ PC8211TK 应用电路	65
3.8.5	μ PC8211TK 封装尺寸	65
第 4 章	GPS 接收机下变频器电路设计	66
4.1	基于 CXA1951AQ 的 GPS 接收机下变频器电路	66
4.1.1	CXA1951AQ 简介	66
4.1.2	CXA1951AQ 主要性能指标	66
4.1.3	CXA1951AQ 内部结构与引脚功能	67
4.1.4	CXA1951AQ 电路应用	70
4.1.5	CXA1951AQ 封装尺寸	75

4.2	基于 CXA3355ER 的 GPS 接收机下变频器电路	75
4.2.1	CXA3355ER 简介	75
4.2.2	CXA3355ER 主要性能指标	76
4.2.3	CXA3355ER 内部结构与引脚功能	77
4.2.4	CXA3355ER 电路测试	82
4.2.5	CXA3355ER 电路应用	88
4.2.6	CXA3355ER 封装尺寸	94
4.3	基于 MAX2680/MAX2681/MAX2682 的 GPS 接收机下变频器电路	94
4.3.1	MAX2680/MAX2681/MAX2682 简介	94
4.3.2	MAX2680/MAX2681/MAX2682 主要性能指标	95
4.3.3	MAX2680/MAX2681/MAX2682 引脚功能	97
4.3.4	MAX2680/MAX2681/MAX2682 电路应用	98
4.3.5	MAX2680/MAX2681/MAX2682 封装尺寸	100
4.4	基于 MAX2740 的 GPS 接收机下变频器电路	100
4.4.1	MAX2740 简介	100
4.4.2	MAX2740 主要性能指标	100
4.4.3	MAX2740 芯片封装与引脚功能	101
4.4.4	MAX2740 内部结构与工作原理	102
4.4.5	MAX2740 电路应用	103
4.4.6	MAX2740 封装尺寸	108
4.5	基于 RF2498 的 GPS 接收机下变频器电路	109
4.5.1	RF2498 简介	109
4.5.2	RF2498 主要性能指标	109
4.5.3	RF2498 内部结构与引脚功能	111
4.5.4	RF2498 电路应用	115
4.5.5	RF2498 封装尺寸	121
4.6	基于 TQ5139 的 A-GPS 接收机下变频器电路	122
4.6.1	TQ5139 简介	122
4.6.2	TQ5139 主要性能指标	123
4.6.3	TQ5139 内部结构与引脚功能	124
4.6.4	TQ5139 电路应用	126
4.6.5	TQ5139 封装尺寸	128
4.7	基于 TQ5638 的 GPS 接收机下变频器电路	129
4.7.1	TQ5638 简介	129
4.7.2	TQ5638 主要性能指标	129
4.7.3	TQ5638 内部结构与引脚功能	131
4.7.4	TQ5638 电路应用	132
4.7.5	TQ5638 的封装尺寸	134
第 5 章	GPS 接收机射频前端电路设计	135
5.1	基于 ATR0600 的 GPS 接收机射频前端电路	135

5.1.1	ATR0600 简介	135
5.1.2	ATR0600 主要性能指标	135
5.1.3	ATR0600 芯片封装与引脚功能	136
5.1.4	ATR0600 内部结构与电路应用	137
5.1.5	ATR0600 封装尺寸	141
5.2	基于 GP2010 的 GPS 接收机射频前端电路	142
5.2.1	GP2010 简介	142
5.2.2	GP2010 主要性能指标	142
5.2.3	GP2010 芯片封装与引脚功能	146
5.2.4	GP2010 内部结构与工作原理	148
5.2.5	GP2010 电路应用	150
5.2.6	GP2010 封装尺寸	152
5.3	基于 GP2015 的 GPS 接收机射频前端电路	153
5.3.1	GP2015 简介	153
5.3.2	GP2015 主要性能指标	154
5.3.3	GP2015 芯片封装与引脚功能	154
5.3.4	GP2015 内部结构与工作原理	156
5.3.5	GP2015 电路应用	156
5.3.6	GP2015 封装尺寸	162
5.4	基于 MRFIC1505R2 的 GPS 接收机射频前端电路	163
5.4.1	MRFIC1505R2 简介	163
5.4.2	MRFIC1505R2 主要性能指标	163
5.4.3	MRFIC1505R2 内部结构与引脚功能	165
5.4.4	MRFIC1505R2 电路应用	167
5.4.5	MRFIC1505R2 封装尺寸	168
5.5	基于 NJ1004 的 GPS 接收机射频前端电路	169
5.5.1	NJ1004 简介	169
5.5.2	NJ1004 主要性能指标	170
5.5.3	NJ1004 芯片封装与引脚功能	171
5.5.4	NJ1004 电路应用	175
5.5.5	NJ1004 封装尺寸	181
5.6	基于 NJ1006 的 GPS 接收机射频前端电路	183
5.6.1	NJ1006 简介	183
5.6.2	NJ1006 主要性能指标	183
5.6.3	NJ1006 芯片封装与引脚功能	185
5.6.4	NJ1006 电路应用	188
5.6.5	NJ1006 封装尺寸	195
5.7	基于 S1M8660A 的 GPS 接收机射频前端电路	197
5.7.1	S1M8660A 简介	197
5.7.2	S1M8660A 主要性能指标	197

5.7.3	S1M8660A 引脚功能	198
5.7.4	S1M8660A 的内部结构	200
5.7.5	S1M8660A 电路应用	201
5.7.6	S1M8660A 封装尺寸	203
5.8	基于 S1M8662A 的 GPS 接收机射频前端电路	207
5.8.1	S1M8662A 简介	207
5.8.2	S1M8662A 主要性能指标	207
5.8.3	S1M8662A 的引脚功能	207
5.8.4	S1M8662A 的内部结构	208
5.8.5	S1M8662A 电路应用	209
5.9	基于 SE4100L 的 GPS 接收机射频前端电路	213
5.9.1	SE4100L 简介	213
5.9.2	SE4100L 主要性能指标	213
5.9.3	SE4100L 芯片封装与引脚功能	215
5.9.4	SE4100L 内部结构与工作原理	216
5.9.5	SE4100L 电路应用	220
5.9.6	SE4100L 封装尺寸	221
5.10	基于 STB5600 的 GPS 接收机射频前端电路	221
5.10.1	STB5600 简介	221
5.10.2	STB5600 主要性能指标	221
5.10.3	STB5600 引脚功能	223
5.10.4	STB5600 内部结构与工作原理	225
5.10.5	STB5600 电路应用	225
5.10.6	STB5600 封装尺寸	228
5.11	基于 STB5610 的 GPS 接收机射频前端电路	229
5.11.1	STB5610 简介	229
5.11.2	STB5610 主要性能指标	229
5.11.3	STB5610 引脚功能	230
5.11.4	STB5610 内部结构与电路应用	231
5.11.5	STB5610 封装尺寸	232
5.12	基于 uN1005/uN8021 的 GPS 接收机射频前端电路	234
5.12.1	uN1005/uN8021 简介	234
5.12.2	uN1005/uN8021 主要性能指标	234
5.12.3	uN1005/uN8021 芯片封装与引脚功能	236
5.12.4	uN1005/uN8021 内部结构	236
5.12.5	uN1005/uN8021 电路应用	239
5.12.6	uN1005/uN8021 封装尺寸	241
5.13	基于 μ PB1008K 的 GPS 接收机射频前端电路	242
5.13.1	μ PB1008K 简介	242
5.13.2	μ PB1008K 主要性能指标	242

5.13.3	μ PB1008K 内部结构与引脚功能	243
5.13.4	μ PB1008K 电路应用	248
5.13.5	μ PB1008K 封装尺寸	252
5.14	基于 μ PB1009K 的 GPS 接收机射频前端电路	253
5.14.1	μ PB1009K 简介	253
5.14.2	μ PB1009K 主要性能指标	253
5.14.3	μ PB1009K 内部结构与引脚功能	255
5.14.4	μ PB1009K 电路应用	260
5.14.5	μ PB1009K 封装尺寸	263
第 6 章	GPS 接收机相关器电路设计	265
6.1	基于 GP1020 的 6 信道相关器电路	265
6.1.1	GP1020 简介	265
6.1.2	GP1020 主要性能指标	265
6.1.3	GP1020 引脚功能	267
6.1.4	GP1020 内部结构与工作原理	270
6.1.5	GP1020 电路应用	274
6.1.6	GP1020 封装尺寸	280
6.2	基于 GP2021 的 GPS 12 信道相关器电路	281
6.2.1	GP2021 简介	281
6.2.2	GP2021 主要性能指标	281
6.2.3	GP2021 引脚功能	283
6.2.4	GP2021 内部结构与工作原理	285
6.2.5	GP2021 电路应用	290
6.2.6	GP2021 封装尺寸	294
6.3	基于 XE16BB10 的 GPS 接收机相关器电路	295
6.3.1	XE16BB10 简介	295
6.3.2	XE16BB10 主要性能指标	295
6.3.3	XE16BB10 芯片封装与引脚功能	297
6.3.4	XE16BB10 内部结构	298
6.3.5	XE16BB10 电路应用	299
6.3.6	XE16BB10 封装尺寸	300
第 7 章	GPS 接收机基带处理器电路设计	301
7.1	基于 ATR0620 的 GPS 接收机基带处理器电路	301
7.1.1	ATR0620 简介	301
7.1.2	ATR0620 主要性能指标	301
7.1.3	ATR0620 引脚功能	302
7.1.4	ATR0620 内部结构与电路应用	305
7.1.5	ATR0620 封装尺寸	308
7.2	基于 CXD2931R-9/GA-9 的 GPS 接收机基带处理器电路	309
7.2.1	CXD2931R-9/GA-9 简介	309

7.2.2	CXD2931R-9/GA-9 主要性能指标	309
7.2.3	CXD2931R-9/GA-9 芯片封装与引脚功能	310
7.2.4	CXD2931R-9/GA-9 内部结构	314
7.2.5	CXD2931R-9/GA-9 电路应用	315
7.2.6	CXD2931R-9/GA-9 封装尺寸	319
7.3	基于 CXD2932AGA-2 的 GPS 接收机基带处理器电路	321
7.3.1	CXD2932AGA-2 简介	321
7.3.2	CXD2932AGA-2 主要性能指标	322
7.3.3	CXD2932AGA-2 芯片封装与引脚功能	323
7.3.4	CXD2932AGA-2 内部结构	325
7.3.5	CXD2932AGA-2 电路应用	327
7.3.6	CXD2932AGA-2 封装尺寸	330
7.4	基于 GP4020 的 GPS 接收机基带处理器电路	331
7.4.1	GP4020 简介	331
7.4.2	GP4020 主要性能指标	331
7.4.3	GP4020 引脚功能	333
7.4.4	GP4020 内部结构与工作原理	335
7.4.5	GP4020 电路应用	338
7.4.6	GP4020 封装尺寸	340
7.5	基于 NJ1030 的 GPS 接收机基带处理器电路	341
7.5.1	NJ1030 简介	341
7.5.2	NJ1030 主要性能指标	341
7.5.3	NJ1030 引脚功能	342
7.5.4	NJ1030 内部结构与工作原理	346
7.5.5	NJ1030 电路应用	349
7.5.6	NJ1030 封装尺寸	349
7.6	基于 ST20-GP6 的 GPS 接收机基带处理器电路	350
7.6.1	ST20-GP6 简介	350
7.6.2	ST20-GP6 主要性能指标	351
7.6.3	ST20-GP6 引脚功能	353
7.6.4	ST20-GP6 内部结构与工作原理	355
7.6.5	ST20-GP6 电路应用	357
7.6.6	ST20-GP6 封装尺寸	358
7.7	基于 uN8031B 的 GPS 接收机基带处理器电路	259
7.7.1	uN8031B 简介	359
7.7.2	uN8031B 主要性能指标	359
7.7.3	uN8031B 芯片封装与引脚功能	361
7.7.4	uN8031B 内部结构	363
7.7.5	uN8031B 电路应用	364
7.7.6	uN8031B 封装尺寸	369

第 8 章 单芯片(模块)GPS 接收机电路设计	371
8.1 基于 CXD2951GA 的 GPS 接收机电路	371
8.1.1 CXD2951GA 简介	371
8.1.2 CXD2951GA 主要性能指标	371
8.1.3 CXD2951GA 芯片封装与引脚功能	373
8.1.4 CXD2951GA 内部结构	376
8.1.5 CXD2951GA 电路应用	379
8.1.6 CXD2951GA 封装尺寸	381
8.2 基于 eazix EZGPM01 的 GPS 接收机电路	382
8.2.1 EZGPM01 简介	382
8.2.2 EZGPM01 主要性能指标	382
8.2.3 EZGPM01 引脚功能	383
8.2.4 EZGPM01 内部结构	385
8.2.5 EZGPM01 电路应用	385
8.2.6 EZGPM01 封装尺寸	385
8.3 基于 ITRAX02 的 GPS 接收机电路	386
8.3.1 ITRAX02 主要技术特性	386
8.3.2 ITRAX02 引脚功能	387
8.3.3 ITRAX02 内部结构	388
8.3.4 ITRAX02 电路应用	389
8.3.5 ITRAX02 封装尺寸	393
8.4 基于 RF8009 的 GPS 接收机电路	395
8.4.1 RF8009 简介	395
8.4.2 RF8009 主要性能指标	395
8.4.3 RF8009 模块封装与引脚功能	397
8.4.4 RF8009 内部结构	397
8.4.5 RF8009 电路应用	398
8.4.6 RF8009 封装尺寸	401
8.5 基于 XE1610-OEM PVT 的 GPS 接收机电路	403
8.5.1 XE1610-OEM PVT 简介	403
8.5.2 XE1610-OEM PVT 主要性能指标	403
8.5.3 XE1610-OEM PVT 引脚功能	404
8.5.4 XE1610-OEM PVT 内部结构	404
8.5.5 XE1610-OEM PVT 电路应用	405
参考文献	407

第 1 章 GPS 技术基础

1.1 GPS 的组成

GPS(全球定位系统)由空间卫星星座、地面监控系统和用户接收设备三大部分组成。

1.1.1 空间卫星星座

空间卫星星座由 21 颗工作卫星和 3 颗备用卫星(共 24 颗卫星)构成,如图 1-1 所示,24 颗卫星均匀分布在 6 个地心轨道平面内,每个轨道 4 颗卫星。卫星的运行轨道周期是半个恒星日,或者说 11h58min。各个轨道接近于圆形,而且沿赤道以 60° 间隔均匀分布,相对于赤道面的倾斜角为 55° 。轨道半径(即从地球质心到卫星的额定距离)大约为 26 600km。因此,同一观测站上,每天出现的卫星分布图形相同,只是每天提前约 4min。地面观测者见到地平面上的卫星颗数随时间和地点的不同而异,最少为 4 颗,最多可达 11 颗。

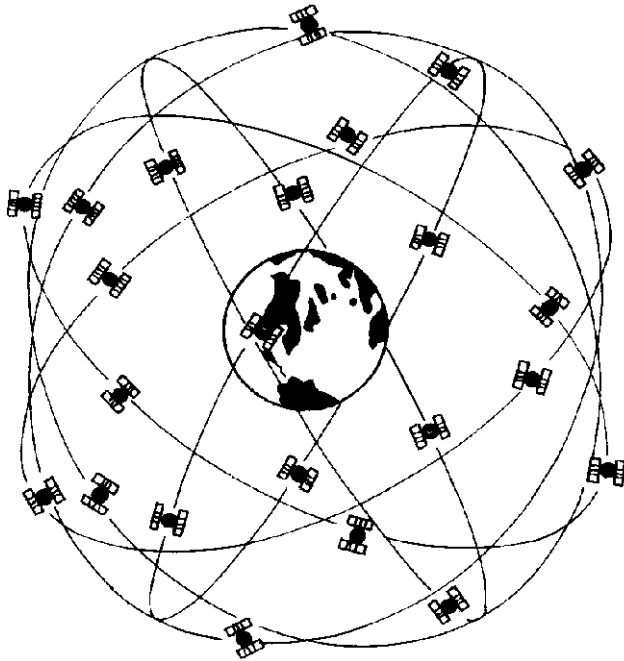


图 1-1 GPS 空间卫星星座

如果把卫星运行轨道想象成一个“环”,把每条轨道打开,在一个平面上拉直;同样也将地球赤道想象成一个“环”,把它打开,在一个平面上拉直,那么每条卫星运行轨道的斜率表示相对于地球赤道平面的倾斜角,其额定值为 55° 。卫星运行轨道平面相对于地球的位置由升交点的经度来确定,而卫星在轨道平面内的位置由平均近点角来规定。升交点经度是每个卫星运行轨道平面与赤道的交点。格林尼治子午线是基准点,或者说在那里升交点经度为 0 值。

平均近点角是在轨道内的每颗卫星以地球赤道为基准的角位置,在赤道上的点平均近点角为 0 值。可以看出在相邻轨道上的大部分卫星之间的相对相位大约为 40° 。以 UTC(USNO) 1993 年 7 月 1 日 0000 时的历元时间为基准用平面投影表示的卫星轨道如图 1-2 所示。

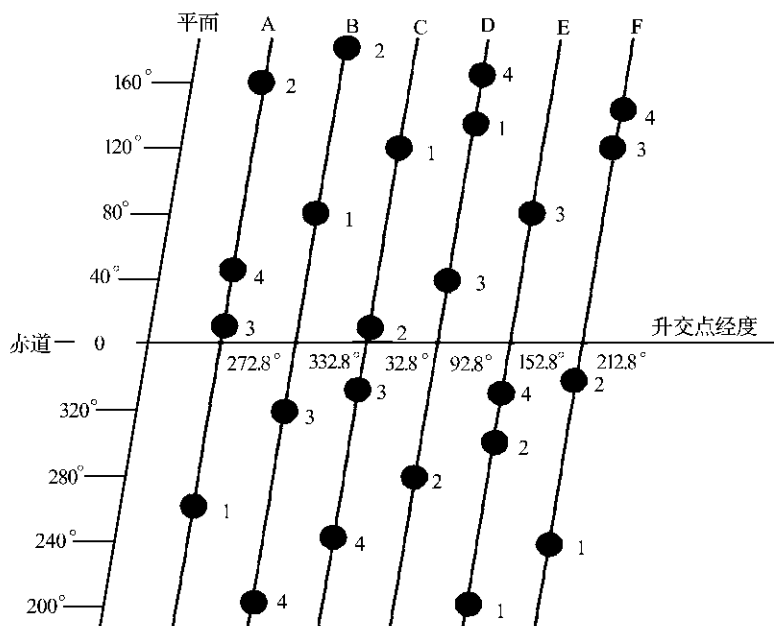


图 1-2 GPS 空间卫星星座的平面投影

标记在轨道中的卫星有几种不同的方法。第一种标记方法是给每个轨道平面分配一个字母(即 A,B,C,D,E 和 F),在一个平面内的每颗卫星分配一个由 1 到 4 的号码,如一颗称做“B3”的卫星指在轨道平面 B 内的第 3 号卫星。第二种标记方法是由美国空军分配的 NAVSTAR 卫星号码,标记采用空间载体的号码(SVN),如 SVN11 指的是 NAVSTAR 11 号卫星。第 3 种标记方法采用伪随机(PRN)码,每颗卫星的 PRN 码发生器结构是不同的,产生不同版本的 C/A 码和 P(Y)码,每一个卫星可用其产生的 PRN 码来识别。

1.1.2 地面监控系统

地面监控系统的主要任务是维护卫星和维持其正常功能。主要功能包括:将卫星保持在正确的轨道位置;监视星载分系统的运行状况;监视卫星的太阳能电池、电池的功率电平;更新每颗卫星的时钟、星历和历书,以及在导航电文中的其他指示量;判定卫星的异常;控制选择可用性(SA)和反欺骗(AS),并在远端监视站作伪距和 Δ 伪距测量,以确定卫星钟的校正量、历书和星历等。

地面监控系统包括一个主控站、3 个注入站、5 个监测站和地面上行链天线,其分布如图 1-3 所示。主控站是地面监控部分的中心,它位于美国科罗拉多州的科罗拉多喷泉城的 Falcon 空军基地。主控站除负责管理和协调整个地面监控系统的工作外,其主要任务是根据本站和其他监测站的所有跟踪观测数据,计算各卫星的轨道参数、钟差参数以及大气层的修正参数,编制成导航电文并传送至各注入站。主控站还负责调整偏离轨道的卫星,使之沿预定轨道运行。必要时启用备用卫星以代替失效的工作卫星。

全球共有 5 个监测站,分布在美国本土和三大洋的美军基地上,主要任务是为主控站提供



图 1-3 GPS 卫星的地面监控站分布

卫星的观测数据。监测站是一个数据自动采集中心,监测站包含双频(L1/L2)GPS接收机,接收机天线的相位中心位置是精确已知的。每个监测站均用GPS接收机对视界内每颗卫星进行连续观测,所有观测数据连同气象数据传送到主控站,用以更新主控站的精密卡尔曼滤波器对每颗卫星位置、速度和时间(PVT)的统计估计值。

3个注入站分别设在南大西洋的阿松森群岛、印度洋的狄哥伽西亚岛和南太平洋的卡瓦加兰岛。其主要任务是将主控站发来的导航电文注入到相应卫星的存储器,每天注入3次~4次。此外,注入站能自动向主控站发射信号,每分钟报告一次自己的工作状态。全球共有3个地面天线站,分别与3个监测站重合。

主控站通过地面上行链天线设施对卫星进行指挥和控制,以及向卫星上行加载导航电文和其他数据。地面上行天线设施存储和上行加载TI&C(电报、跟踪和指挥)数据。主控站为每一颗卫星准备好一组独特的TI&C数据(它包含导航电文)。这些数据从主控站送到地面天线,在那里存储起来,直到特定的卫星进入视界为止。一旦卫星进入视界,使用S波段数据通信上行链将数据发送至卫星。在阿松森群岛、卡瓦加兰岛,狄哥伽西亚岛和卡纳维拉尔角,地面天线是与监测站设在同一场地的。选择这些场地是因为要使卫星覆盖范围最大。

1.1.3 用户接收设备(GPS接收机)

用户接收设备通常称做“GPS接收机”,它处理由卫星发射来的L波段信号以确定用户的PVT(位置、速度和时间)。对GPS接收机的要求是能迅速捕获按一定卫星截止高度角所选择的待测卫星信号,并跟踪这些卫星的运行,对所接收到的卫星信号进行变换、放大和处理,以便测定出GPS信号从卫星到接收天线的传播时间,解译出GPS卫星所发送的导航电文,实时地计算出监测站的三维坐标、三维速度和时间等所需数据。

GPS接收机可分为天线单元和接收单元两大部分。一般将两个单元分别装备成两个独立的部件,观测时将天线单元置于观测站上,接收单元置于观测站附近适当的地方,两者之间用电缆线连成一个整机。也有的将天线单元和接收单元制成一个整体,观测时将其安置在观测站点上。

天线单元由接收天线和前置放大器两个部分组成。接收天线大多采用全向天线,可接收来自任何方向的 GPS 信号,并将电磁波能量转化为变化规律相同的电流信号。前置放大器可将极微弱的 GPS 电流信号予以放大。

接收单元的核心部件是信号通道和微处理器。信号通道主要有平方型和相关型两种形式,所具有的信号通道数目从 1 个至 24 个不等。利用多个通道同时对多个卫星进行观测,实现快速定位。接收机所采集的定位数据采用存储器存储,以供后处理之用。微处理器具有各种数据处理软件,能选择合适的卫星进行测量,以获得最佳的几何图形;能根据观测值及卫星星历进行平差计算,求得所需的定位信息。

软件也是 GPS 接收机的重要组成部分,软件包括内置软件和应用软件两部分。内置软件控制接收机信号通道,按时序对各卫星信号进行测量和处理;控制微处理器自动操作,以及与外设接口。这类软件已和接收机融为一体,内存或固化在 GPS 接收机的存储器中。而应用软件主要指对观测数据进行后处理的一些软件系统,要求功能齐全,能够改善 PVT 精度,提高作业效率,方便用户使用,满足用户的多方面要求,开拓新的应用领域。软件的质量与功能已经成为反映 GPS 接收机的一个重要指标。

1.2 GPS 卫星信号的基本特性

GPS 卫星信号包括频率分配、调制格式、伪随机噪声(PRN)码、用户所接收到的信号的功率电平、自相关特性、互相关特性等基本特性。GPS 卫星信号的构成如图 1-4 所示。GPS 卫星发射 L1(主频率)和 L2(次频率)两个载波频率,这些载波频率由每颗卫星专用的 PRN 码和数据码(导航电文或 D 码)所调制。所有卫星均在这两个相同的载波频率上发射,由于每颗卫星分配有专门的 PRN 码,而且所有 PRN 序列相互之间几乎是不相关的,各卫星的信号可以采用码分多址(CDMA)技术区分并检测出来。

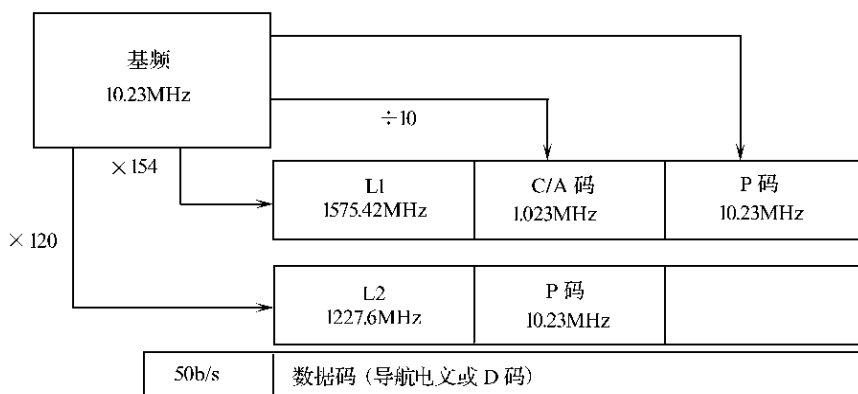


图 1-4 GPS 卫星信号的构成

1.2.1 频率和调制方式

在卫星上产生 L1($154f_0$)和 L2($120f_0$)信号的方框图如图 1-5 所示。L1 频率($154f_0$)由两个 PRN 码(粗/截获码(C/A 码)和精密码(P 码))外加导航电文数据调制(采用 BPSK 调制方式)。L2 频率($120f_0$)在同一时刻只能用一种 PRN 码调制(采用 BPSK 调制方式),即采用

P(Y)码 \oplus 数据调制,或者 C/A 码 \oplus 数据调制,或者只有 P(Y)码调制,其中有一种方式是只有 P(Y)码而无数据。标称基准频率 f_0 在地面上的观测者看到的是 10.23MHz。为了补偿相对论效应,从卫星上看,卫星上标准基准频率的输出距 10.23MHz 有一个偏移量 $\Delta f/f = -4.467 \times 10^{-10}$,即 $\Delta f = -4.57 \times 10^{-3}$ Hz。因此如果不考虑 SA 的影响, f_0 应等于 10.229 999 995 43MHz。对于地面上的 GPS 接收机来说,C/A 码的基码速率为 1.023×10^6 基码/s($f_0/10 = 1.023$ MHz), P 码的基码速率为 10.23×10^6 基码/s($f_0 = 10.23$ MHz)。用“基码”而不用“位”表示,表示在 PRN 码中无数据信息。如果地面控制系统启动卫星中的反欺骗(AS)工作模式,SPS(标准定位服务)用户便不能使用精密码。当 AS 启动后,P 码便被加密构成所谓的 Y 码。Y 码与 P 码有相同的基码速率。因此通常将精密码记为 P(Y)码。AS 则使 SPS 用户不能接入 P(Y)码。C/A 码和 P(Y)码,以及 L1 和 L2 载波频率都受到 SA 加密的颤动频率的影响。这种 SA 相位调制对伪距和 Δ 伪距上都产生伪随机的多普勒误差。PPS(精密定位服务)用户能够去除这种 SA 误差,但 SPS 用户不能将其校正掉。此外,SA 在卫星广播的星历和历书、数据中加进一个保密的偏移误差,这会造成 SPS 用户的位置误差。

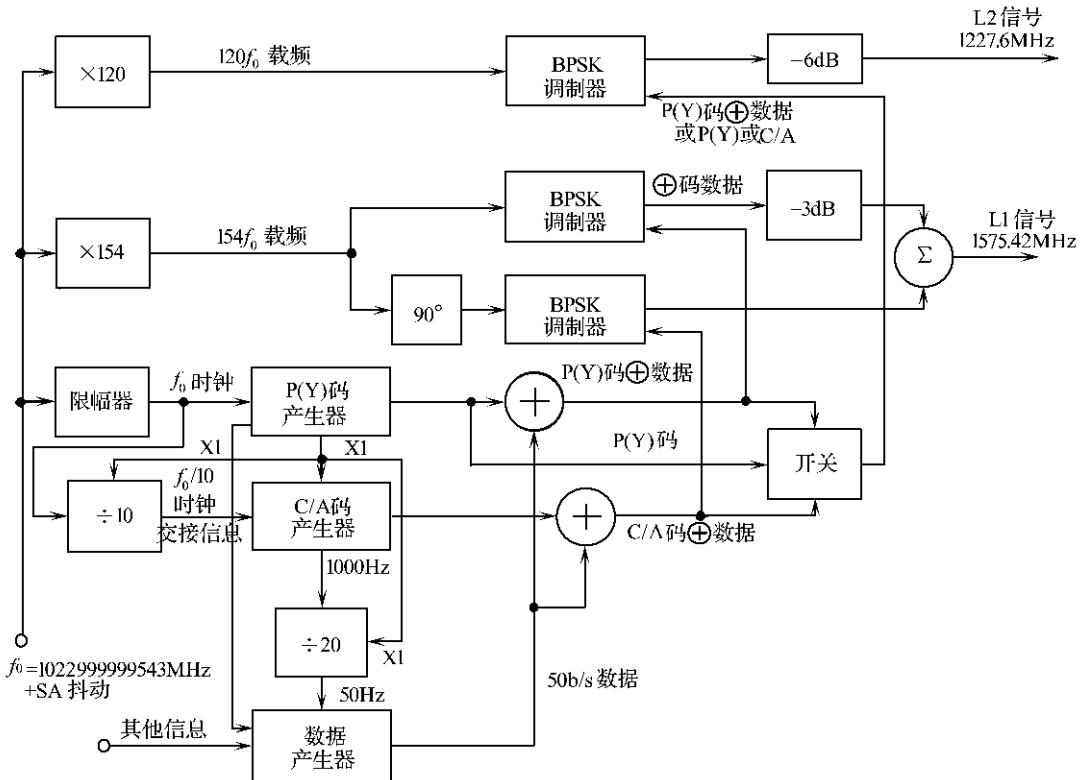


图 1-5 产生 GPS 卫星信号 L1 和 L2 的电路方框图

从图 1-5 可见,传输速率为 50 b/s 的数据首先是同时与 C/A 码和 P(Y)码异或(\oplus)叠加,然后才调制到 L1 载频上。由于 C/A 码 \oplus 数据及 P(Y)码 \oplus 数据是同步操作,位速率不可能超过 PRN 码的基码速率。L1 采用 BPSK(双相相移键控)调制,在 L1 上,P(Y)码 \oplus 数据调制与 C/A 码 \oplus 数据调制在相位上是正交的。因此在 L1 载波频率上的 C/A 码 \oplus 数据调制和 P(Y)码 \oplus 数据调制之间有 90° 相移,信号的结构为:

$$S_{L_1}(t) = A_P P_i(t) D_i(t) \cos(\omega_{L_1} t + \phi_1) + A_C C_i(t) D_i(t) \sin(\omega_{L_1} t + \phi_1)$$

在 L2 载频上只有 P 码进行调制,其信号结构为:

$$S_{L_2}(t) = B_P P_i(t) D_i(t) \cos(\omega_{L_2} t + \phi_2)$$

式中 A_P, B_P, A_C 分别为 P 码和 C/A 码的振幅;

$P_i(t), C_i(t)$ 分别为 P 码和 C/A 码;

$D_i(t)$ 为数据流;

$\omega_{L_1}, \omega_{L_2}$ 为载波 L_1 和 L_2 的角频率;

ϕ_1, ϕ_2 为信号的起始相位。

GPS 信号结构如表 1-1 所列。

表 1-1 GPS 信号结构

信号优先级	主	次
信号命名	L1	L2
载波频率/Hz	$1\,575.42 \times 10^6$	$1\,227.60 \times 10^6$
PRN 码/(基码/s)	P(Y)= 10.23×10^6 和 C/A= 1.023×10^6	P(Y)= 10.23×10^6 或 C/A= 1.023×10^6 ^①
导航电文数据调制/(b/s)	50	50 ^②
<p>①一般在 L2 上选用的是 P(Y)码。</p> <p>②在 L2P(Y)码上一般调制有 50Hz 导航数据电文,但地面控制系统为了改善抗干扰性能可以关掉这个调制。一共有 3 种可能性,带数据的 P(Y)码,不带数据的 P(Y)码,带数据的 C/A 码</p>		

PPS 用户能接收 L1 和 L2 上的所有信号,并获得完全的 GPS 精度。PPS 用户有保密的算法和密钥以去除颤动和 ϵ 误差。PPS 用户有算法、专门的 Y 码硬件(每个通道均有,叫做辅助输出芯片(AOC))和密钥,使之可以接入 Y 码。利用 AS Y 码使 SPS GPS 接收机不能接收精密码。这就大大降低了敌方对 PPS 接收机进行欺骗干扰的可能性,即发射一个更强信号的假的精密码,俘获和误导 PPS 接收机。然而 AS 也使所有 SPS 用户,包括友方的用户不能直接接收精密码。然而,采用差分 GPS(DGPS)技术可以减轻 SA 对 SPS 用户的影响。

由于 L2 上一般无 C/A 码,在地面控制系统启动 AS 的条件下,SPS 用户便无法进行直接的双频工作。SPS 用户只能用 L1 C/A 码,结果,单频 SPS 用户不能测量出电离层延迟,而必须将电离层延迟做成模型,这影响了定位的精确性。采用间接的“无码”方法可以进行双频电离层测量。无码方案会明显降低信噪比(SNR),要求跟踪环路的带宽很窄,这就导致 GPS 接收机不能工作在宽的动态环境中。

1.2.2 功率电平

GPS 最低接收信号功率如表 1-2 所列,即 3 种信号的最低接收功率电平,电平单位用 dBW 表示。所规定的 GPS 信号接收功率基于有 3dB 增益的线极化天线。因为 GPS 卫星发射右圆极化(RHCP)信号,RHCP 天线单位增益也可表示为 0 dBic=0 dB(全向圆极化天

线)。

表 1-2 GPS 最低接收信号功率

参 数	L1 C/A 码	L2 P(Y)码	L2P(Y)码 或 C/A 码
在 3dB 增益的线极化天线上的用户最低接收功率/dBW	-160.0	-163.0	-166.0
对于单位增益天线所作的调整/dB	-3.0	-3.0	-3.0
对于典型的 RHCP 天线相对于线极化天线所作的调整/dB	3.4	3.4	3.8
在单位增益 RHCP 天线上用户的最低接收功率/dBW	-159.6	-162.6	-165.2

用户最低接收信号功率电平如图 1-6 所示。图 1-6 表明当卫星位于两个仰角上时,即一个是从用户水平面算起 5° 仰角,另一个是在用户的天顶(90° 仰角),用户接收信号功率电平最低。在这两个仰角之间,最低接收信号功率电平逐步增加,对于 L1 来说最大可增加 2dB,对 L2 来说最大可增加 1dB,然后逐渐降回规定的最小值。产生这种特性的原因是,卫星发射天线阵的赋形波束场形只能在与地球中心相对应的角度上和在接近地球边沿的角度上与所要求的增益相匹配,从而导致发射天线增益在这些径向之间略有增加。用户天线增益的方向图典型情况下是在天顶方向最大,在地平面上仰角 5° 时和在更低的仰角上最小。

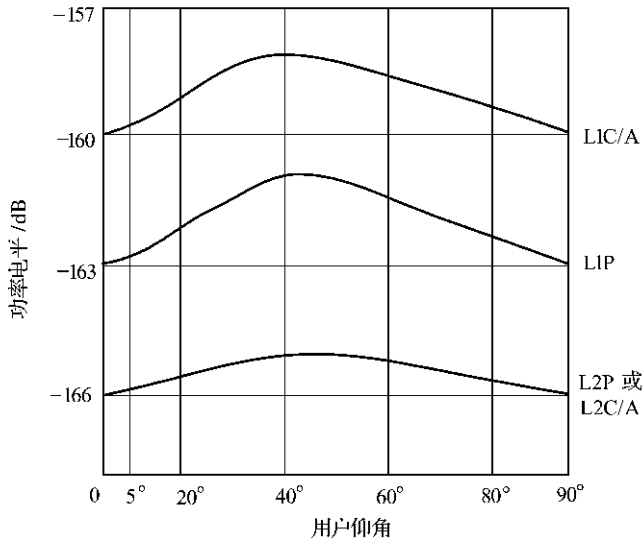


图 1-6 用户最低接收信号功率电平

1.2.3 自相关特性和功率谱密度

GPS PRN 码的自相关特性影响信号解调过程。GPS PRN 码的功率谱密度决定了发射和接收扩频信号所需要的通道带宽。通过对二进制信号(矩形脉冲,随机二进制码和最大长度 PN 码序列)的自相关函数和功率谱的分析,可以得到 GPS PRN 码的自相关函数和功率谱。

GPS PRN 码由 PN 序列导出,当 PN 序列 $PN(t)$ 其幅度为 $\pm A$ 、基码宽度为 T_c 、周期为 NT 时,自相关函数的公式如下:

$$R_{PN}(\tau) = \frac{1}{NT_c} \int_0^{NT_c} PN(t)PN(t+\tau)dt$$

GPS C/A 码的自相关函数是：

$$R_G(\tau) = \frac{1}{1023T_{CA}} \int_0^{1023} G_i(t)G_i(t+\tau)dt$$

式中 $G_i(t)$ 对于 SV_i 来说,作为时间函数的 C/A 码戈尔德码序列；

T_{CA} 为 C/A 码的基码宽度(977.5ns)；

τ 为在自相关函数中时间移动的相位。

GPS P(Y)码的自相关函数是：

$$R_P(\tau) = \frac{1}{6.1871 \times 10^{12} T_{CP}} \int_0^{6.1871 \times 10^{12}} P_i(t)P_i(t+\tau)dt$$

式中 $P_i(t)$ 对于 SV_i 来说,作为时间 t 的函数的 P(Y)码 PN 序列；

T_{CP} 为 P(Y)码的基码宽度(97.8ns)；

τ 为在自相关函数中时间移动的相位。

275

C/A 码与 P(Y)码自相关的比较如表 1-3 所列。

表 1-3 C/A 码与 P(Y)码自相关的比较

参 数	C/A 码	P(Y)码
最大自相关幅度	1	1
在相关时间段之外典型的自相关幅度	$-\frac{1}{1023}$	$-\frac{1}{6.1871 \times 10^{12}}$
典型自相关(在相关时间段之外)相对于最大相关的大小/dB	-30.1	-127.9
自相关周期	1ms	1 星期
自相关时间段/基码数	2	2
自相关时间段/ns	1955.0	195.5
自相关距离段/m	586.1	58.6
R_c = 基码速率/基码数/s	1.023×10^6	10.23×10^6
T_c = 基码宽度/ns	977.5	97.8
一个基码的距离/m	293.0	29.3

当 GPS 码与 50Hz 的导航电文数据合并在一起时,对所产生的自相关函数和功率谱实际上只有极为轻微的影响。当它们调制到 L 频段载频上时,从基带频率转移到 L 频段频率。假定 PN 波形是相移键控到载频上,并且载频和码是非相干的,所产生的功率谱是：

$$S_L(\omega) = \frac{1}{2} [P_c S_{PN}(\omega + \omega_c) + P_c S_{PN}(\omega - \omega_c)]$$

式中, P_c 为未经调制的载波功率；

ω 为载频；

$S_{PN}(\omega_c)$ 为在基带上 PRN 码(加数据)的功率谱。

从上式可见,基带频谱上移到了载频 ω 。

1.2.4 互相关特性

不同的卫星使用不同的 PRN 码,但有相同的基码速率和载波。GPS 调制/解调采用码分多址(CDMA)技术。在 CDMA 系统中每颗卫星使用的 PRN 码与任何其他卫星的 PRN 码必须有最小的互相关。GPS 码理想的互相关函数定义为下式:

$$R_{IJ}(\tau) = \int_{-\infty}^{\infty} \text{PN}_I(t)\text{PN}_J(t+\tau)dt = 0$$

式中, $\text{PN}_I(t)$ 为卫星 I 的 PN 码序列;

$\text{PN}_J(t)$ 为所有其他卫星 J 的 PN 码序列, $J \neq I$ 。

上式说明卫星的 PN 码序列与任何其他卫星的 PN 码序列在任何相位移时都不相关,但实际上是不可能的。由于 GPS P(Y)码的码长为 6.1871×10^6 个基码, GPS P(Y)码与任何其他 GPS P(Y)码的互相关电平相对于最大自相关而言接近于 -127dB 。因此,任一个 GPS 卫星的 P(Y)码与其他任一 GPS 卫星信号在任何相位移 τ 时都可作为不相关对待。

由于 GPS C/A 码的长度是一种在 1023 个基码条件下的折中结果,故在某种环境中互相关特性可能较差。在任何两个码之间多普勒频差为 0 的条件下, C/A 码的最大互相关功率如表 1-4 所列。对于所有 32 种码总结出的 C/A 码最大互相关功率(多普勒频差的增量为 1kHz)如表 1-5 所列。

表 1-4 C/A 码的最大互相关功率(多普勒频差为 0)

发生的积累概率	任何两种码之间的互相关/dB
0.23	-23.9
0.50	-24.2
1.00	-60.2

表 1-5 对于所有 32 种码总结出的 C/A 码最大互相关功率(多普勒频差的增量为 1kHz)

发生的积累概率	互相关 ($\Delta=1\text{kHz}$)/dB	互相关 ($\Delta=2\text{kHz}$)/dB	互相关 ($\Delta=3\text{kHz}$)/dB	互相关 ($\Delta=4\text{kHz}$)/dB	互相关 ($\Delta=5\text{kHz}$)/dB
0.001	-21.1	-21.1	-21.6	-21.1	-21.9
0.02	-24.2	-24.2	-24.2	-24.2	-24.2
0.1	-26.4	-26.4	-26.4	-26.4	-26.4
0.4	-30.4	-30.4	-30.4	-30.4	-30.4

1.3 GPS 接收机

1.3.1 GPS 接收机的基本构成

GPS 接收机的基本构成方框图如图 1-7 所示,由天线单元(有源或者无源)和接收单元两部分组成。

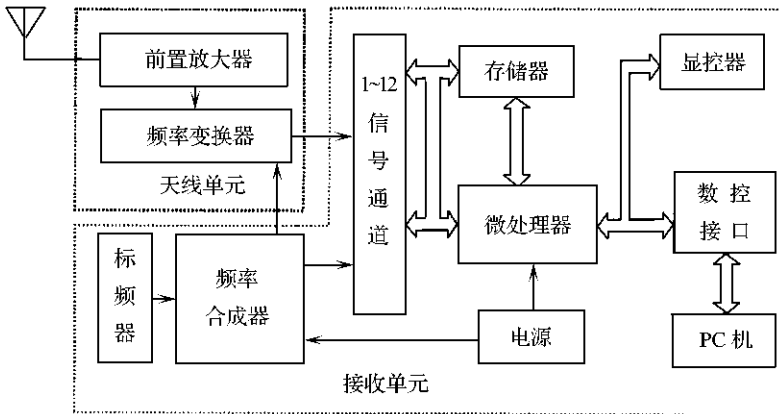


图 1-7 GPS 接收机的基本构成方框图

卫星信号是通过天线接收到的,天线单元由接收天线和前置放大器组成。天线为右圆极化(RHCP)形式,典型的覆盖是 160° ,其增益变化为在天顶约 2.5dBic ,在仰角 10° 时近于 1 (RHCP 天线的单位增益也可以相对于全向圆极化天线表示为 $0\text{ dBic}=0\text{dB}$),在 10° 以下增益一般变为负的。由于卫星信号是 RHCP,适合于用圆锥螺旋天线或其变形(如定向天线、偶极子天线、微带天线、螺旋天线等)。同时在 L_1 和 L_2 上跟踪 P(Y)码的 GPS 接收机需要同时在两个频率上具有 20.46MHz 的带宽。如果 GPS 接收机只跟踪 L_1 上的 C/A 码,天线(和接收机)必须有至少 2.046MHz 的带宽。天线形式有多种,如螺旋线、薄的微带(即片状)等。在宽动态的飞机倾向使用薄剖面的、低空气阻力的片状天线,而陆上的运载体(如汽车)可允许较大外形的天线。选择天线时需要考虑的参数诸如天线增益场形、可用的安装面积、空气动力性能、多径性能、无线电相位中心的稳定性和抗干扰性等。某些军用飞机使用波束控制或自适应调零天线以抵制干扰。波束控制技术用电子的方法将天线增益集中在卫星的方向上以使链路的容量最大。而自适应调零天线是电子可调的,在天线方向图中,在干扰源(任何电子辐射,不管是来自“朋友”或敌对方的,只要干扰了 GPS 信号的接收和处理,均视为干扰源)方向上建立零点。

接收单元包括信号通道单元、存储单元、计算和显示单元、电源 4 部分,其中主要部分是信号通道单元,通常由硬件和软件组成,每一通道在某一时刻只能跟踪一颗卫星,当此卫星被锁定后便占据该通道,直到失锁为止。目前 GPS 接收机广泛应用并行多通道技术,即一个 GPS 接收机可同时跟踪多颗卫星,同时锁定多颗卫星,大大缩短了确定卫星 PVT 的时间。

在接收单元, GPS 射频信号被下变频到中频(IF),利用模/数转换器(A/D)对 IF 信号采样和数字化。基带处理器对接收机进行控制,包括信号的截获、信号跟踪和数据采集。此外,基带处理器也可以由接收机测量值形成 PVT 解。在一些应用中,也可用专门的微处理器同时完成 PVT 计算和相关联的导航功能。大多数处理器在 1Hz 的基础上提供独立的 PVT 解。然而,用做飞机自动着陆和其他宽动态应用的接收机,至少需要以 5Hz 的速率计算独立的 PVT 解。格式化的 PVT 解和其他与导航有关的数据送至 I/O 端口。

I/O 端口是在 GPS 接收机和用户之间的接口。I/O 端口有两种基本类型:整装的和外置的。对于许多应用来说,I/O 端口是一个 CDU(控制显示单元)。CDU 允许操作员作数据输入,显示出状况和导航解参数,一般还有许多导航功能比如输入航路点、待航时间等。大多数手持式设备有整装的 CDU。其他设备,比如那些机载或船载设备,有可能其 I/O 是集成在已

有的仪器或控制面板上的。除了到用户和操作员的接口之外,在与其他传感器(例如惯导)组合使用时要求有数字数据接口以输入和输出数据。通用接口用 ARINC429、MIL-STD-1553B、RS-232 和 RS-422。

电源可能是整装的、外接的,或者两者结合的。在整装或自备实现方式(比如手持式移动设备)中,一般使用电池供电。而在集成方式应用中(比如装在个人计算机的接收机板)一般用已有的电源。机载、车载和船载 GPS 设备一般用平台的电源,然而 GPS 接收机一般都具有内置的电源变换器(交流变直流或直流变直流)和电压调节器。接收机内置电池用以在平台电源断电时维持存储在 RAM 中的数据和运行内置的实时时钟。

常用的一些 GPS 接收机类型如表 1-6 所列。

表 1-6 常用的一些 GPS 接收机类型

分类方法	接收机类型
按编码信息分类	① 有码接收机 ② 无码接收机
按接收的数据形式分类	① C/A 码伪距 ② C/A 码伪距, L1 载波相位 ③ C/A 码伪距, L1 载波相位, L2 载波相位 ④ C/A 码伪距, P 码伪距 ⑤ C/A 码伪距, P 码伪距, L1 载波相位, L2 载波相位 ⑥ L1 载波相位 ⑦ L1 载波相位, L2 载波相位
按接收机通道方式分类	① 时序接收机 ② 多路复用接收机 ③ 多通道接收机
按采用的电子器件分类	① 模拟接收机 ② 数字接收机 ③ 混合接收机
按性能分类	① X 型接收机(高动态应用接收机) ② Y 型接收机(中动态应用接收机) ③ Z 型接收机(低动态应用接收机)
按用途分类	军用/民用/导航/测时/测地
按工作模式分类	① 单点定位 ② 相对定位 ③ 差分定位

1.3.2 SPS 接收机

GPS 的接收机可分为两种基本类型:(1)同时跟踪 P(Y)码和 C/A 码的 GPS 的接收机;(2)仅跟踪 C/A 码的 GPS 的接收机。

PPS 接收机同时在 L1 和 L2 上跟踪 P(Y)码,PPS 接收机初始工作时在 L1 上跟踪 C/A 码,然后转换到在 L1 和 L2 上跟踪 P(Y)码。Y 码跟踪仅仅在加密单元的辅助下才能产生。SPS 接收机只跟踪 L1 上的 C/A 码。在这两种基本接收机类型中,还有其他一些变形,比如无码 L2 跟踪接收机,这种接收机跟踪 L1 上的 C/A 码,并同时跟踪 L1 和 L2 频率上的载波相位。利用载波相位作为测量点,测量精度能够达到厘米级(或甚至毫米级)。大多数接收机有多个通道,每一个通道跟踪来自一颗卫星的发射信号。

一个多通道 SPS 接收机的方框图如图 1-8 所示。通常采用一个无源的带通滤波器对所接收到的射频卫星信号进行滤波,以减小带外射频干扰。通过 LNA(低噪声放大器)放大后,射

频信号下变频到中频(IF)。模/数转换器(A/D)对 IF 信号进行采样,A/D 采样速率典型情况下为 PRN 基码速率的 8 倍~12 倍(对于 L1 C/A 码 PRN 速率为 1.023MHz,对于 L1 和 L2 P(Y)码为 10.23 MHz)。最小采样速率是码的截止带宽的 2 倍以满足奈奎斯特判定要求。对于只接收 L1 C/A 码的接收机,截止带宽大于 2 MHz,而对于接收 P(Y)码的接收机,截止带宽大于 20 MHz。过采样会降低接收机对于 A/D 量化噪声的敏感度,因而减少在 A/D 转换器中所需的位数。采样送到数字信号处理器(DSP)中。DSP 包含 N 个并行通道,以同时跟踪来自最多达 N 颗卫星的载频和码(N 一般在 5~12 之间)。每个通道中包含码和载波跟踪环,以完成码和载波相位测量,以及导航电文数据的解调。通道可以计算 3 种不同类型的测量值:伪距、 Δ 距离(有时称做 Δ 伪距)和积分多普勒。所希望的测量值和解调后的导航消息数据送至基带处理器。基带处理器对接收机信号的截获、跟踪和数据采集进行控制,以及处理接收机测量值形成 PVT 解。在一些应用中,也可用专门的微处理器同时完成 PVT 计算和相关联的导航功能。

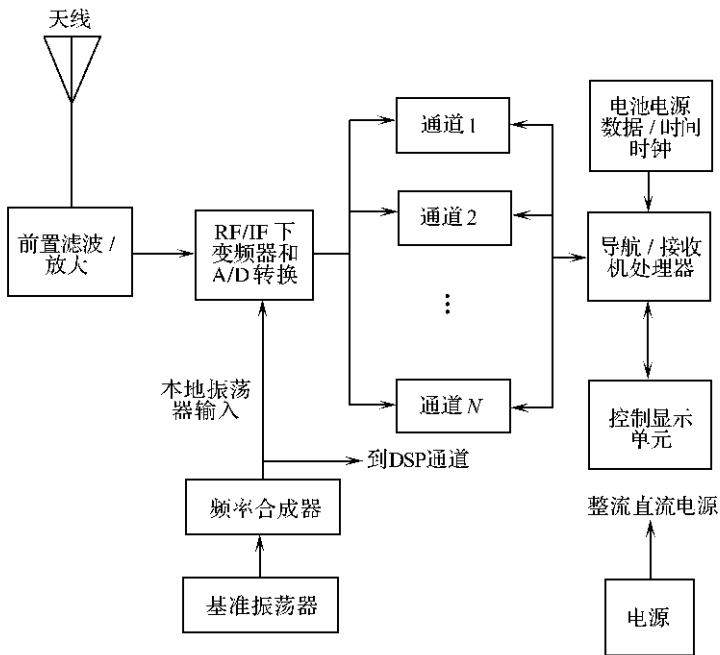


图 1-8 一个多通道 SPS 接收机的方框图

1.3.3 数字 GPS 接收机

一个数字 GPS 接收机方框图如图 1-9 所示。在视界内的所有卫星的 GPS 射频(RF)信号被右圆极化(RHCP)天线接收,经前置低噪声放大器(LNA)放大,接收机的噪声系数与 LNA 有关。通常在天线和 LNA 之间设置一个无源带通滤波器,以降低带外射频干扰。这些被放大的射频信号与来自本机振荡器(LO)的信号混频,下变频到中频(IF)。本地振荡器频率是根据接收机的频率设计,由基准振荡器经频率合成器产生的。每一级下变频器需要一个本地振荡器信号。下变频有采用两级下变频、一级下变频形式,或甚至直接在 L 频段作数字采样的。本地振荡器信号在混频过程会同时产生上边带和下边带信号,因此在混频器之后,采用带通滤波器选择下边带信号,而滤去上边带信号,获得下变频到中频(IF)的信号。模/数转换(A/D)

和自动增益控制(AGC)功能均在中频上完成。

通过模/数转换(A/D)数字化了的中频(IF)信号输入到 N 个数字接收机通道。这些数字接收机通道一般用一个或几个专用集成电路(ASIC)来组成,完成环路鉴相器和滤波器、数据解调、测量、锁相和指示等功能。接收机处理器是一个高速微处理器,用来完成接收机基带控制与处理、导航处理和用户接口等功能。

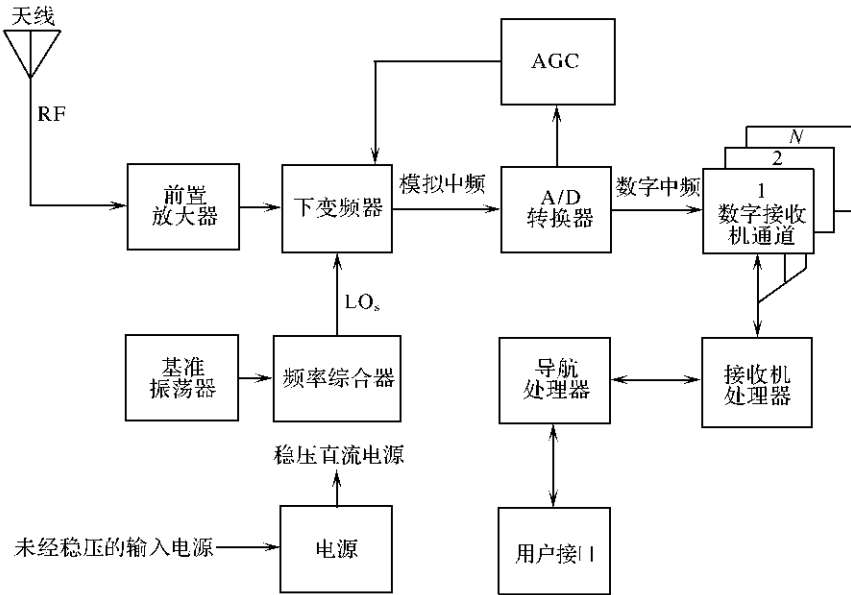


图 1-9 一个数字 GPS 接收机方框图

1.3.4 GPS 接收机的选择

目前已有许多公司在生产不同型号的 GPS 接收机,选择什么类型的 GPS 接收机取决于用户的用途。不同的应用对 GPS 接收机的设计方案、结构和性能有强烈的影响。对于每一种应用来说,一些与环境、使用和性能有关的参数必须仔细考虑,如:

① 对冲击、振动、温度、湿度、大气中盐的含量的基本要求和最大限制,是否工作在需要提高抗干扰能力的环境之中?

② 是民用/军用/其他用途?如需要 PPS 操作,一般必须选择带加密能力的双频 GPS 接收机。

③ 需要多快的 PVT 更新率?飞机、汽车、行人的 PVT 更新率是要求不同的。

④ 接收机将工作在什么类型的动态(例如加速度,速度)条件下?例如,用于歼击机的 GPS 接收机要求设计成能在经受多少个“ g ”的加速度时还可以维持完好的性能,而指定用于测绘的 GPS 接收机一般不要求能够经受严酷的动态环境。

⑤ 是否需要具有差分 GPS(DGPS)能力?DGPS 是一种提高精度的技术,DGPS 能提供比独立的 PPS 或 SPS 更高的精度。

⑥ 应用是否要求接受以地球静止卫星为基础的重叠服务(比如国际海事卫星(Inmarsat))所广播的 GPS 和/或 GLONASS 卫星的完好性,测距和 DGPS 信息?

⑦ 航路点存储能力以及航路及支路数量为多大?

⑧ 接收机是否必须和外部系统相接口？是否已经有合适的 I/O 硬件与软件？

⑨ 对于数据输入和显示特性,接收机是否需要外接的还是整装的 CDU 能力？是否要求当地坐标系变换或者 WGS-84 已经够用了？

⑩ 是否需要便携式、物理尺寸、功耗、成本？

以上这些仅仅是 GPS 接收机选择参数的一些举例。在选择 GPS 接收机之前,必须仔细地研究用户应用的要求,大多数情况下采用的是一种折中的选择。

第 2 章 GPS 接收机设计方案

2.1 AD 公司基于 NAV2400 的 GPS 接收机设计方案

2.1.1 NAV2400 GPS 接收机芯片组简介

Analog Devices 公司的 NAV2400 是一个 L1 频带、12 通道的 GPS 接收机芯片组。NAV2400 芯片组由 GPS 射频下变频器 and 可编程的 NAV DSP 处理器组成。

GPS 射频下变频器 ADSST-GPSRF01 是一个高集成度的芯片,芯片内部包含有射频低噪声放大器(LNA)、双中频(IF)放大器、2 bit ADC(模/数转换器)、VCO(压控振荡器)和 PLL(锁相环)等电路。

可编程的 NAV DSP 处理器 ADSST-NAVDSP 直接与 GPS 射频下变频器 ADSST-GPSRF01 接口,运行完全基于软件的 12 通道相关器,提供符合 GPS NMEA0183 规定的导航处理,并且提供二进制信息到主机系统接口。

NAV2400 GPS 接收机芯片组可提供每秒 4 次定位,具有低功耗模式,可支持便携式应用。

2.1.2 基于 NAV2400 的 GPS 接收机电路板简介

Analog Devices 公司提供基于 NAV2400 的 GPS 接收机印制电路板,其尺寸仅 35mm×35mm×7mm,质量 26g。

基于 NAV2400 的 GPS 接收机电路板包含 ADSSTGPSRF01 射频下变频器前端、带通滤波器、低噪声放大器和基准时钟等电路,连接有源天线和 3.3V 电源电压即可工作,并可以通过它的串行通道提供已定义的输出信息。

基于 NAV2400 的 GPS 接收机印制电路板内部结构如图 2-1 所示,实物图如图 2-2 所示,适合 OEM 应用。

2.1.3 NAV2400 评估系统

NAV2400 评估系统型号为 ADSST-NAV24-EV,包含有:由 NAV2400R GPS 接收机电路板、电源电压板和金属外壳组成的 GPS 接收机单元,有源天线与电缆,RS-232 电缆和电源电缆,GVISION、PC 用户接口软件(软件在 3.5 英寸磁盘中,提供用户位置、速度、前进方向、路标和图形),NAV2400 用户指南。

由 NAV2400 评估系统组成的 12 通道、L1-C/A 码、SPS(标准定位精度)的 GPS 接收机的主要性能指标如表 2-1 所列。

表 2-1 NAV2400 评估系统的主要性能指标

参 数	条 件	数 值	单 位
-----	-----	-----	-----

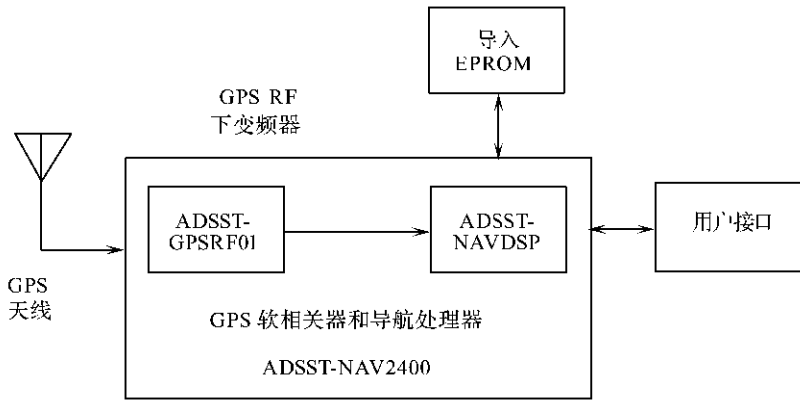


图 2-1 基于 NAV2400 的 GPS 接收机印制电路板内部结构

参 数	条 件	数 值	单 位
第 1 次定位时间			
冷启动	没有年历、时间或者位置	65	s
从低功耗模式唤醒		<3	s
精 确 度			
水平位置	95%	10	m
速度	1 σ 没有 S/A	0.1	m/s
灵 敏 度			
截获		-135	dBm
重新截获		-139	dBm
跟踪		-144	dBm
动 态			
速度	600		m/sec
加速度		4	g
颠簸地行进		7	m/s ³
重新截获		<1	s
定位		<1	s
定位数据更新率		1 或者 4	Hz

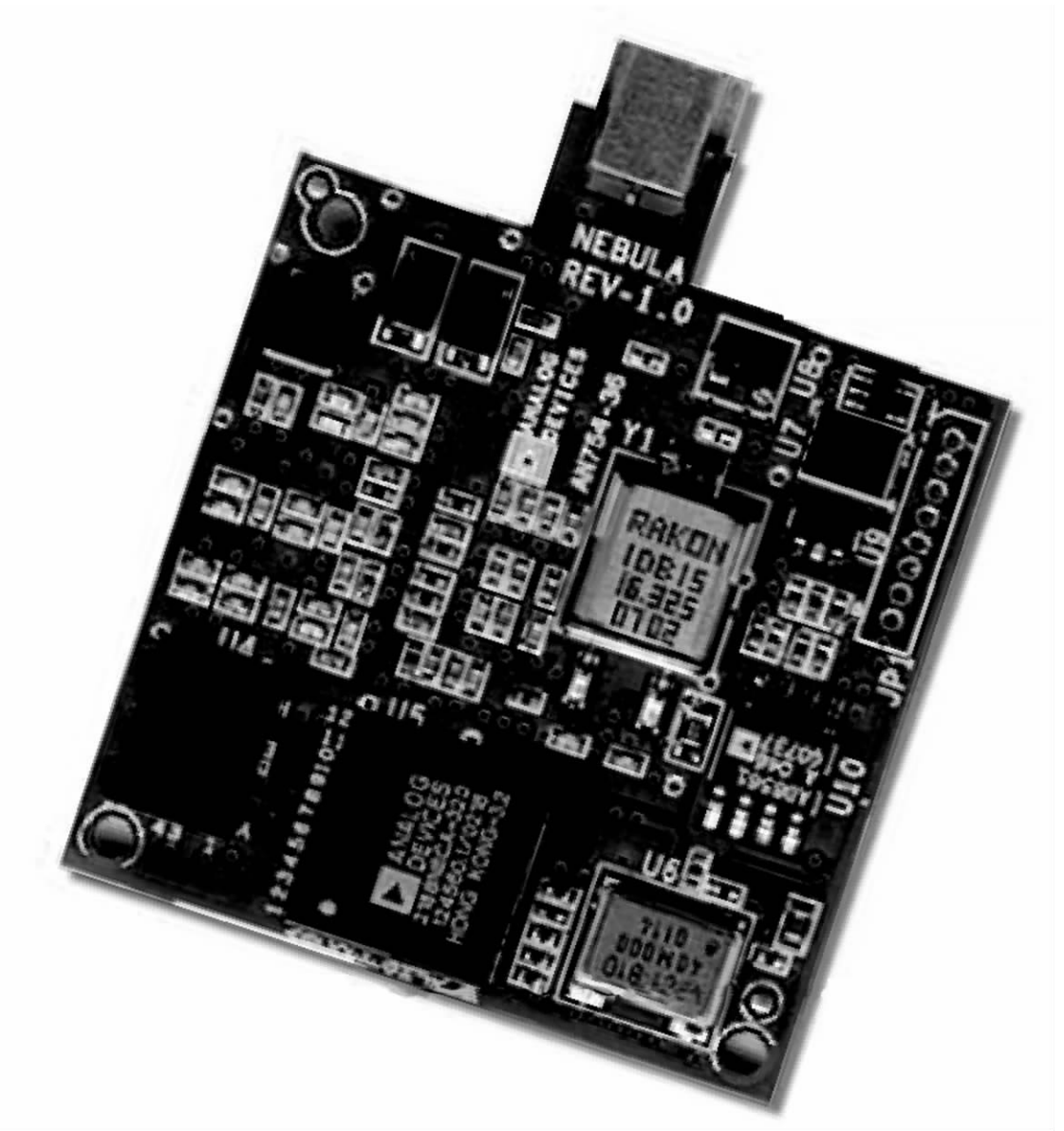


图 2-2 基于 NAV2400 的 GPS 接收机印制电路板实物图

参 数	条 件	数 值	单 位
时间输出(PTTD)			
精确度	1 σ 没有 S/A	100	ns
接口电平		TTL 兼容	

参 数	条 件	数 值	单 位
上升时间	在 GPS 接收机板连接器 引脚端	<10	ns
DGPS			
水平定位精度		10	m
速度精度		0.05	m/s

(续)

参 数	条 件	数 值	单 位
与 RS-232 兼容的接口的波特率		300/600/1200/2400/4800/9600/19,200	Baud
信息格式		RTCM-104 类型 1, 类型 2, 类型 9	
输出信息		NMEA \$ GPGGA/\$ GPGSA/\$ GPRMC/\$ GPGLL/\$ GPGSV/\$GPVTG/\$GPZDA/电源管理输出信息	
输入信息		ASCII NMEA 信息控制和配置, 波特率信息, DGPS 控制, 电源管理信息	
电源电压		3.3(±300 mV)	V
功率消耗		95~450	mW
工作温度范围		-40~+85	°C
存储温度范围		-65~+150	°C
湿度		95	%
海拔高度		18 000	m
与 PC 机/主机通信(与 RS-232 兼容的接口)			
波特率		4800/9600/19200	Baud
信息格式		NMEA0183 Ver. 2.00 ASCII, 或者类似的二进制信息	

2.2 Atmel 公司基于 ATR06xx 的 GPS 接收机设计方案

2.2.1 ATR06xx 系列芯片简介

Atmel 公司的 GPS 接收机系列芯片 ATR06xx 包含 GPS 射频接收机 IC ATR0600、LNA

ATR0610、GPS 基带处理器 IC ATR0620。

GPS 射频接收机 IC ATR0600 主要特性如下：采用单 IF 结构；具有极低的功率消耗，典型值 50mW；高集成度，VCO 谐振回路、回路滤波器、增益控制滤波器都集成在芯片上，仅需要一个外部的 LC 滤波器；射频 LNA 噪声系数小于 1.2 dB；1.5bit ADC；采用 QFN-28 封装，尺寸为 5mm×5mm。

低噪声放大器(LNA) ATR0610 主要特性如下：具有极好的噪声系数($NF_{min} < 1.6\text{dB}$)；很低的功率消耗($< 10\text{mW}$)；高的增益系数($> 16\text{dB}$)；芯片内集成有电源导通控制，输出匹配网络；采用 PLLP6 封装，尺寸为 1.6mm×2mm。

GPS 基带处理器 IC ATR0620 主要特性如下：由片上 ARM7TDMI® CPU 核驱动高性能的 16 通道 GPS 核；具有 SPI、GPIO 和 3 个 USART 接口；片上 ROM/SRAM；电源电压 2.3V ~ 3.6V 或者 1.8V；采用 BGA-100 封装，尺寸为 9mm×9mm。

2.2.2 基于 ATR06xx 的 GPS 接收机设计方案

由 GPS 射频接收机 IC ATR0600、LNA ATR0610 和 GPS 基带处理器 IC ATR0620 组成的 GPS 接收机方框图如图 2-3 所示，构成一个 16 通道、L1 频率、C/A 码的 GPS 接收机。GPS 接收机的主要性能指标如下：最大数据更新速率为 4Hz；定位精度 3m CEP；热启动时间为 2.5s，冷启动时间为 41s，“暖”启动时间为 31s；信号重新捕获时间小于 1s；动态范围小于 4g；低功率消耗小于 100mW；PCB 板尺寸小于 400mm²。

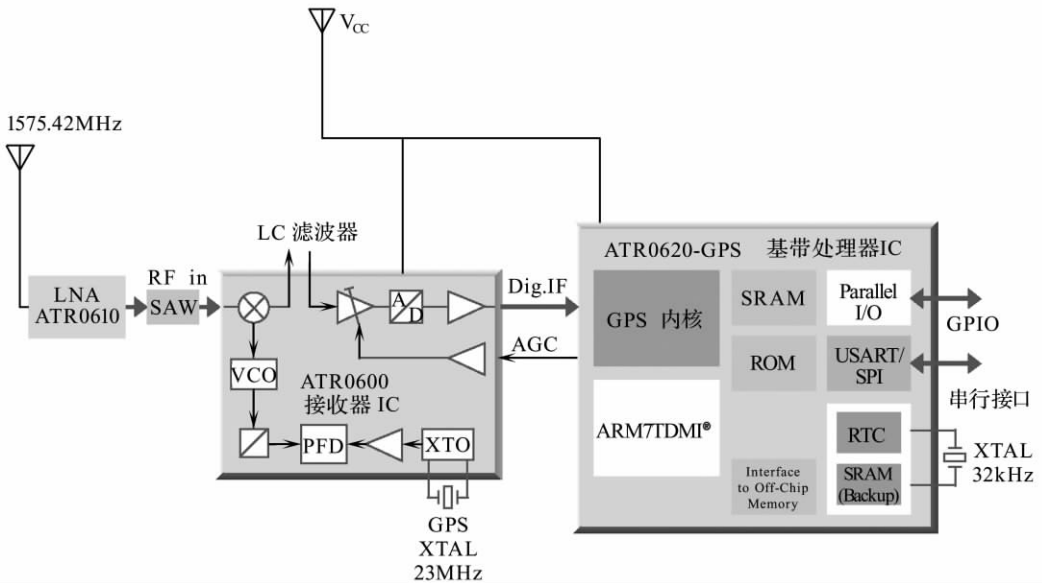


图 2-3 基于 ATR06xx 的 GPS 接收机方框图

2.3 Garmin 公司便携式 GPS 手持机设计方案

2.3.1 Garmin 公司便携式 GPS 手持机简介

Garmin 公司装载有传感器的全球定位系统手持设备 GPSMAP-76S, 带有经度/纬度显示、详细地图、高度计和电子指南针功能, 封装在一个防水的外壳中。

2.3.2 Garmin 公司便携式 GPS 手持机内部结构

Garmin 公司便携式 GPS 手持机 GPSMAP-76S 的原理方框图如图 2-4 所示。

GPSMAP-76S 的电子器件大部分都在一块四层的主板上。核心是一个 Garmin 基带 DSP/控制器 ASIC 芯片和一个 Garmin 单芯片 GPS 无线接收器 IC(TI 公司)。系统存储器包括一个存储地图数据的 32MB 闪存芯片、一个存储工作代码的 2MB AMD 闪存和一个用做工作内存的 512KB SRAM(三星公司)。

无线接收器 IC 和用于测量压力/海拔高度的独立传感器与核心基带芯片相连。为了确定高度, GPSMAP-76S 使用了基于 MEMS 的大气压力传感器 MS5534A 模块, 它是一种压阻桥(Intersema 公司)。压力会引起一种类似于“鼓膜”的硅膜产生偏差, 而压阻桥的属性将随着偏差发生变化。此外, 它还集成了一片用于 A/D 转换的 CMOS 芯片及主控接口。指南针方向数据是从 HMC-1022 双传感器封装模块(Honeywell 公司)中得出, 该模块包含了磁阻薄膜桥。其中, 一个传感器用于测“南—北”方向, 另一个用于测“东—西”方向。使用一片外部的 A/D 转换器(Cirrus 公司)将 HMC-1022 传感器连接到 DSP/控制器。

其他关键配件包括一个全方位天线、按键面板和显示屏。内部天线是用细心加工的导线实现的, 这些导线呈螺旋状地环绕在一个管状的低损耗 RF 薄片上。该设备还带有一个外部天线连接器, 系统通过一个 RF 开关来检测和选择天线源。两节 AA 电池组成的 3V 电源负责向整个系统电子部分供电, 通过弹簧触点与带有垫片的按键面板相接触, 按键再通过带状线缆连接到主板和显示屏。主板也通过弹簧触点与一个密封的外部串行端口连接器相连, 以便通过 PC 下载地图数据。高分辨率的单色 LCD 显示详细数据和图形, 它被置于一个透明塑料屏(外壳上面)的后面。坚固且防水的结构使其物有所值, 不过, 外壳占了整个产品质量的 46%, 这比手持设备的标准高出了许多。

2.4 Globallocate 公司基于 Indoor GPS 芯片组的 GPS 接收机设计方案

2.4.1 Indoor GPS 芯片组简介

Global Locate Indoor GPS 芯片组由 GL-20000 GPS 基带处理器 IC 和 GL-LN22 GPS 射频前端 IC 组成, 是一个功能完善的、小尺寸、低成本 A-GPS 接收机解决方案, 可以在蜂窝电话和其他便携式设备上应用。GL-LN22 GPS 射频前端 IC 包含有 LNA、2 bit A/D、频率合成器等电路。Indoor GPS 芯片组集成度高, 仅需要外部 SAW 滤波器和天线。基带处理器 GL-20000 具有 20 000 个实时硬件相关器, 可以通过串行或者并行接口与主机 CPU 连接, 由主机

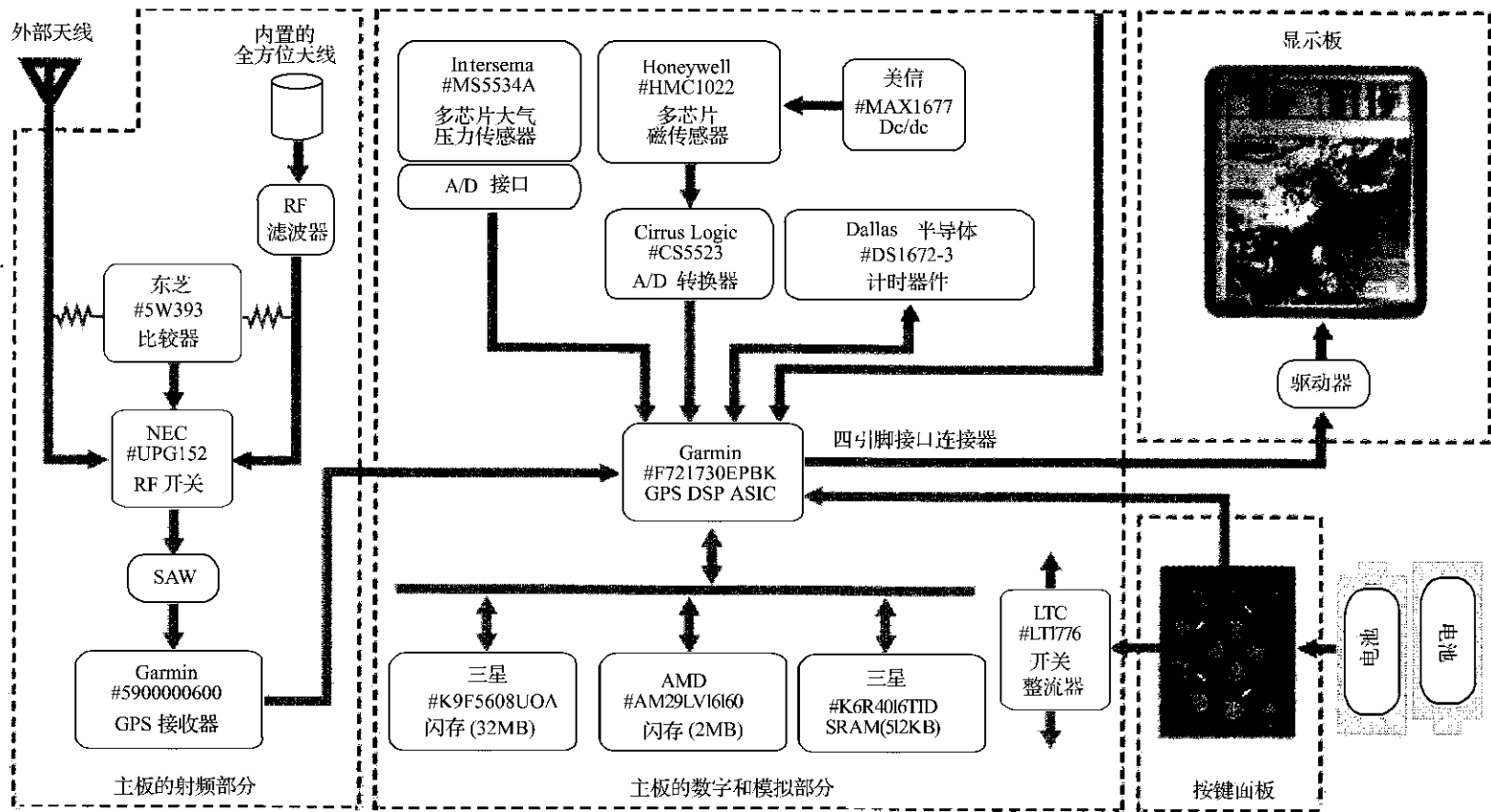


图 2-4 全球定位系统手持设备 GPSMAP-76S 的原理方框图

CPU 通过软件进行控制。所有的 GPS 处理和计算是在 GL-20000 上完成的,主机 CPU 装入和存储的软件是很小的。Indoor GPS 芯片组可以固定在“查询”或者“连续”模式。不像通常的跟踪式 GPS 接收机,Global Locate A-GPS 通常是在接近零功率状态。当被主机 CPU 查询时,GPS 接收机暂时有效,去完成 GPS 信号的测量。

GL-LN22 的内核电源电压为 2.4V~3.6V,I/O 接口电压为 1.65V~3.6V。GL-20000 内核电源电压为 1.8V,I/O 接口电压 1.65V~3.2V。

GL-LN22 采用 VQFN24 封装,尺寸为 3.5mm×4.5mm×1.0mm。GL-20000 采用 FB-GA96 封装,尺寸为 6mm×6mm×0.93mm。

2.4.2 基于 Indoor GPS 芯片组的 GPS 接收机设计方案

基于 Indoor GPS 芯片组的 GPS 接收机方框图如图 2-5 所示,主要技术特性如下:接收 L1 频率、C/A 码 (SPS)、10 通道;灵敏度为-160 dBm;第 1 次定位时间(移动状态)小于 1s(在精度为 5m,冷启动),稳定状态精度为 2m;支持的基准频率范围 10MHz~40MHz;辅助的数据标准:UMTS/GSM;3GPP TS 25.331& TS 44.031,CDMA:3GPP2 C. S0022-0-1;具有 SPI、

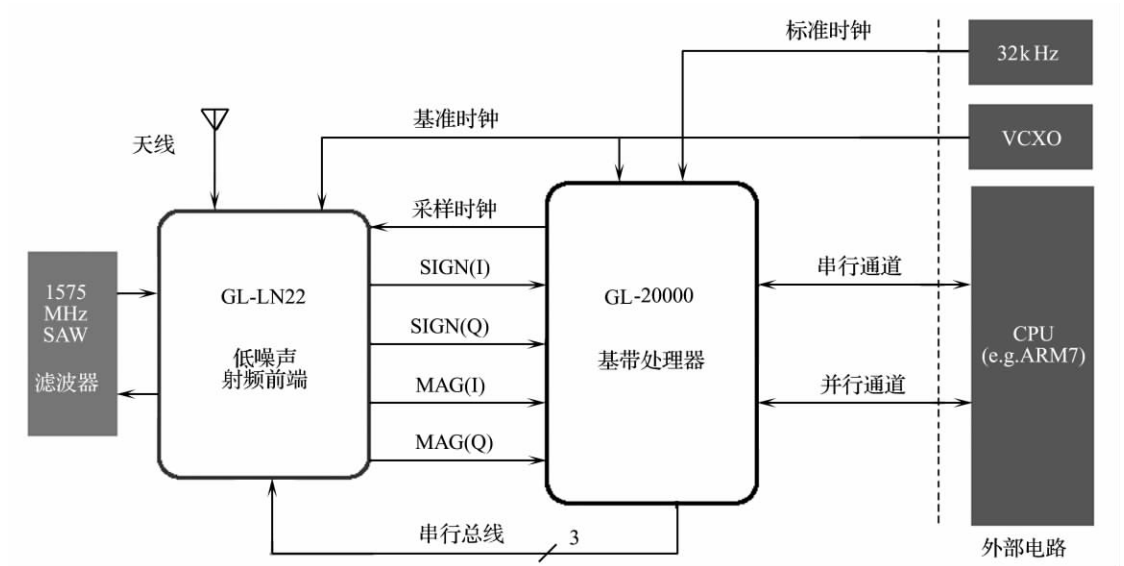


图 2-5 基于 Indoor GPS 芯片组的 GPS 接收机方框图

I²C、UART 串行接口和 8 bit 并行接口;平均功率消耗为 21mW。

2.5 Himark 公司基于 AR2010 的 GPS 接收机设计方案

2.5.1 AR2010 GPS 控制器 SoC 简介

AR2010 GPS 控制器 SoC 是一个单片集成的处理器,配上适当的外围设备,可以适应所有的与 GPS 接收机相关的产品,如通用 GPS 接收机板、GPS 鼠标、GPS CF 卡、GPS 监

视仪、GPS 手持导航仪/定位器、PDA 用的 GPS 接收机、附加在笔记本 PC 中的 GPS 接收机等。

AR2010 GPS 控制器 SoC 内部结构如图 2-6 所示, 包含有: CPU(MIPS 1 级 R3000 标准, 32-bit RISC 处理器, 2 KB 指令高速缓冲存储器和 2KB 数据高速缓冲存储器, 100 MHz CPU 时钟速率); 内置 64KB SRAM; SDRAM 控制器支持 2 个 16bit 数据总线的 SDRAM 库 (banks); 具有 32 MB 地址空间; GPS 基带解码器、基于 12 通道相关器和内置载波/编码跟踪回路; 具有 LCD 显示器接口驱动器、ADC 与触摸屏接口控制器、GPIOs 接口、支持多种外围设备连接、2 个可用于串行通信的 UART 通道; 用于报警的实时时钟、看门狗定时器、晶体振荡器和时钟发生器 PLL; 具有低功耗模式; 采用 LQFP-176 封装。

2.5.2 基于 AR2010 的 GPS 接收机设计方案

基于 AR2010 GPS 控制器 SoC 的 GPS 接收机设计方案如图 2-7 所示, 适合交通工具导航和安防系统、户外运动(登山、划船等)、儿童/老人/个人定位和安全防护、GPS 监视器和数码相机、移动和导航等应用。

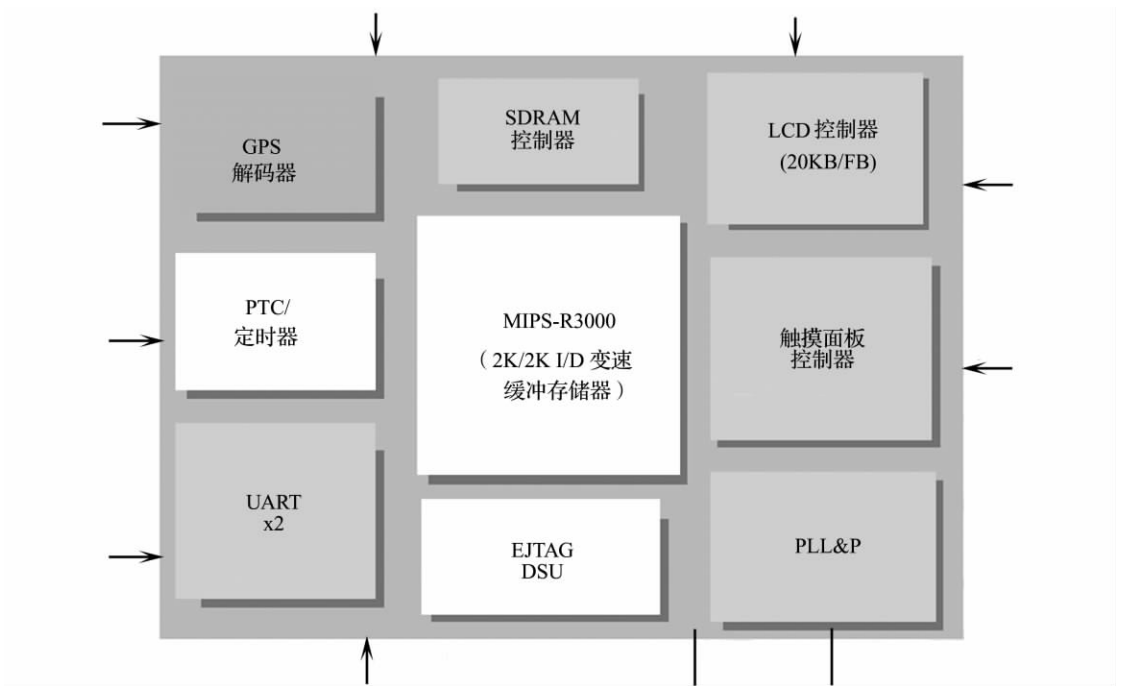


图 2-6 AR2010 GPS 控制器 SoC 内部结构方框图

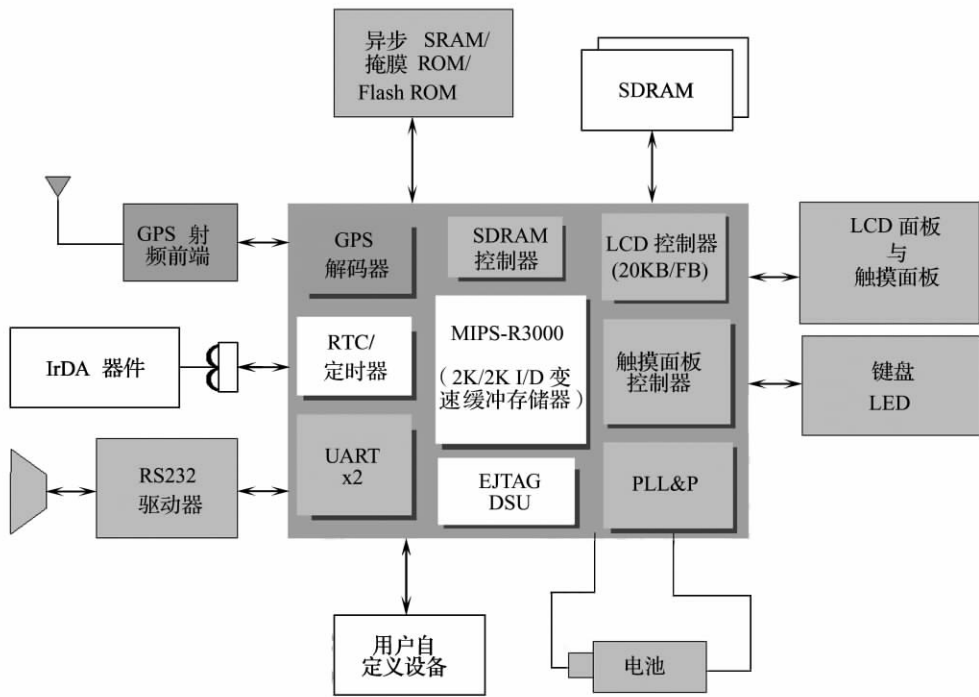


图 2-7 基于 AR2010 GPS 控制器 SoC 的 GPS 接收机设计方案

2.6 infineon 公司基于 FirstGPS™ 系统的 GPS 接收机设计方案

2.6.1 FirstGPS™ 系统简介

infineon 公司的 FirstGPS™ 系统是一个对于大容量、低成本 GPS 应用的最优解决方案。FirstGPS™ 系统由 Infineon 公司的 GPS 芯片组、Trimble 公司的 FirstGPS 软件和 API 组成。创新的硬件和软件结构简化了用户硬件和软件的开发过程。

基于 Trimble 的 FirstGPS 体系结构, Infineon 公司开发的 GPS 芯片组由 12 通道 GPS 相关器 IC(PMB2500)和射频前端 IC Colossus™ ASIC(PMB3330)组成。

射频前端 IC Colossus™ ASIC(PMB3330)是一个高集成度的、双下变频的、无线接收器芯片,接收 GPS 信号,输出 I/Q 信号。PMB3330 内部包含有低噪声放大器、可编程频率合成器(两个基准频率)、完全集成的 VCO、2 个内置的采样器和低功耗控制电路($<20\text{mW}$, 2.7V)等电路。工作温度范围 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。采用 TSSOP-24 封装。

12 通道 GPS 相关器 IC(PMB2500)内部结构如图 2-8 所示。

其包含 GPS 处理、MPU(微处理器单元)和 JTAG 边界扫描部分,输出 GPS 测量数据到主机微处理器,主机系统利用这些数据去计算位置、速度和时间。PMB2500 可以并行跟踪 GPS L1(1.575GHz)频率。PMB2500 具有超低的功率消耗($<8\text{mW}$, 3.3V 时)和低功耗模式;基准频率为 13MHz 和 12.504MHz ;具有 JTAG 边界扫描;工作温度范围 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$;采用 TSSOP-28 封装。

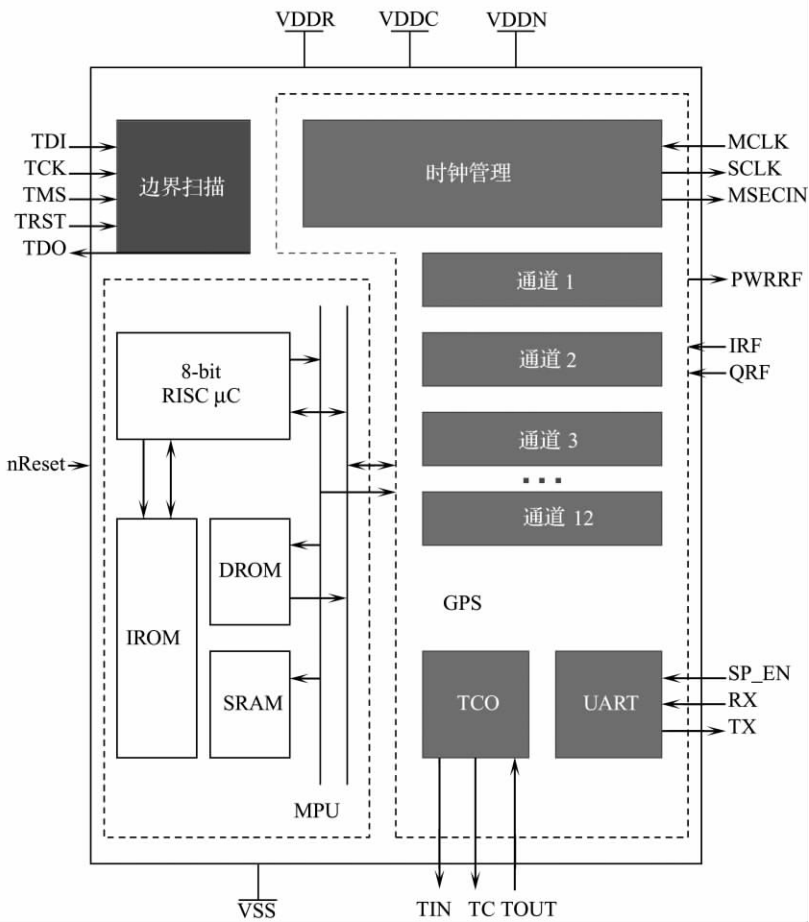


图 2-8 12 通道 GPS 相关器 IC(PMB2500)内部结构方框图

Trimble 的 First GPS 软件在系统主机微处理器中执行,完成位置、速度和时间的计算。用户可选择实时操作系统(Real-time Operating System, RTOS)和 CPU。用户利用所选择的开发工具,可将 First GPS 软件装入到主机平台。

First GPS 软件具有如下特点:最小主机 CPU 中断;多任务处理;信息诊断;可连接库;在无主机 CPU 访问期间可以生存。

开发工具包含有:基于 PC 的启动系统;像 Microsoft 一样的 API;基于 Windows 的 GUI 监视器;NMEA 应用范例;基于 PC 的原型开发环境。

标准的 API 功能有:获得位置又获得时间;初始化位置又初始化时间;获得最后的定位;获得星像;导通又关断 FirstGPS 和 IO;获得电池支持的 RAM 地址;获得星历表、历书、GPS 通道、位置、振荡器、存储器等状态。系统软件结构如图 2-9 所示。

2.6.2 基于 FirstGPS™ 的 GPS 接收机设计方案

基于 FirstGPS™ 的 GPS 接收机设计方案如图 2-10 所示。要求最小主机 CPU 具有 2 MIPS 稳定状态,在获得期间 4 MIPS;最小 ROM 存储器,用 RISC 主机典型值小于 150 KB;最小 RAM 为 40KB~80KB。

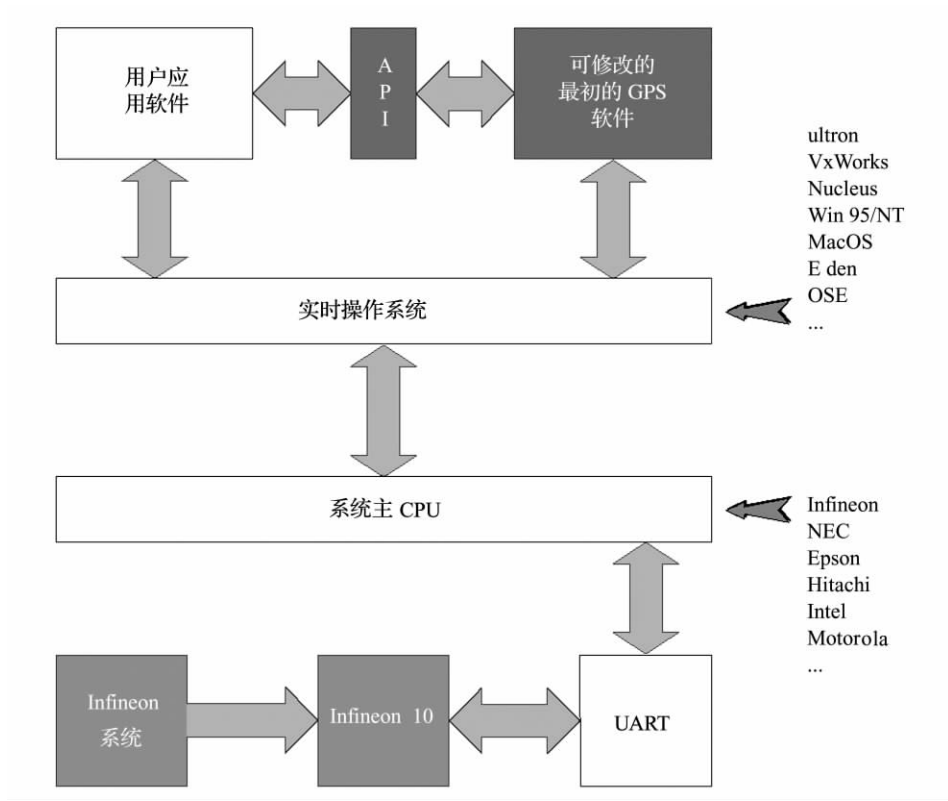


图 2-9 系统软件结构

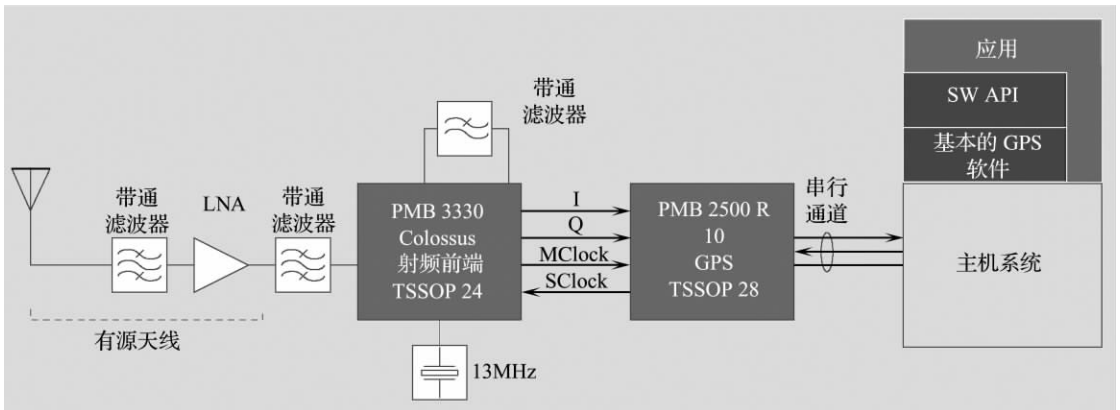


图 2-10 基于 FirstGPS™ 的 GPS 接收机设计方案

2.7 NEC 公司的 GPS 设计方案

2.7.1 NEC 公司的 GPS 设计方案简介

NEC 公司推荐的 GPS 设计方案如图 2-11 至图 2-13 所示。方案 1 前级放大器使用 2SC5507、2SC5508、 μ PC2749TB、NE34018、NE38018 和 μ PC8211TK 等器件；接收机通道使用

μ PB1007K,基准频率 TCXO 为 16.368 MHz,外接谐振回路(Tank Circuit)和回路滤波器(Loop Filter);IF 信号(4.092MHz)输出到外接的 ADC,经 A/D 转换后,送入基带处理器(B/B IC)进行处理。

方案 2 前级放大器使用 NE34018、NE38018 和 μ PC8211TK 器件;接收机通道使用 μ PB1008K,基准频率 TCXO 为 27.456 MHz,外接基带处理器(B/B IC)进行信号处理。

方案 3 前级放大器使用 μ PC8211TK 器件;接收机通道使用 μ PB1009K,基准频率 TCXO 为 16.368 MHz,外接基带处理器(B/B IC)进行信号处理。

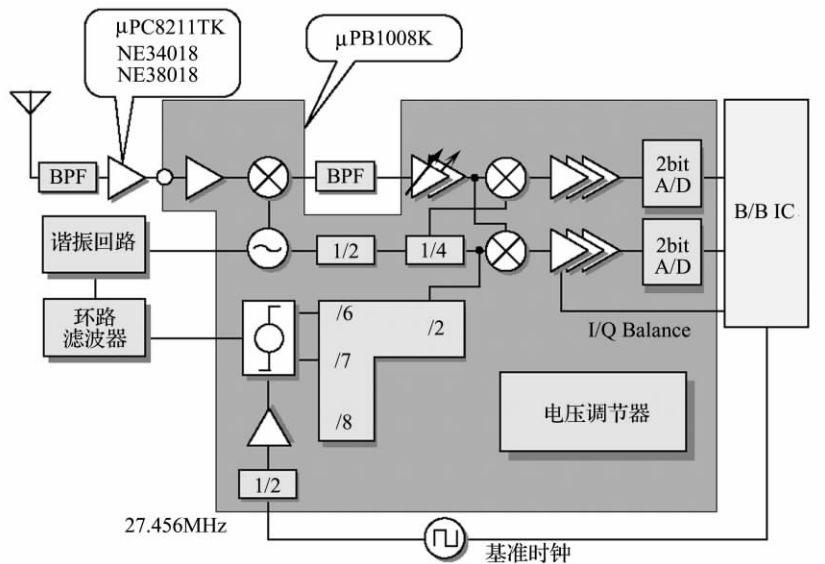


图 2-12 NEC 公司推荐的 GPS 设计方案 2

2.7.2 NEC 公司的 GPS 器件简介

NEC 公司推荐的 GPS 设计方案中所用器件如表 2-2 所列,表中部分器件详细介绍见后面各章节。

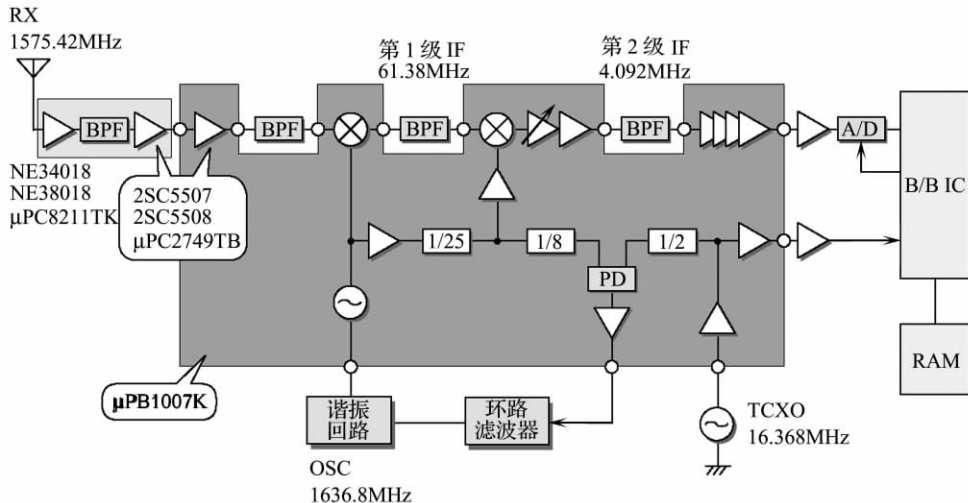


图 2-11 NEC 公司推荐的 GPS 设计方案 1

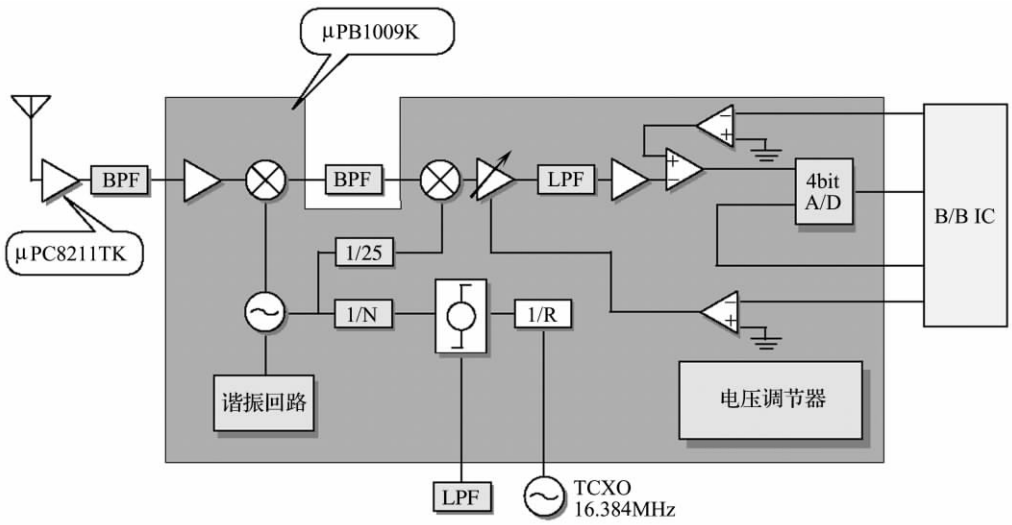


图 2-13 NEC 公司推荐的 GPS 设计方案 3

表 2-2 NEC 公司推荐的 GPS 设计方案中所用器件

模块	器件型号	功能	特征
LNA	NE34018	第 1 级放大器	GaAs HJ-FET
	NE38018		GaAs HJ-FET
	μPC8211TK	第 2 级放大器或者更后一级放大器	SiGe MMIC
	μPC2749TB		低噪声, Si MMIC
	2SC5507(NE661M04)		晶体管
2SC5508(NE662M04)			

(续)

模块	器件型号	功能	特征
射频单片芯片	μPB1007K	前置放大器 + 第 1 级下变频器 + 第 2 级下变频器 + OP 放大器 + PLL + 振荡器 + 缓冲器	低的电流消耗, 内置电源节能功能
	μPB1008K	前置放大器 + RF/IF 下变频器 + 2bit ADC + PLL 合成器	低的电流消耗, 内置 2bit ADC
	μPB1009K	前置放大器 + RF/IF 下变频器 + 4bit ADC + PLL 合成器	内置可选择的分频器系数; 内置 VCO 谐振回路和第 2 级 IF 滤波器; 内置 4bit ADC

2.8 Nemerix 公司的 GPS 设计方案

2.8.1 Nemerix 公司的 GPS 芯片简介

1. 单片 GPS 接收机射频前端 IC NJ1004/ NJ1006

Nemerix 公司推出的 NJ1004 是一个单片 GPS 接收机射频前端 IC, NJ1004 采用超外差结构, 下变频 1575.42MHz L1 GPS 信号, 通过 2 bit A/D 转换器采样后, 输出数字信号到基带处理器。晶体振荡器和 PLL 产生所需要的全部时钟信号。芯片支持 3 个不同的基准频率。

使用 16.368MHz 基准频率,第 2 级 IF 频率为 4.092MHz,适合大多数的基带处理器;使用 16.384MHz 基准频率,第 2 级 IF 频率为 2.556MHz,适合在系统中使用 FFT(快速傅里叶变换算法)算法;使用 13.000MHz 基准频率,可以简化集成 GPS 接收机到 GSM 蜂窝电话中的设计。

NJ1004 工作电源电压为 2.2V~3.6V,有效工作时电流消耗为 5.2mA,待机模式电流消耗为 3.5mA,瞌睡模式电流消耗为 300 μ A,睡眠模式消耗为 10nA。工作温度范围 -40 $^{\circ}$ C~85 $^{\circ}$ C。提供 3 个低功耗模式,在 CPU 的控制下降低功率消耗。可以直接与 NJ1030 和 NP1016 处理器接口,适合构成不同类型的 GPS 接收机。

NJ1006 是一个高集成度的单片 GPS 接收机射频前端 IC,目标是满足价格敏感的便携式和汽车应用。NJ1006 集成了 LNA 和本机振荡器的谐振回路,减少了外部元器件数量和 PCB 的面积。NJ1006 是采用双超外差结构,接收 GPS L1 频带信号,功能上与 NJ1004 兼容。片上的 LNA 允许连接无源的或者有源的天线到 NJ1006。具有灵活结构的 PLL 和晶体振荡器,基准频率 16.368MHz,也支持在 3G、GSM、CDMA 和 PDC 电话中应用。天线检测器和开关支持系统在汽车等需要有源天线的场合。天线检测器也可以检测有源天线开路或者短路,限制所提供的电流,保护天线和接收机。

NJ1006 下变频 1575.42MHz GPS L1 信号,通过 2 bit A/D 转换器采样后,输出 2bit(符号和大小)数字信号到基带处理器。NJ1006 工作电源电压为 2.2V~3.6V,有效工作时电流消耗为 11.4mA,待机模式电流消耗为 6.2mA,瞌睡模式电流消耗为 450 μ A,睡眠模式消耗为 10nA。工作温度范围 -40 $^{\circ}$ C~85 $^{\circ}$ C。提供 3 个低功耗模式,在 CPU 的控制下降低功率消耗。可以直接与 NJ1030 和 NP1016 处理器接口,适合构成不同类型的 GPS 接收机。

2. NJ1030 GPS 基带处理器

Nemerix 公司的 NJ1030 是一个适合 C/A 码 L1 GPS 接收机使用的 GPS 基带处理器,支持 WAAS/ EGNOS、3GPP TS44.035 - TIA-IS801。NJ1030 芯片上组合了 Nemerix 公司的 NP1016 GPS 相关器内核、32 bit RISC IEEE1754(SPARC V8)兼容的 CPU 内核、片上存储器、外围设备接口等功能模块。灵活的系统性能配置和存储器结构允许 NJ1030 适合在不同的 GPS 接收机中应用。NJ1030 可以直接与 Nemerix NJ100x(NJ1004, NJ1006)系列的射频前端连接,适合与 1 bit 或者 2 bit 输出的 GPS 射频前端器件连接,采样频率可达 20MHz。具有 8 bit A/D 转换器。灵活的时钟设计可以采用内部或者外部时钟源。CPU 是一个 32 bit RISC IEEE1754 (SPARC V8)兼容的内核,具有 8KB 指令高速缓冲存储器和 1KB 数据高速缓冲存储器。具有 32 KB 片上 SRAM,8KB SRAM 采用电池供电,用来储存导航信息和实时时钟。外部存储器和 I/O 空间通过 32bit 外部总线(external bus interface,EBD)接口访问,支持 4 块 16MB 的 SRAM 或者 Flash 存储器。具有 UART 和可选择的 UART/SPI/GPIO 接口。2 bit 标记和大小 GPS IF 信号输入,功耗小于 25 mW。采用 micro BGA128 7mm \times 7mm 封装。

3. NP1016 GPS 相关器 IP

NP1016 GPS 相关器 IP 设计上采用技术独立的 VHDL 数据库、SoC、AMBA APB 处理器接口、可升级的跟踪模块(2~16),具有空间交通工具的快速截获模式(fast acquisition mode, FAM),L1 C/A 编码 WAAS/EGNOS,自动驱动 NJ1004/NJ1006 低功耗模式,跟踪模块可以单个解除,基于 ARM7TDMI 平台,可嵌入在 NJ1030 中使用。

2.8.2 SW1030 软件体系结构

SW1030 软件体系结构如图 2-14 所示。SW1030 具有完整的 GPS 功能:SV 截获和跟踪, GPS 数据库,PVT(位置、速度和时间)计算,用户 APIs,可选择的 RTOS,可选择的表示方法, C++ 语言,独立的 HW(硬件),128KB 编码,数据大小小于 32KB。

2.8.3 Nemerix 公司的 GPS 设计方案

Nemerix 公司的 GPS 设计方案举例如图 2-15 至图 2-17 所示。图 2-15 给出了一个在主设控制下的 GPS 接收机系统。图 2-16 给出了一个由 NJ1030 和 NJ1006 组成的 GPS 接收机系统。图 2-17 给出了 Nemerix 公司的 GPS 芯片在蜂窝电话中的应用方式。

2.9 Skyworks 公司基于 CX20xxx 系列芯片的 GPS 设计方案

2.9.1 CX74xx 接收机 ASIC 系列芯片简介

Skyworks 公司的 CX74xx 接收机 ASIC 系列芯片有 CX74061、CX74070 等。

CX74061 接收机芯片适合 CDMA、AMPS、PCS 和 GPS 移动手持设备应用,内部结构方框图如图 2-18 所示。CX74061 具有 2 级增益可控的 PCS LNA(低噪声放大器),3 级增益可控的蜂窝 LNA,1 级 GPS LNA,LNA 的偏置电流可以通过外部的电阻调整。来自天线的信号被射频 LNA 放大和滤波后,通过混频器下变频为 IF 信号。在芯片内部,对于 AMPS、CDMA 蜂窝电话、CDMA-PCS 和 GPS 模式具有单独的混频器。AMPS 混频器有差分输出到外部的单端 SAW 滤波器,CDMA-PCS 混频器有平衡的输出到 IF SAW 滤波器,GPS 混频器有



图 2-14 SW1030 软件体系结构

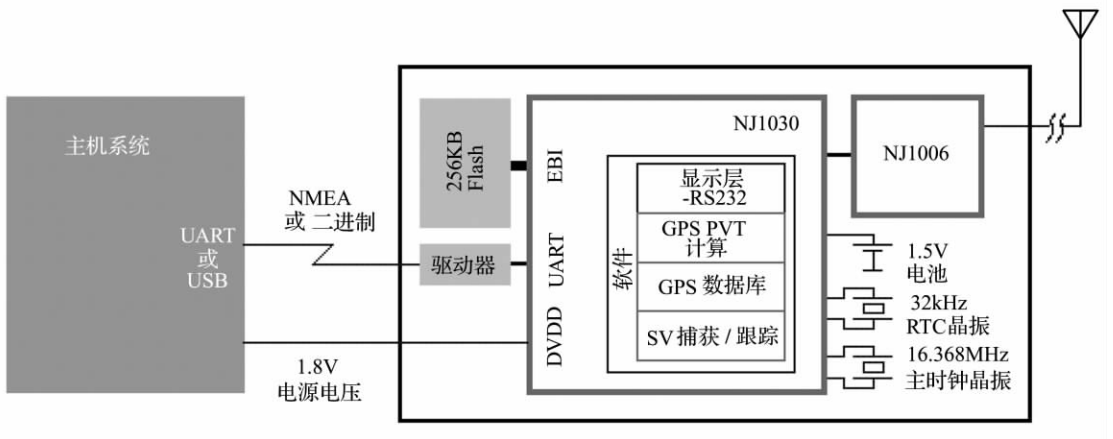


图 2-15 一个在主设控制下的 GPS 接收机系统

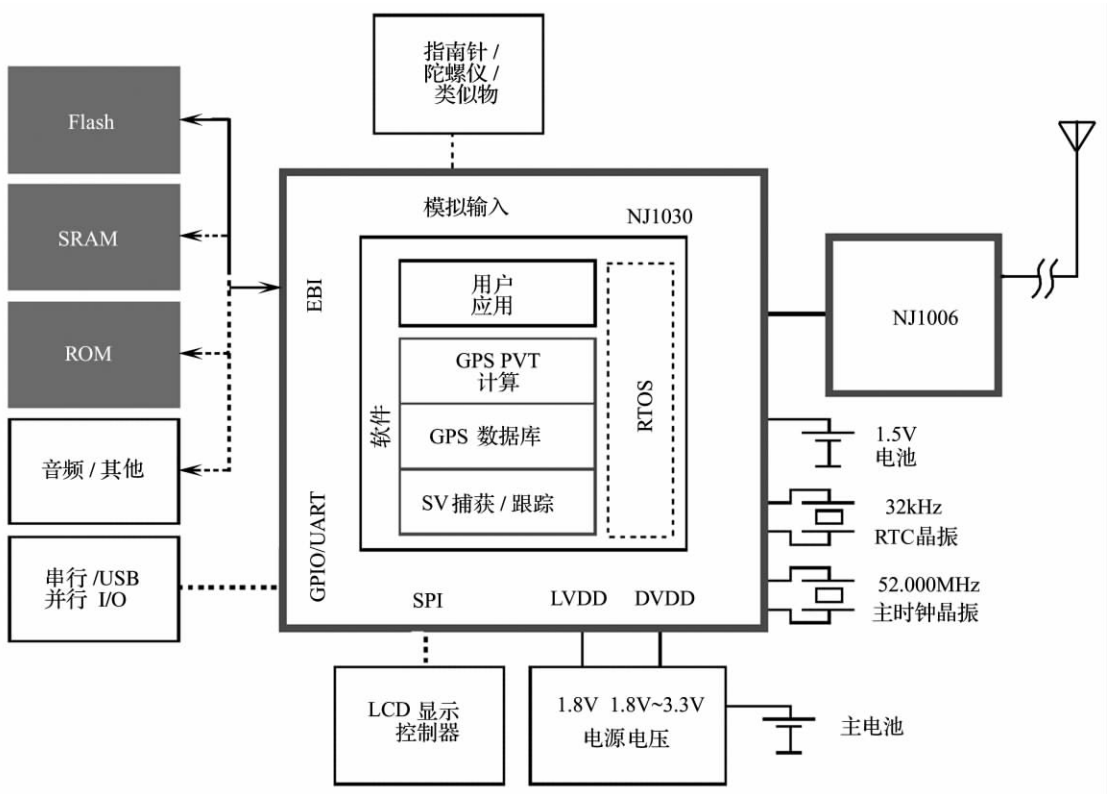


图 2-16 一个由 NJ1030 和 NJ1006 组成的 GPS 接收机系统

一个差分输出到外部的 LC 带通滤波器。在 IF 滤波后,IF 信号通过可变增益放大器 (Variable Gain Amplifier ,VGA) 放大,馈送到 I/Q 解调器,I/Q 解调器产生基带 I/Q 信号输出。VGA 在控制电压 0.3V~2.5V 范围内,有 90dB 的动态范围。

CX74061 有两个本机振荡器 (Local Oscillator, LO) 输入通道,一个输入到 AMPS/CDMA/PCS 混频器,另一个输入到 GPS 混频器。这些混频器在不同的射频输入频率下工作,产生相同的 IF 频率输出。

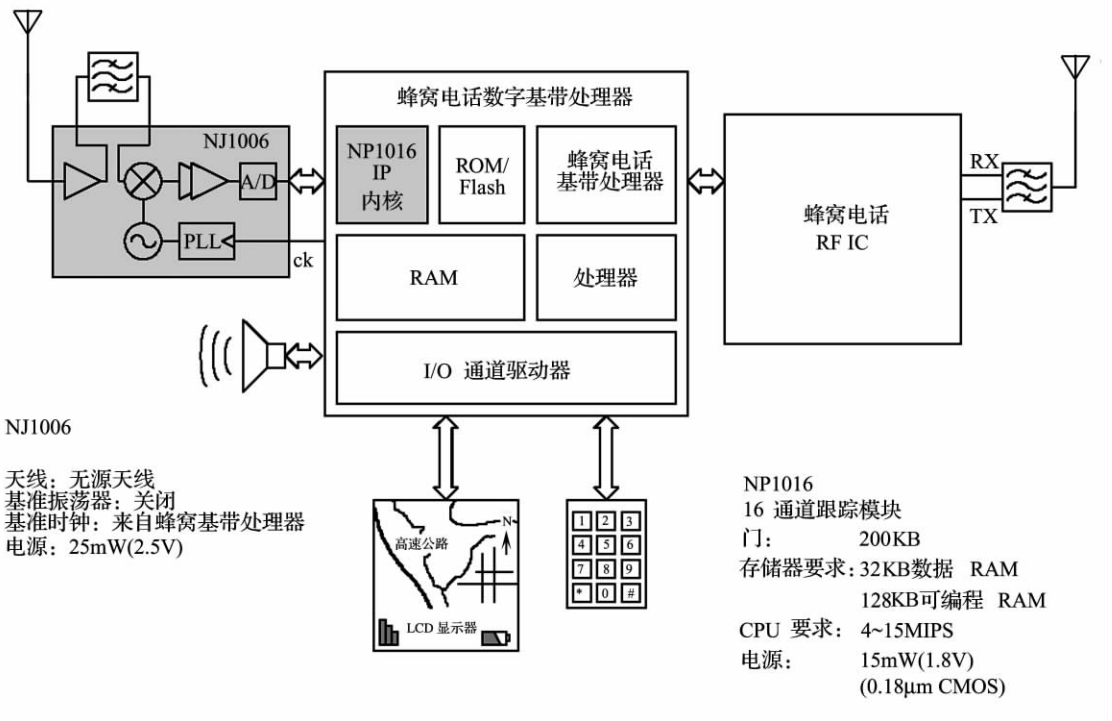


图 2-17 Nemerix 公司的 GPS 芯片在蜂窝电话中的应用

CX74061 工作电源电压为 $2.7V < V_{cc} < 3.3V$ 。采用 $7mm \times 7mm$ RFLGA-48 封装。

CX74070 接收机是一个单 IF、双模、双频带接收机,适合 CDMA-PCS 和 GPS 移动手持设备应用,内部结构方框图如图 2-19 所示。除 SAW 和匹配元件外,CX74070 包含有从 LNA 到 I/Q 解调器完整的接收机通道。具有 1 级 PCS LNA(低噪声放大器),1 级 GPS LNA,LNA 的偏置电流可以通过外部的电阻调整。来自天线的信号被射频 LNA 放大和滤波后,通过混频器下变频射频信号为 IF 信号。CDMA-PCS 和 GPS 模式具有单独的混频器。CDMA-PCS 混频器有平衡的输出到 IF SAW 滤波器,GPS 混频器有一个差分输出到外部的 LC 带通滤波器。在 IF 滤波后,IF 信号通过可变增益放大器(Variable Gain Amplifier,VGA)放大,馈送到 I/Q 解调器,I/Q 解调器产生输出基带 I/Q 信号,输出到基带模拟处理器。VGA 在控制电压 $0.3V \sim 2.5V$ 范围内,有 90dB 的动态范围。

CX74070 有两个本机振荡器(Local Oscillator,LO)输入通道,一个输入到 CDMA-PCS 混频器,另一个输入到 GPS 混频器。这些混频器在不同的射频输入频率下工作,产生相同的 IF 频率输出。

CX74070 工作电源电压为 $2.7V < V_{cc} < 3.3V$,采用 $6mm \times 6mm$ RFLGA-40 封装。

2.9.2 CX20xxx 基带模拟处理器系列芯片简介

Skyworks 公司的 CX20xxx 基带模拟处理器系列芯片有 CX20529、CX20536 等。

CX20529 是一个 CDMA/FM/GPS 基带模拟处理器(Baseband Analog Processor,BAP),接收处理 CDMA/FM/GPS 基带信号,适用于 CDMA 和 AMPS 便携式电话与 GPS 接收机。CX20529 是射频接收部分和电话的数字处理电路之间的接口,包含支持 CDMA、AMPS (FM)

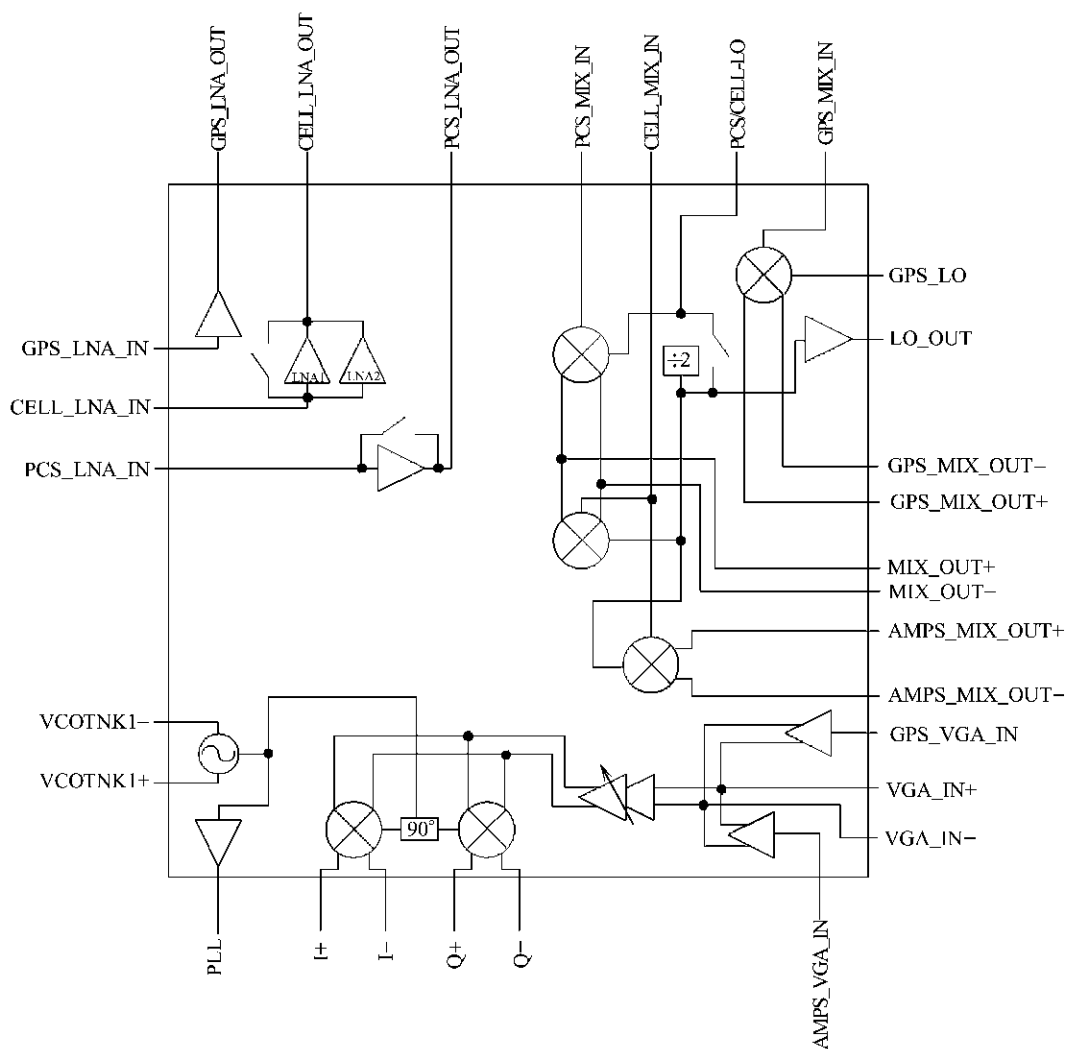


图 2-18 CX74061 接收机方框图

和 GPS 操作, 具有接收基带信号处理和模拟与数字信号之间的转换所必须的所有电路。

CX20529 接收模拟 I/Q 基带信号, 完成通道选择低通滤波, 转换模拟基带信号成为数字信号。CX20529 具有如下技术特性: 独立的 CDMA、FM、GPS 滤波器和 A/D; 具有直流偏移控制回路; 具有数字 PLL 合成器; 充电泵电流可编程; 具有锁定检测输出; 可接收外部 CHIPx8 时钟 (9.8304MHz 或者 8.184MHz) 和产生内部 CHIPx8 时钟 (9.8304MHz); 支持 19.2MHz、19.68MHz 和 19.8MHz 系统时钟; 可调节 TCXO 或者 TCXO/4 驱动器输出; 具有接收、睡眠、空闲和 GPS 模式; 工作电源电压为 2.7V~3.4V, 工作温度范围为 -30°C~+85°C; 采用 6mm×6mm LGA-40 封装。

CX20536 是一个 CDMA/GPS 基带模拟处理器, 接收处理 CDMA/GPS 基带信号, 适用于 CDMA 便携式电话与 GPS 接收机。CX20536 是射频接收部分和电话的数字处理电路之间的接口, 包含支持 CDMA 和 GPS 操作, 具有接收基带信号处理和模拟与数字信号之间的转换所必须的所有电路。

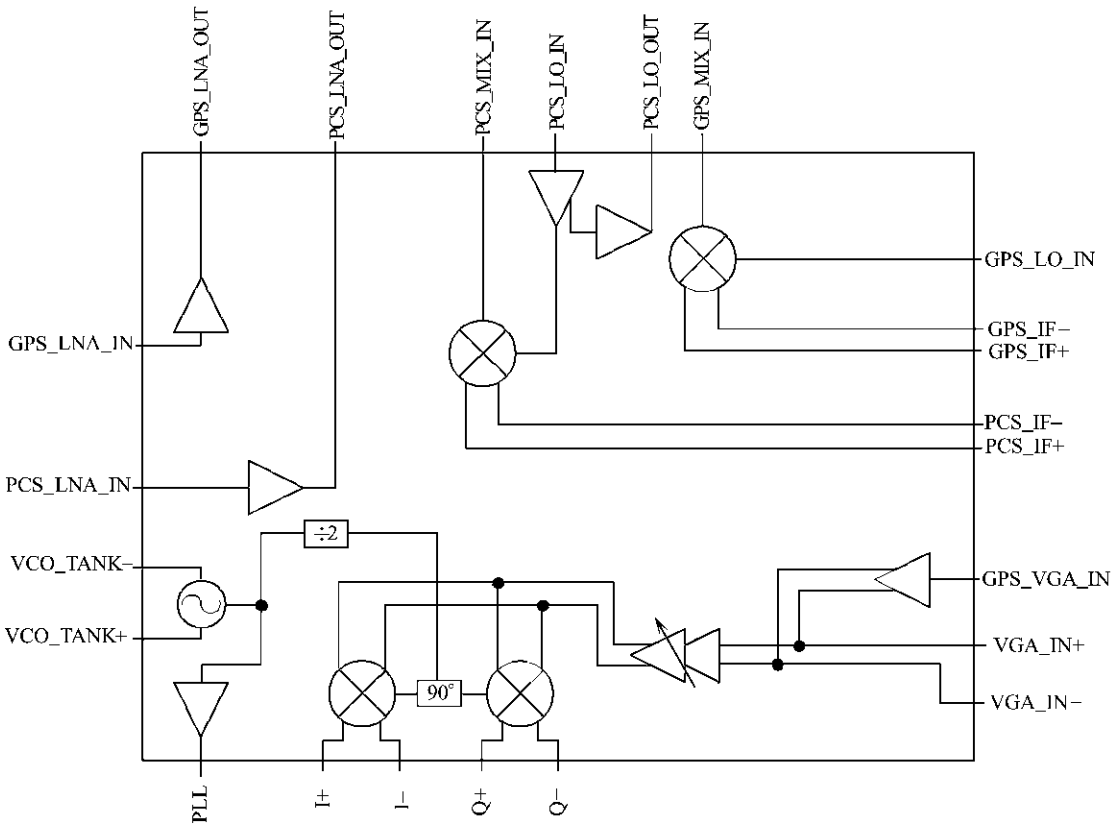


图 2-19 CX74070 接收机方框图

CX20536 接收模拟 I/Q 基带信号,完成通道选择低通滤波,转换模拟基带信号成为数字信号。CX20536 具有如下技术特性:独立的 CDMA 和 GPS 滤波器和 A/D;直流偏移控制回路;数字 PLL 合成器;具有可编程的充电泵电流;锁定检测输出;可接收外部 CHIPx8 时钟 (9.8304MHz 或者 8.184MHz);支持 19.2MHz、19.68MHz 和 19.8MHz 系统时钟;具有睡眠、接收和 GPS 模式;工作电源电压为 2.7V~3.3V;工作温度范围为 $-30^{\circ}\text{C}\sim+85^{\circ}\text{C}$;采用 $5\text{mm}\times 5\text{mm}$ LGA-32 封装。

2.9.3 基于 CX20xxx 系列芯片的 GPS 设计方案

基于 CX20xxx 系列芯片的 GPS 设计方案如图 2-20 所示。

2.10 SONY 公司 GPS 接收机设计方案

2.10.1 SONY 公司 GPS 接收机下变频器芯片简介

SONY 公司 GPS 接收机下变频器芯片有 CXA1951AQ 和 CXA3355ER 等。

CXA1951AQ 是一个 GPS 下变频器集成电路,具有低的电流消耗和小的封装尺寸,极好的温度特性,适合移动 GPS 系统使用。CXA1951AQ 芯片包含射频低噪声放大器、2 级混频器、限幅器、PLL 和基准振荡器等电路,具有含 GPS 接收机下变频器的所有功能,总增益大于

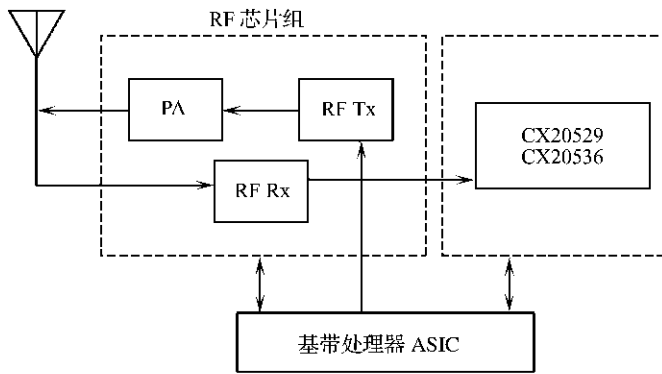


图 2-20 基于 CX20xxx 系列芯片的 GPS 设计方案

100 dB。CXA1951AQ 将 1.57542 GHz GPS 信号下变频成为 f_0 ($f_0 = 1.023\text{MHz}$) 或者 $4 \times f_0$ 。芯片内部电路可分为模拟电路和数字电路两部分。模拟电路部分由放大器和两级混频器组成,需要外部滤波器。模拟电路部分放大信号和转换信号频率。在数字电路中,PLL 的分频率可以转换,以满足下变频输出信号为 f_0 ($f_0 = 1.023\text{MHz}$) 或者 $4f_0$ 的需要。工作电源电压范围为 2.7V~5.5V,电流消耗 $I_{CC} = 30\text{mA}$ ($V_{CC} = 3\text{V}$)。CXA1951AQ 采用 QFP-40 封装,封装尺寸 $9\text{mm} \times 9\text{mm} \times 1.5\text{mm}$ 。

CXA3355ER 是一个 GPS 下变频器集成电路,芯片内集成有 LNA、镜像抑制混频器、IF 滤波器、PLL 和 VCO(L,C)等电路,减少了外部元器件,具有低的电流消耗和小的封装尺寸,极好的温度特性,适合移动 GPS 系统使用。

CXA3355ER 包含 GPS 接收机下变频器的所有功能,其总增益为 100dB;噪声系数为 4dB;片上 LNA 噪声系数 2.0dB;支持典型的 TCXO 频率(13MHz,16.368MHz,18.414MHz 等);具有 1bit IF 输出和天线检测功能;工作电源电压范围为 1.6V~2.0V;电流消耗 $I_{CC} = 11\text{mA}$ ($V_{CC} = 1.8\text{V}$, IF=1MHz),低功耗模式电流消耗小于 $1\mu\text{A}$;采用 VQFN-44 封装,封装尺寸 $5\text{mm} \times 5\text{mm} \times 0.8\text{mm}$ 。

2.10.2 SONY 公司 GPS 接收机基带处理器芯片简介

SONY 公司 GPS 接收机基带处理器芯片有 CXD2931R-9/GA-9 和 CXD2932AGA-2 等。

CXD2931R-9/GA-9 是一个单片 GPS 接收机基带处理器 LSI,芯片集成了 32bit RISC CPU、2Mbit MASK ROM、RAM、UART、定时器等电路,与 RF LSI(CXA1951AQ)组合,可以构成 2 片的 GPS 接收机系统,接收信号频率 1575.42MHz (L1 频带,CA 码)。

CXD2931R-9/GA-9 具有处理 16 通道 GPS 接收机的能力,支持不同类型的 GPS 系统 (RTCM SC-104 Ver. 2.1, DARC)。其采用 2 星测量法;定时器支持 GPS 定时;具有 256KB 可编程 ROM,36KB RAM;3 个 UART 具有波特率发生器;支持 1.2k、2.4k、4.8k、9.6k、19.2k 和 38.4k 波特率;支持 1/2/4 字节缓冲模式;23bit 通用 I/O 通道可以单独编程为输入/输出形式;具有 8 bit A/D 转换器。CXD2931R-9 采用 LQFP-144 封装,封装尺寸 $20\text{mm} \times 20\text{mm} \times 1.7\text{mm}$,CXD2931GA-9 采用 LFLGA-144 封装,封装尺寸 $13\text{mm} \times 13\text{mm} \times 1.4\text{mm}$ 。

CXD2932AGA-2 是一个单片 GPS 接收机基带处理器 LSI。芯片集成了 32bit RISC CPU、卫星跟踪电路、2Mbit MASK ROM、RAM、UART、定时器等电路。与 GPS RF LSI(如

CXA1951AQ)组合,可以构成2片的GPS接收机系统,接收信号频率1575.42MHz(L1频带,CA码)。

CXD2932AGA-2具有处理16通道GPS接收机的能力,支持不同类型的GPS系统(RTCM SC-104 Ver. 2.1、DARC)。其采用2星测量法;定时器支持GPS定时;具有256KB可编程ROM,40KB RAM;2个UART,4通道时间间隔定时器;16bit通用I/O通道可以单独编程为输入/输出形式;具有12bit A/D转换器(包含4通道模拟开关)。CXD2932AGA-2采用LFLGA-144封装,封装尺寸20mm×20mm×1.7mm。

2.10.3 SONY公司单片GPS接收机芯片简介

CXD2951GA是一个单片GPS接收机LSI芯片。它集成了射频和基带处理器两部分,可以构成一个12通道的GPS接收机。CXD2951GA接收信号频率为1575.42MHz(L1频带,CA码),基准时钟频率(TCXO)可以根据不同的应用选择,例如:18.414MHz(GPS, Sony兼容),13.000MHz(GSM),14.400MHz(CDMA),16.368MHz(GPS),19.800MHz(PDC/CDMA),26.000MHz(GSM)。芯片内具有32bit RISC CPU(ARM7TDMI),288KB Program ROM,72KB Data RAM。在备份模式,电源支持8KB数据RAM。具有1通道UART接口,RTC(Real Time Clock)时钟,10bit A/D转换器。通信格式支持NMEA-0183,支持DGPS,符合RTCM SC-104 Ver. 2.1和DARC。是在汽车、蜂窝电话、手持式航海仪、移动物体计算和其他定位系统中应用的理想GPS接收机芯片。CXD2951GA采用LFLGA-176封装,封装尺寸12mm×12mm×1.3mm。

2.10.4 SONY公司GPS接收机设计方案

SONY公司基于CXA1951AQ射频下变频器和CXD2931R-9 16通道GPS处理器的GPS接收机设计方案如图2-21所示。SONY公司基于单片GPS接收机芯片CXD2951GA的GPS接收机设计方案如图2-22所示。

2.11 ST公司的GPS接收机设计方案

2.11.1 ST公司GPS接收机系列芯片简介

ST公司的GPS接收机系列芯片包含GPS射频接收机IC STB5600、STB5610、GPS基带处理器IC ST20-GP6等。

STB5600是STMicroelectronics推出的GPS射频前端IC芯片,芯片下变频1575MHz的GPS(L1)信号为20MHz的IF(中频)信号,输出频率为4MHz的信号到ST20-GP6 GPS基带处理器。STB5600利用单个外部基准振荡器产生2个射频本机振荡器信号和处理器的基准时钟信号。STB5600采用新颖的双变换结构与单IF滤波器。其仅需要很少的外部元器件;与GPS L1 SPS信号兼容;输出信号为CMOS电平;可直接ST20GP1 GPS处理器接口;电源电压为3.3V~5.9V;采用TQFP32封装。

STB5610是STMicroelectronics推出的GPS射频前端IC芯片,芯片下变频1575.42MHz的GPS(L1)信号为4.092MHz的输出信号,STB5610可完成从GPS天线接口到GPS控制器的所有功能。STB5610具有如下技术特点:在芯片上集成了PLL;片上的基准

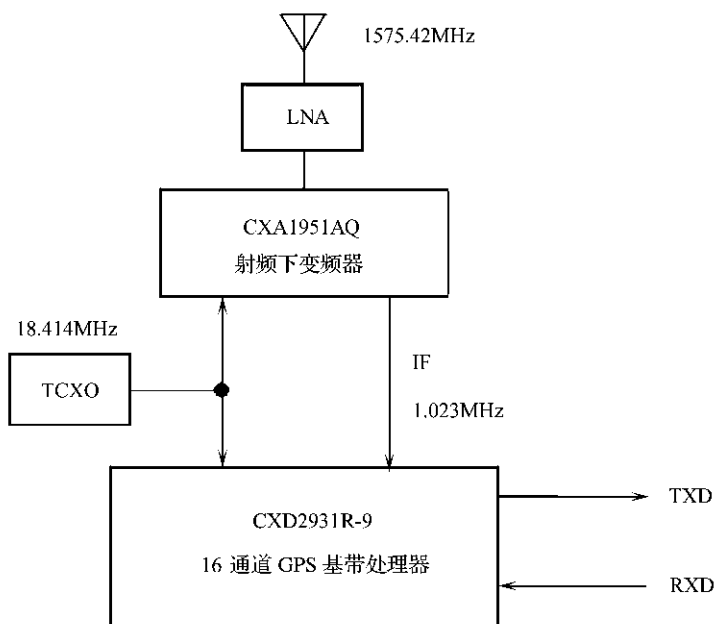


图 2-21 基于 CXA1951AQ 和 CXD2931R-9 的 GPS 接收机设计方案

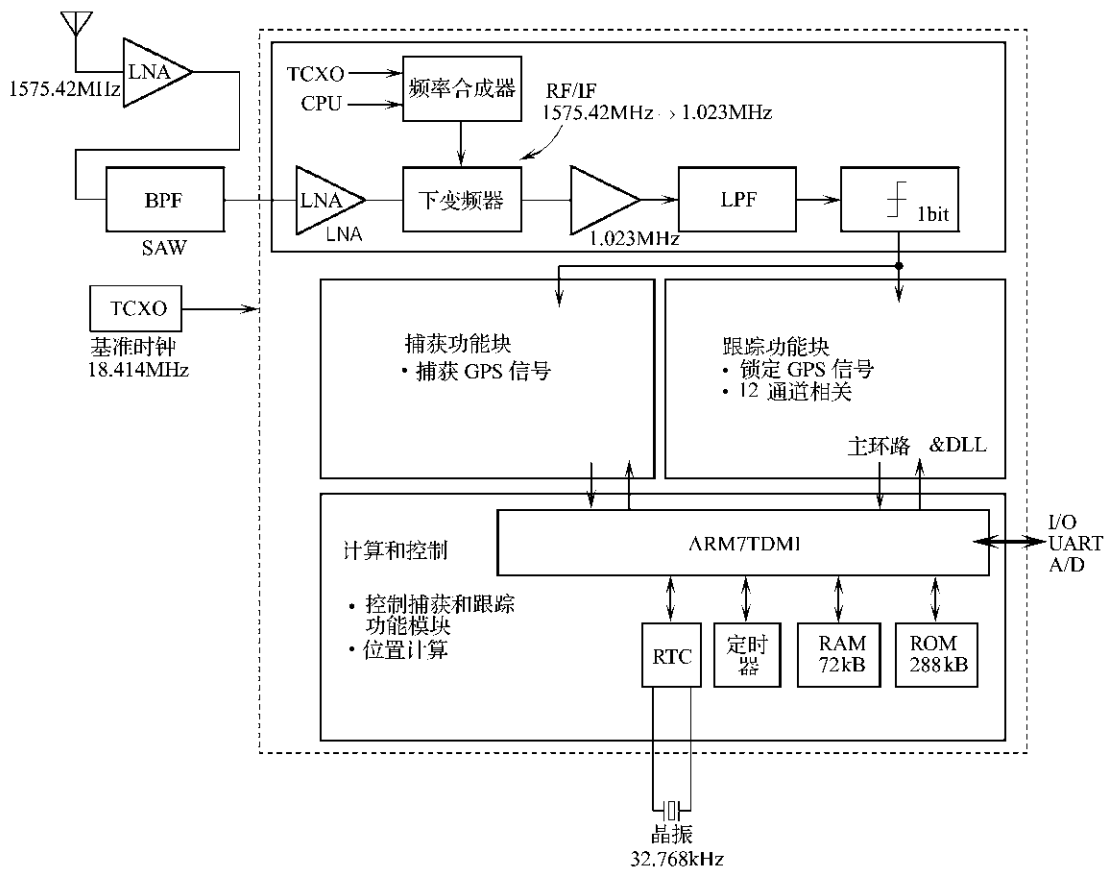


图 2-22 基于 CXD2951GA 的 GPS 接收机设计方案

振荡器使用低价格的 16.368MHz 晶体振荡器,不需要 TCXO(温度补偿晶体振荡器);仅需要很少的外部元器件;与 GPS L1 SPS 信号和 GALILEO 频率兼容;输出信号为 CMOS 电平;电源电压为 2.7V~3.6V;具有有源天线检测和 ESD 保护。

ST20-GP6 是采用 ST20 CPU、GPS 相关器专用 DSP 以及外围电路组成的 GPS 基带处理器芯片。ST20-GP6 包含 12 个通道的 GPS 相关器、ST20 CPU 和片上存储器(64KB SRAM, 128KB ROM)。ST20-GP6 具有如下技术特点:不需要 TCXO;支持 RTCA-SC159 / WAAS (Wide Area Augmentation Service) / EGNOS (European Geostationary Navigation Overlay System);ST20 的 CPU 采用嵌入式 32bit VL-RISC CPU - C2 内核;具有 16MHz/33MHz/50MHz 处理器时钟,在 33MHz 时钟时处理速度为 25 MIPS,可以进行快速的整数和位操作;可编程的存储器接口具有 4 个独立的配置区,宽度为 8bit/16bit;支持混合的存储器类型,外部存储时间 2 个周期;具有可编程的 UART (ASC)、并行 I/O、矢量中断子系统、诊断控制单元、电源管理单元;具有低功耗模式;具有 JTAG 测试访问通道;采用 PQFP-100 封装。

STMicroelectronics 公司提供专业的开发工具支持 ST20-GP6 开发,如 ANSI C 编译器/链接驱动器和库,调试/成形和模拟工具。ST20-GP6 适合 GPS 接收机、汽车、系统、电信系统的时间基准等应用。

2.11.2 ST 公司的 GPS 接收机设计方案

由 STB5600/STB5610 GPS 射频前端 ASIC 和 ST20-GP6 组成的 GPS 接收机方框图如图 2-23 所示,GPS 接收机性能指标如下:

精确性:独立形式,SA 导通小于 100m,SA 关断小于 30m;
 差分形式小于 1m;
 测量形式小于 1cm。

第一次定位时间:

自启动为 90s;
 冷启动“cold start”为 45s;
 软启动“warm start”为 7s。

2.12 Ti 公司基于 TGS5000 的 GPS 接收机设计方案

2.12.1 TGS5000 无线 GPS 芯片组简介

TGS5000 无线 GPS 芯片组是完整的、2 片式 A-GPS 解决方案,包含有 TRF5101 GPS 射

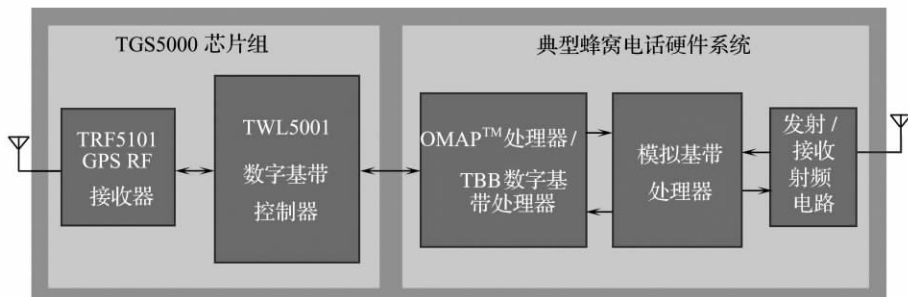


图 2-24 基于 TGS5000 的 GPS 接收机设计方案(包含蜂窝电话部分)

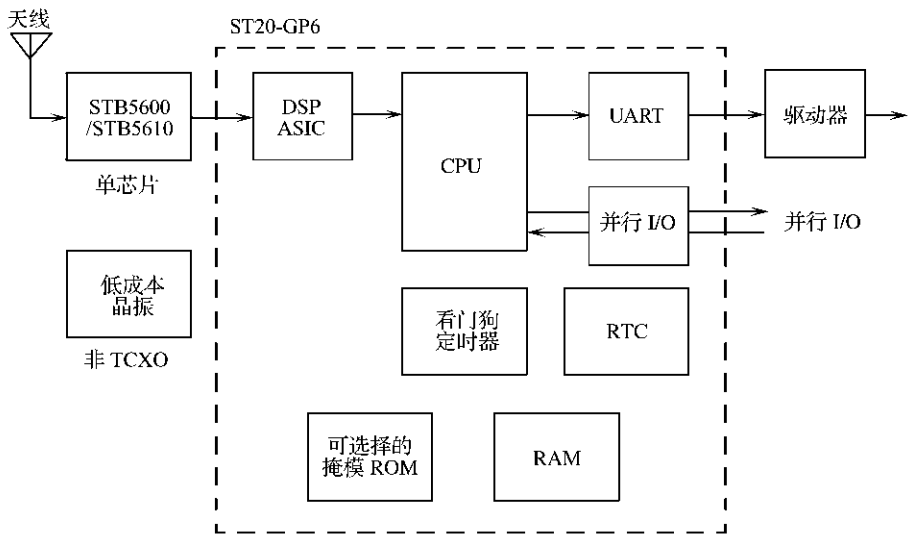


图 2-23 STB5600/STB5610 和 ST20-GP6 组成的 GPS 接收机方框图

2.12.2 基于 TGS5000 的 GPS 接收机设计方案

基于 TGS5000 的 GPS 接收机设计方案(包含蜂窝电话部分)如图 2-24 所示。

2.13 u-Nav 公司基于 uN80xx 的 GPS 接收机设计方案

2.13.1 u-Nav 公司的 GPS 芯片简介

1. uN8021C/uN1005 单片 GPS L1 频带射频前端 IC

uN8021C/uN1005 是一个单片 GPS L1 频带射频前端 IC,与 uN8031B 或者 uN8130 GPS 基带接收机处理器组合,构成完整的 GPS 接收机。uN8021C 可以替代 uN8021B,它们采用直接变频结构(接近零中频),增益可调节。芯片内包含混频器、VCO、频率合成器、两路模/数转换器(A/D)。基准时钟输入:uN8021C 为 16.3676 MHz,uN1005 为 19MHz,都支持晶体振荡器和外部时钟输入方式。通过 SPI 串行接口控制,具有低功耗模式,采用 QLP-20 封装,尺寸仅 4mm×4mm×0.9mm。

2. uN8031B 基带处理器芯片

uN8031B 采用 CMOS 技术的模块和可升级的 ASiS™ 结构,是一种适合于嵌入式、便携式 GPS 接收机应用的基带处理器芯片。uN8031B 包含 GPS 信号截获、跟踪和导航所需要的所有基带功能;带有可编程 Zoom Correlators™ 的 12 通道并行接收机;快速信号截获使用专用的 QwikLock™ 4092 相关器搜索引擎,搜索和跟踪 50 路 GPS 和 WAAS PRN 序列信号;集成了低功耗的 16 位 VS DSP 内核;具有片上静态随机存储器(SRAM);两个异步串行接口用于导航数据输出和差分校准数据输入;具有一个可编程通用输入输出端口;使用一个外部总线接口可以连接外部非易失性存储器;具有与 GPS 射频前端的接口;3V 电源电压,由 Power-Miser™ 使能低功耗模式;采用 BGA-144 封装。

uN8031B 使用具有专利权的 QwikLock™ 体系结构的专用高性能搜索引擎,可以快速搜索可利用的卫星。一个先进的跟踪单元使用的 Zoom Correlators™(相关器)以确保定位的可

能,即使是在市区和植物下这样恶劣的条件也可以进行定位。

2.13.2 基于 uN8031B 与 uN8021 的 GPS 接收机设计方案

只需要少数的外部元件,由一个 uN8031B 基带处理器和一个 uN8021B 射频接收前端 IC 组成的一个完整的 GPS 接收机。基于 u-Nav GPS 芯片组 uN8031B 与 uN8021 的 GPS 接收机方框图如图 2-25 所示。

2.14 基于 XE1610 芯片组的 GPS 接收机设计方案

2.14.1 XE16BB10 简介

XE16BB10 是基于先进的 First GPS™ 体系机构的 XE1610 芯片集的一部分。在 XE16BB10 中,增强型 GPS 信道相关器接收和解码来自 Colossus™ 射频集成电路的数字信号,输出 GPS 测量值到“导航平台”,在“导航平台”这些测量值用来计算位置、速度和/或时间,可并行跟踪 GPS L1(1.575GHz)频率信号。

XE16BB10 具有 8 路 GPS 信道,32 个相关器;工作电压:VDDC(内核电压)为 1.6V~2.0V,VDDR(射频集成电路电压)为 2.7V~3.3V;具有极低功耗,在 1.8V 时内核电压小于 3mA,4 种功率控制模式;通用异步接收发送串行接口,全双工异步;数据速率为 2.4KBaud、9.6KBaud、14.4KBaud、19.2KBaud、28.8KBaud、38.4KBaud、57.6KBaud、115.2KBaud。芯片采用 SO16NB 封装或 TSSOP28 封装;工作温度范围-40℃~85℃。

XE16BB10 可在膝上型电脑、个人数字助理(PDA)和掌上电脑、休闲和运动的 GPS 接收机、财产管理和跟踪、汽车、手机中应用。

2.14.2 基于 XE16BB10 的 GPS 接收机设计方案

XE16BB10 的一般应用电路结构如图 2-26 所示。

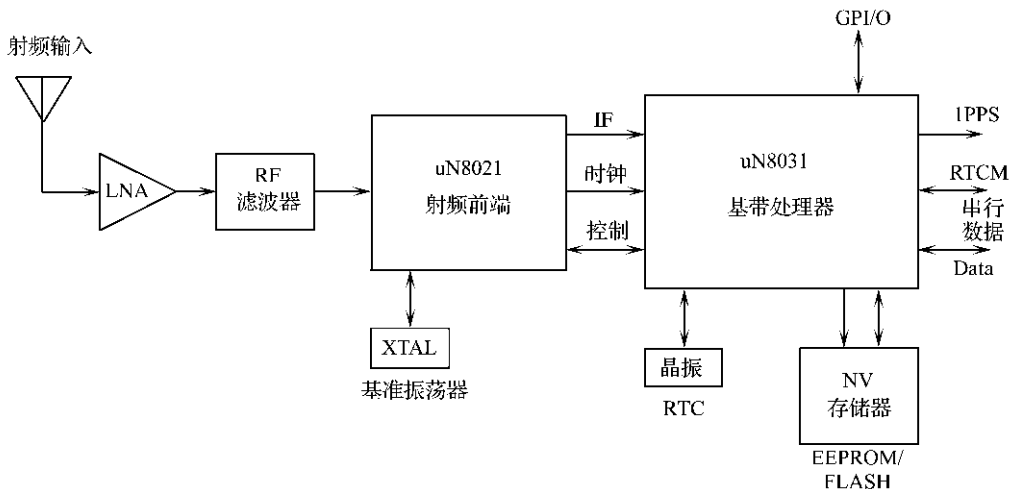


图 2-25 基于 u-Nav 芯片组的 GPS 接收机方框图

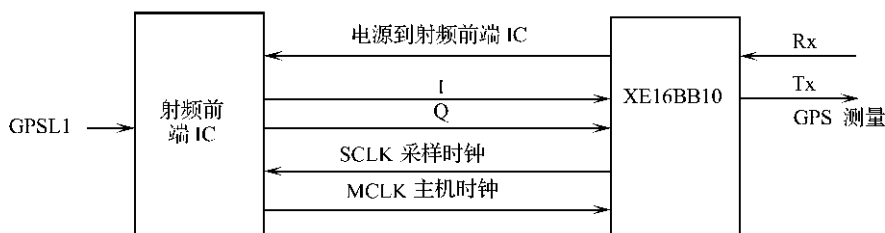


图 2-26 XE16BB10 的一般应用电路结构

第 3 章 GPS 接收机 射频前端低噪声放大器电路设计

3.1 基于 ATR0610 的 GPS 接收机低噪声放大器电路

3.1.1 ATR0610 简介

ATR0610 是一个 2.7V 的 GPS 低噪声放大器(LNA)芯片,芯片具有极好的射频性能,噪声系数为 1.6dB,小信号增益为 16dB,输出内部匹配为 50Ω,单 2.7V 电源工作,具有电源导通控制,低的功率消耗小于 10mW,采用小尺寸 PLLP6(1.6 mm×2.0mm)封装,仅需要极少的外部元器件,适合 GPS 接收机使用。

3.1.2 ATR0610 主要性能指标

ATR0610 主要性能指标如表 3-1 和表 3-2 所列,增益特性如图 3-1 所示。

表 3-1 绝对最大额定值范围

参 数	符 号	数 值	单 位
电源电压	V_{CC}	-0.3~+3.7	V
电源导通控制电压	V_{PU}	-0.3~+3.7	V
输入功率	P_{in}	-5	dBm
工作温度	T_{op}	-40~+85	°C
存储温度	T_{stg}	-55~+125	°C

表 3-2 主要性能指标

(测试条件: $V_{CC}=2.7V, V_{PU}=1.8V, f=1575MHz, T_{amb}=25^{\circ}C, Z_{load}=50\Omega$,环境温度+25°C)

参 数	符 号	最小值	典型值	最大值	单 位
工作频率	f		1575.42		MHz

电源电压	V_{CC}	2.7	3	3.3	V
工作电流	I	3	3.3	3.5	mA
低功耗电流	I_{PD}		500		nA
小信号增益	G	15	16	17	dB
最小噪声系数	NF_{min}		1.5		dB
噪声系数	NF		1.6		dB

(续)

参数	符号	最小值	典型值	最大值	单位
输入 1dB 压缩点	I_{cp1}		-9		dBm
输入 3 阶截点	IIP3		-1		dBm
输入 3 阶截点(带内)	IIP3 _{inb}		-3		dBm
输入回波损耗	RL_{in}	10	11		dB
输出回波损耗	RL_{out}	11	12		dB
反向隔离	$1/ S_{12} ^2$		30		dB
导通模式控制电压	$V_{PU,high}$	1.2	1.8	3.3	V
导通模式控制电流	$I_{PU,high}$	0	10	50	μA
低功耗模式控制电压	$V_{PU,low}$	0	0.2	0.4	V
低功耗模式控制电流	$I_{PU,low}$			0.7	μA

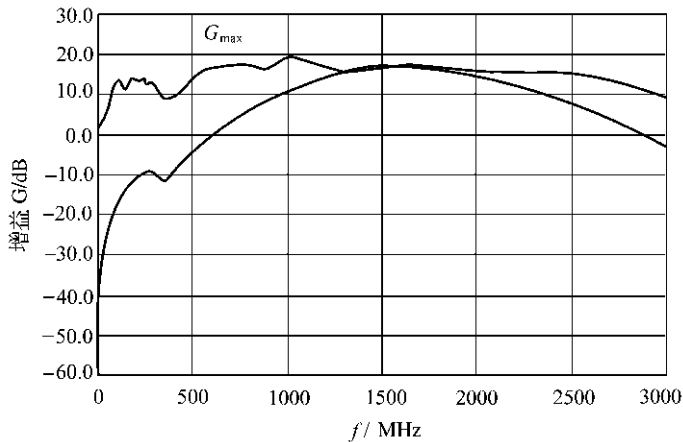


图 3-1 增益特性

3.1.3 ATR0610 内部结构与引脚功能

ATR0610 内部结构如图 3-2 所示,芯片内部包含放大器和电源导通控制两部分。ATR0610 引脚功能如表 3-3 所列,S 参数如表 3-4 所列。

表 3-3 ATR0610 引脚功能

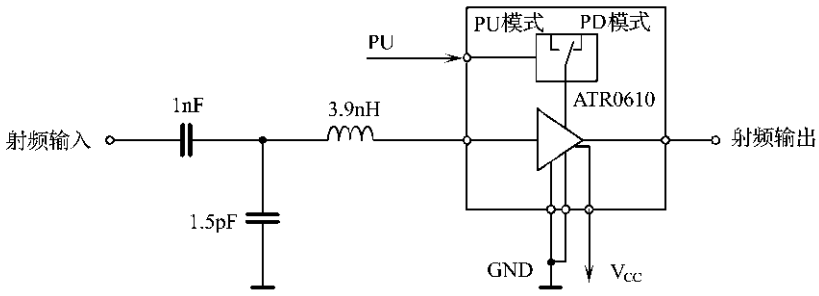


图 3-2 ATR0610 内部结构

引脚	符号	功能	引脚	符号	功能
1	V _{CC}	电源电压	4	RF_IN	接收的射频信号输入
2	RF_OUT	信号输出	5	RF_GND	射频地
3	DC_GND	地	6	PU	电源导通控制

表 3-4 S 参数

f/MHz	S ₁₁	φ(S ₁₁)	S ₂₁	φ(S ₂₁)	S ₁₂	φ(S ₁₂)	S ₂₂	φ(S ₂₂)	K 系数
1320	0.378	98.0	5.24	63.20023	0.0517	-36.7	0.325	141.9	1.7
1380	0.311	108.3	5.33	56.22391	0.0385	-63.8	0.358	125.1	2.1
1440	0.325	97.5	6.14	41.04218	0.0326	-62.8	0.270	88.5	2.3
1500	0.287	88.9	6.51	25.58716	0.0307	-74.9	0.212	52.2	2.4
1560	0.257	73.3	6.77	8.313904	0.0320	-76.5	0.207	-1.0	2.2
1620	0.180	59.1	6.58	-8.583069	0.0355	-93.7	0.202	-46.0	2.1
1680	0.175	46.3	6.79	-22.98477	0.0281	-107.7	0.268	-62.3	2.5
1740	0.160	3.9	6.78	-40.46539	0.0263	-103.6	0.358	-81.5	2.4
1800	0.152	-43.9	6.33	-57.3143	0.0297	-112.5	0.411	-101.3	2.2

3.1.4 ATR0610 的应用电路

ATR0610 典型电路如图 3-3 所示, 电路元器件参数如表 3-5 所列, 典型应用的元器件布局与印制电路板如图 3-4 所示。

表 3-5 ATR0610 典型应用电路元器件参数

元件符号	生产厂	标记	数值	封装
C1			1nF	0402
C2		NPO	1.5pF	0402
C3,C5			nc	

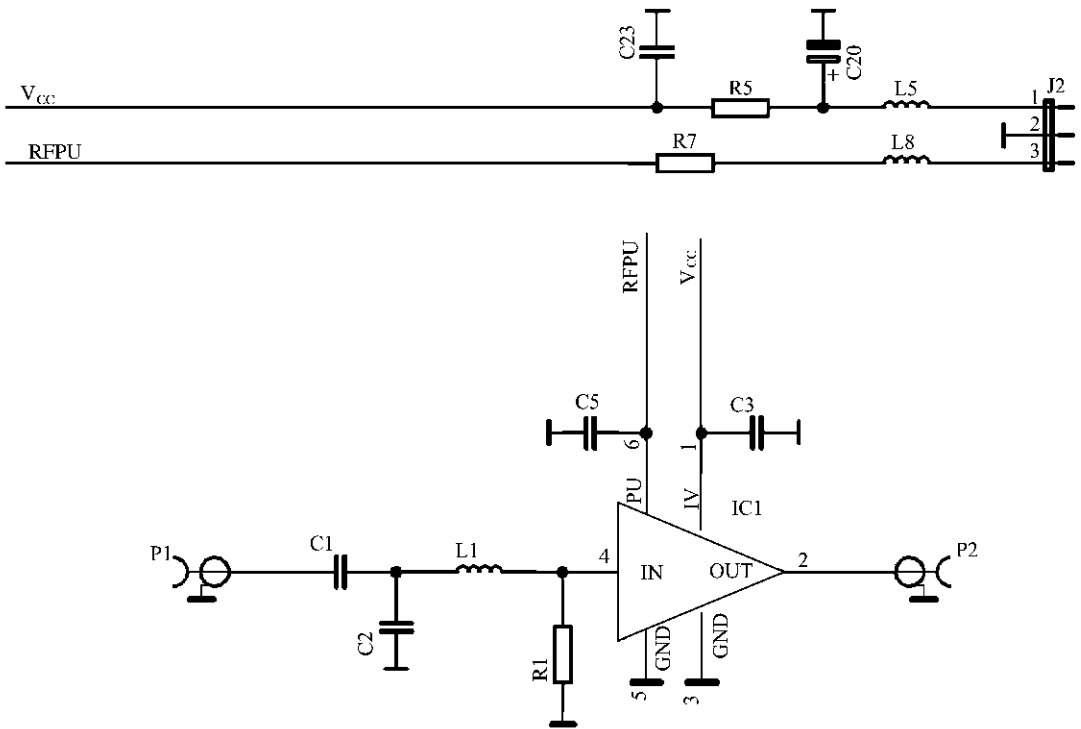


图 3-3 ATR0610 典型应用电路

C20			10 μ F	3216
C23			100nF	0402
L1	TOKO	LL1005-FH3N9	3.9nH	0402
L5, L8	Würth Elektronik	WE74476401		1210
R1			nc	
R5, R7			1 Ω	0402

3.1.5 ATR0610 芯片封装尺寸

ATR0610 采用 PLLP6 封装尺寸为 1.6mm \times 2.0mm, 引脚间距为 0.5 mm, 封装尺寸如图 3-5 所示。

3.2 基于 BGA622 的 GPS 接收机 LNA 电路

3.2.1 基于 BGA622 的 LNA 电路结构

基于 BGA622 的 GPS 低噪声放大器电路如图 3-6 所示, 电路元器件参数如表 3-6 所列, 印制电路板如图 3-7 所示。

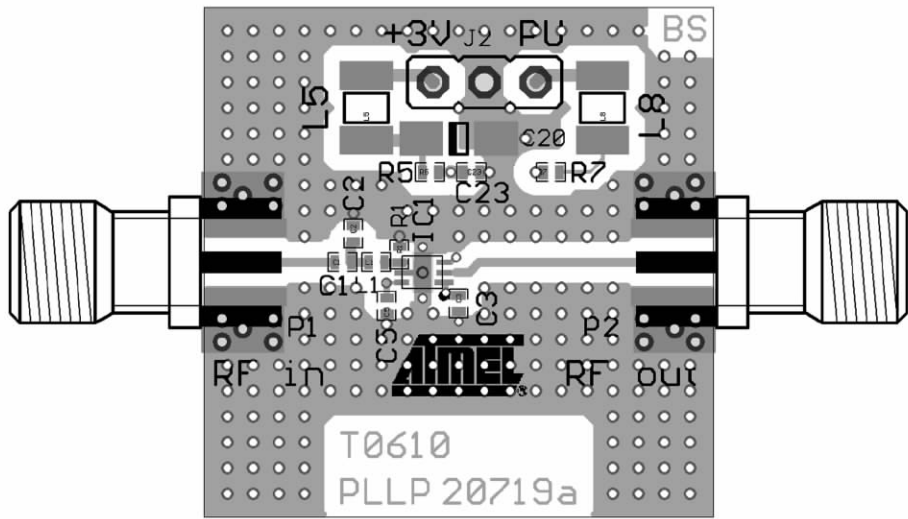


图 3-4 典型应用的元器件布局与印制电路板

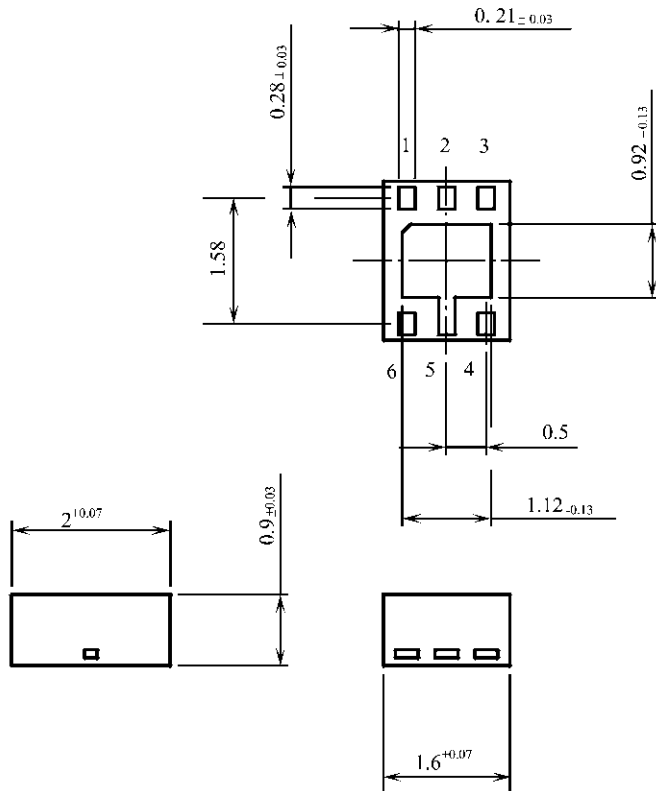


图 3-5 ATR0610 封装尺寸(单位:mm)

表 3-6 BGA622 的 GPS LNA 电路元器件参数

符号	数值	封装	生产厂	功能
----	----	----	-----	----

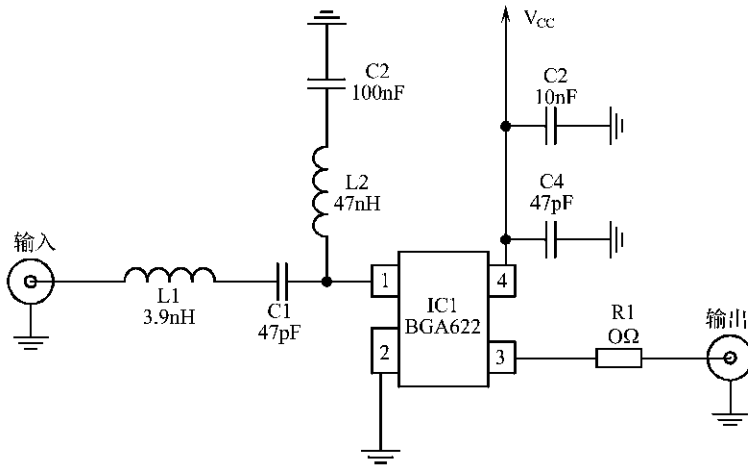


图 3-6 基于 BGA622 的 GPS LNA 电路

符号	数值	封装	生产厂	功能
C1	47 pF	0402	various	隔直
C2	100 nF	0603	various	改善线性
C3	10 nF	0402	various	射频旁路
C4	47 pF	0402	various	射频旁路
IC1	BGA622	SOT343	Infineon Technologies	SiGe MMIC
L1	3.9 nH	0402	Toko LL 1005-FH	输入匹配
L2	47 nH	0402	Toko LL 1005-FH	射频扼流圈
R1	0Ω	0402	various	跳线

3.2.2 基于 BGA622 的 LNA 电路性能指标

基于 BGA622 的 GPS LNA 电路性能指标如表 3-7 所列。

表 3-7 基于 BGA622 的 GPS LNA 电路性能指标

参数	符号	数值	单位
电源电流	ICC	5.8	mA
插入功率增益	$ S_{21} ^2$	15.4	dB
噪声系数	NF	1.3	dB
输入回波损耗	$ S_{11} ^2$	13.7	dB
输出回波损耗	$ S_{22} ^2$	14.5	dB

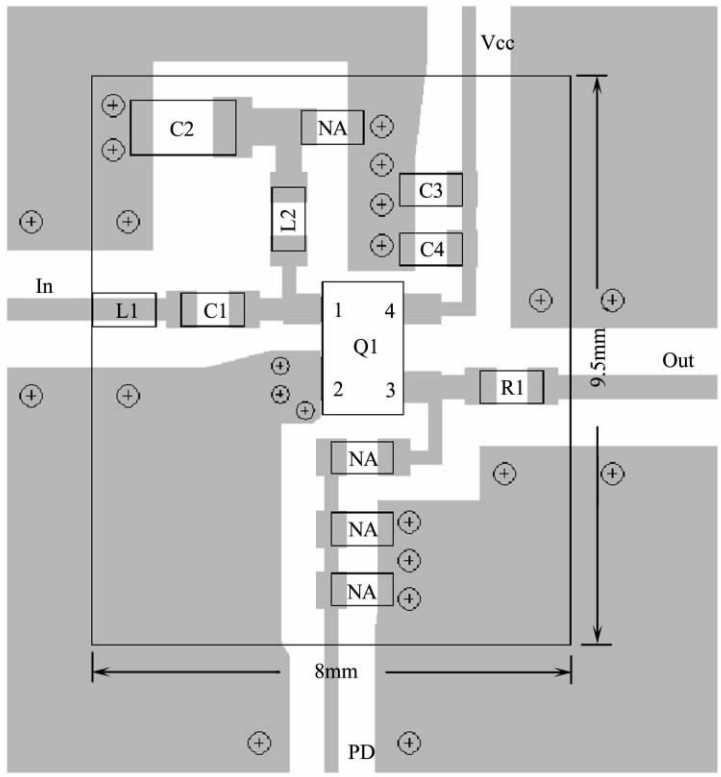


图 3-7 印制电路板

反向隔离	$ S_{12} ^2$	27.5	dB
输入 1dB 压缩点	IP1dB	-16	dBm
输入 3 阶截点	IIP3	1	dBm

3.3 基于 BFP640 的 GPS 接收机 LNA 电路

3.3.1 基于 BFP640 的 LNA 电路结构

基于 BFP640 的 1575 MHz GPS LNA 电路结构如图 3-8 所示, 元器件参数如表 3-8 所列。

表 3-8 BFP640 GPS LNA 电路元器件参数

符号	数值	生产厂	封装	功能
C1	22pF	VARIOUS	0402	隔直电容, 输入
C2	3.3pF	VARIOUS	0402	隔直电容, 输出; 也影响输出和输入阻抗匹配
C3	0.1 μ F	VARIOUS	0402	退耦电容, 低频, 也改善 3 阶截点

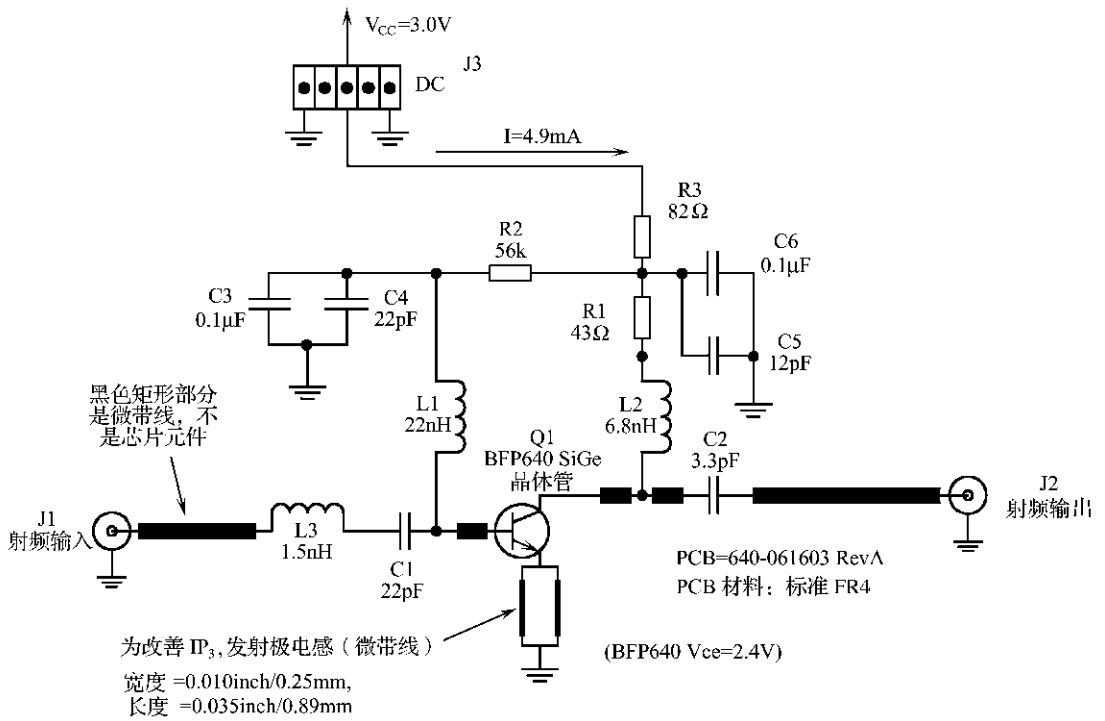


图 3-8 基于 BFP640 的 1575 MHz GPS LNA 电路

C4	22pF	VARIOUS	0402	退耦电容(射频短路)
C5	12pF	VARIOUS	0402	退耦电容(射频短路),也影响一些稳定性
C6	0.1 μ F	VARIOUS	0402	退耦电容,低频
L1	22nH	MURATA LQPI5M SERIES	0402	在输入端的射频扼流圈
L2	6.8nH	MURATA LQPI5M SERIES	0402	射频扼流圈,影响在输出的匹配
L3	1.5nH	MURATA LQPI5M SERIES	0402	影响输入匹配
R1	43 Ω	VARIOUS	0402	改进稳定性
R2	56k Ω	VARIOUS	0402	引入偏置电流/晶体管的基极电压
R3	82 Ω	VARIOUS	0402	为直流偏置/直流工作点提供一些负反馈,以补偿晶体管直流增益、温度变化等
Q1		INFINEON TECHNOLOGIES	SOT343	BFP640 B7HF 晶体管
J1,J2		JOHNSON 142-0701-841		射频输入/输出连接器
J3		AMP 5 PIN HEADER MTA-100 SERIES 640456-5 (STANDARD PIN PLATING)		直流连接器 引脚 1、5:地 引脚 3:VCC 引脚 2、4:未连接

3.3.2 基于 BFP640 的 LNA 电路性能指标

基于 BFP640 的 1575MHz GPS LNA 电路的主要性能指标如表 3-9 所列。

表 3-9 基于 BFP640 的 1575 MHz GPS LNA 电路的主要性能指标

参 数	数 值	参 数	数 值
频率范围	1575.42MHz	输入 1dB 压缩点	-18.7dBm(1575.42MHz)
直流电流	4.9mA	输出 1dB 压缩点	-4.5dBm(1575.42MHz)
直流电压	3.0V	输入 3 阶截点	-1.1dBm(1575.42MHz)
集电极和发射极之间电压	2.4V	输入回波损耗	9.3dB(1575.42MHz)
增益	15.2dB(1575.42MHz)	反向回波损耗	10.0dB(1575.42MHz)
噪声系数	0.95dB(1575.42MHz)		

3.3.3 基于 BFP640 的 LNA 电路外形

参考设计的基于 BFP640 的 1575 MHz GPS LNA 电路实物如图 3-9 所示。

3.4 基于 MAX2641 的 GPS 接收机 LNA 电路

3.4.1 MAX2641 简介

MAX2641 是低价格、超低噪声的 LNA,可应用在蜂窝电话、PCS、GPS 和 2.4GHz ISM 频段中。使用单端电源,电压为+2.7V~+5.5V,电流消耗 3.5mA。

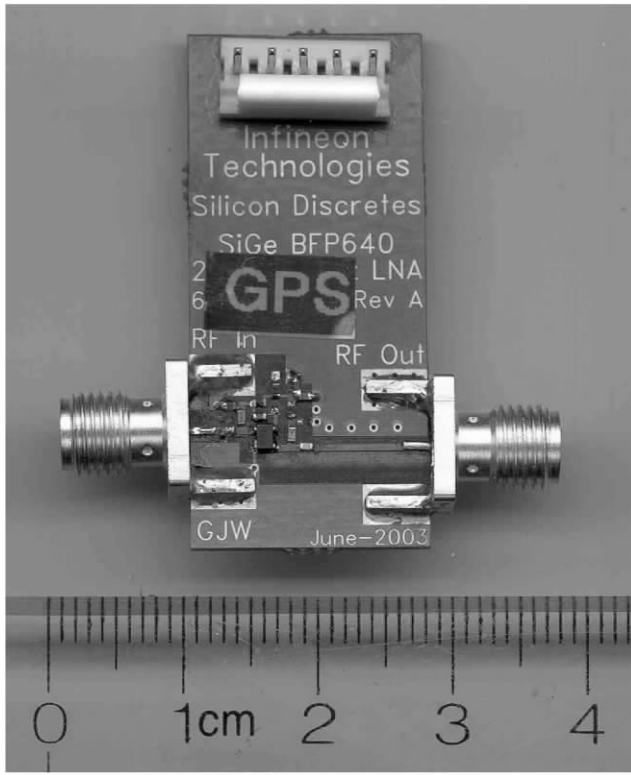
MAX2641 频率范围为 1400MHz~2500MHz,典型增益为 15.7dB,输入 IP3 为 -4dBm,在 1575MHz 时噪声系数为 1.2dB。MAX2641 采用内部偏置电路,不需要外部偏置电阻和扼流圈。仅需要 2 个元件的输入匹配网络,输入/输出使用隔直电容和 VCC 旁路电容。采用 SOT23-6 封装。

3.4.2 MAX2641 主要性能指标

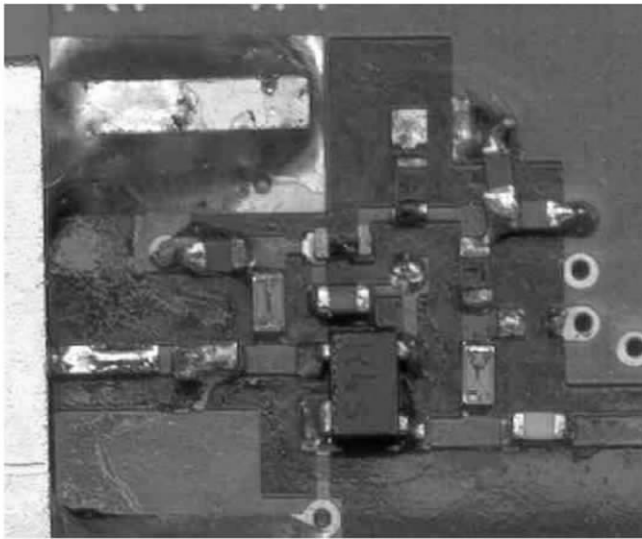
MAX2641 主要性能指标如表 3-10 所列。

表 3-10 MAX2641 主要性能指标

参 数	最小值	典型值(在 1575MHz)	最大值	单位
射频输入频率范围	1400		2500	MHz
增益	12.4	15.7		dB
增益变化(随温度变化)		0.9	2.4	dB
噪声系数		1.2	1.5	dB
输入回波损耗		-8		dB
输出回波损耗		-15		dB



(a)



(b)

图 3-9 基于 BFP640 的 1575 MHz GPS LNA 电路的实物图

(a) 正面; (b) 元器件布局。

参数	最小值	典型值(在 1575MHz)	最大值	单位
反向隔离		-31		dB

参 数	最小值	典型值(在 1575MHz)	最大值	单 位
输入 1dB 压缩点		-21		dBm
输入 3 阶截点		+1.4		dBm

3.4.3 MAX2641 芯片封装与引脚功能

MAX2641 采用 SOT23-6 封装,引脚封装形式如图 3-10 所示,引脚功能如表 3-11 所列。

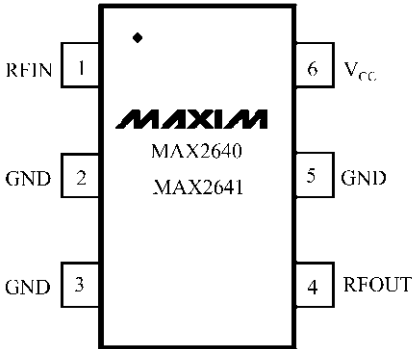


图 3-10 MAX2641 引脚封装形式

表 3-11 MAX2641 引脚功能

引脚	符号	功 能
1	RFIN	放大器输入,使用一个隔直电容交流耦合到这个引脚。建议使用推荐的输入匹配网络(见应用电路)
2,3,5	GND	地,连接到低阻抗的接地板
4	RFOUT	放大器输出,建议使用推荐的输出匹配网络(见应用电路)
6	V _{CC}	电源电压,使用旁路电容直接旁路到地(见应用电路)

3.4.4 MAX2641 应用电路

MAX2641 的应用电路如图 3-11 所示,不同频段的元器件参数如表 3-12 和表 3-13 所列。

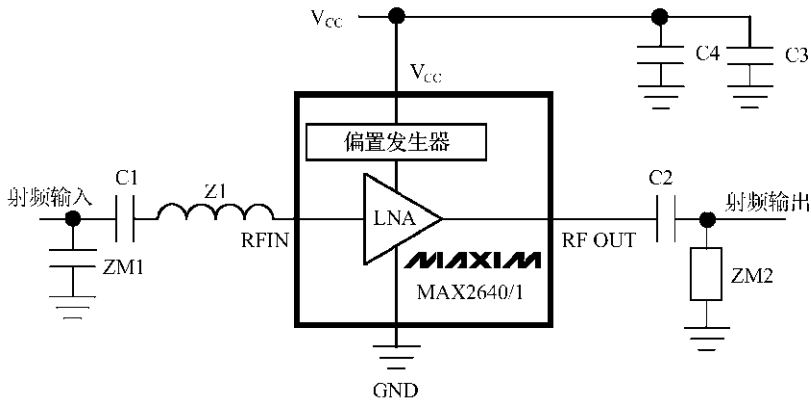


图 3-11 MAX2641 的应用电路

表 3-12 MAX2641 的应用电路元器件参数

频率/MHz	C1/pF	C2/pF	C3/pF	C4/pF	Z1/nH	ZM1/pF	ZM2
	470	3	470		9.85	2	
1575	100	100	470		5.6	1	6.8nH
1900	470	100	470		2.55	1	1pF
2450	470	100	470	100	1.65	1	1pF

表 3-13 MAX2641 的 S 参数($V_{CC} = +3V, T_A = +25^\circ C$)

频率/MHz	S11 MAG	PHASE	S21 MAG	PHASE	S12 MAG	PHASE	S22 MAG	PHASE
1500	0.734	-75.5	4.397	-90.5	0.013	-80.3	0.535	17.7
1600	0.717	-80.3	4.209	-109.8	0.016	-91.9	0.514	8.6

1700	0.695	-85.3	4.193	-131.6	0.018	-116.5	0.513	-0.5
1800	0.678	-90.6	3.876	-150.0	0.021	-128.7	0.510	-10.6
1900	0.661	-96.6	3.801	-173.5	0.023	-150.6	0.493	-21.6
2000	0.646	-102.6	3.456	166.9	0.026	-166.6	0.470	-32.0
2100	0.632	-108.8	3.302	146.4	0.028	171.7	0.431	-43.4
2200	0.620	-114.0	2.981	123.6	0.029	150.7	0.403	-56.1
2300	0.610	-119.4	2.781	105.3	0.033	132.2	0.374	-69.4
2400	0.604	-124.6	2.430	82.9	0.032	111.2	0.338	-86.2
2500	0.603	-128.4	2.118	64.7	0.030	95.7	0.316	-98.3

3.4.5 MAX2641 封装尺寸

MAX2641 采用 SOT23-6 封装,封装尺寸如图 3-12 所示。

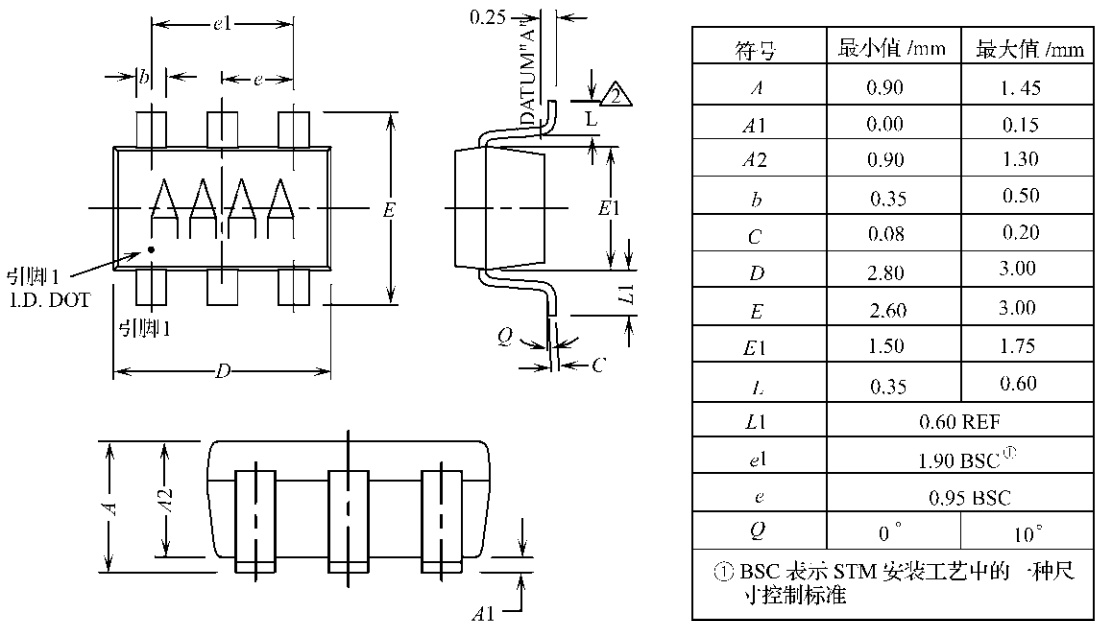


图 3-12 MAX2641 封装尺寸(单位:mm)

3.5 基于 MAX2654/MAX2655/MAX2656 的 GPS 接收机 LNA 电路

3.5.1 MAX2654/MAX2655/MAX2656 简介

MAX2654/MAX2655/MAX2656 芯片是设计用来满足 GPS、PCS、WLL 和卫星电话应用的高 3 阶截点(IP3)LNA。MAX2654/MAX2655/MAX2656 的输出内部匹配到 50Ω,可以不

需要外部的匹配元件。MAX2654/MAX2655 的低功耗模式可以使电流消耗降低到 $0.1\mu\text{A}$ 。MAX2654 在 1575MHz 的 GPS 频段具有 15.1dB 增益, 1.5dB 噪声系数。MAX2655 在 1575MHz 具有 14.1dB、1.45dB 的噪声系数。MAX2656 设计用来满足 PCS 电话应用, 具有 13.5dB 的高增益模式和 0.8dB 的低增益模式, 噪声系数 1.9dB。MAX2655 具有高输入 IP3, 可以在蜂窝电话应用时, 阻止蜂窝电话功率放大器向 GPS 接收机的信号泄漏。

MAX2655/MAX2656 的 IP3 是可以通过外部的偏置电阻(R_{BIAS})调节的, 以适合一些特殊的应用。MAX2654/MAX2655/MAX2656 工作电源电压范围为 $+2.7\text{V}\sim+5.5\text{V}$, 工作电流范围为 $5.8\text{mA}\sim14.2\text{mA}$ 。芯片采用超小型的 SC70-6 封装。

3.5.2 MAX2654/MAX2655/MAX2656 主要性能指标

MAX2654/MAX2655/MAX2656 主要性能指标如表 3-14 至表 3-17 所列。

表 3-14 MAX2654/MAX2655/MAX2656 绝对最大额定值范围

参 数	数 值	单 位
VCC 到 GND	$-0.3\sim+6$	V
射频输入功率	+5	dBm
连续功率消耗	245	mW
工作温度范围	$-40\sim+85$	$^{\circ}\text{C}$
最大接点温度	+150	$^{\circ}\text{C}$
存储温度	$-65\sim+150$	$^{\circ}\text{C}$
引脚端温度(焊接时间 10s)	+300	$^{\circ}\text{C}$

表 3-15 MAX2654 主要性能指标

(MAX2654 评估板, $V_{\text{CC}} = +3.0\text{V}$, $P_{\text{IN}} = -30\text{dBm}$, $f_{\text{IN}} = 1575\text{MHz}$, V_{RFOUT} 通过一个 $10\text{k}\Omega$ 电阻到 VCC, $T_{\text{A}} = +25^{\circ}\text{C}$)

参 数	最小值	典型值	最大值	单 位
工作频率范围	1400		1700	MHz
增益	12.7	15.1		dB
增益变化(随温度变化)		0.15		dB
输入 3 阶截点		-7.2		dBm
输入 1dB 压缩点		-18		dBm
噪声系数		1.5	1.8	dB
输入回波损耗		9.7		dB
输入回波损耗		8.4		dB
反向隔离		30		dB

表 3-16 MAX2655 主要性能指标

(MAX2655 评估板, $V_{\text{CC}} = +3.0\text{V}$, $P_{\text{IN}} = -30\text{dBm}$, $f_{\text{IN}} = 1575\text{MHz}$, V_{RFOUT} 通过一个 $10\text{k}\Omega$ 电阻到 VCC, $R_{\text{BIAS}} = 511\Omega \pm 1\%$, $T_{\text{A}} = +25^{\circ}\text{C}$)

参 数	最小值	典型值	最大值	单位
工作频率范围	1400		1700	MHz
增益	12	14.1		dB
增益变化(随温度变化)		0.6	1.1	dB
输入 3 阶截点		2.8		dBm
输入 1dB 压缩点		-12.2		dBm
噪声系数		1.45	1.9	dB
输入回波损耗		16.1		dB
输入回波损耗		15.5		dB
反向隔离		32		dB

表 3-17 MAX2656 主要性能指标

(MAX2656 评估板, $V_{CC} = +3.0V$, $P_{IN} = -30dBm$, $f_{IN} = 1960MHz$, V_{RFOUT} 通过一个 $12k\Omega$ 的电阻到 V_{CC} , $R_{BIAS} = 511\Omega \pm 1\%$, $T_A = +25^\circ C$)

参 数	最小值	典型值	最大值	单位
工作频率范围	1800		2000	MHz
增益	12		13.5	dB
增益变化(随温度变化)	0.3		1.2	dB
输入 3 阶截点	-3		1.5	dBm
输入 1dB 压缩点	-1.2		-7	dBm
噪声系数	1.9		2.4	dB
输入回波损耗	14.4		19.3	dB
输入回波损耗	7.3		10.7	dB
反向隔离	25		28	dB

3.5.3 MAX2654/MAX2655/MAX2656 芯片封装与引脚功能

MAX2654/MAX2655/MAX2656 采用超小型的 SC70-6 封装, 引脚封装形式如图 3-13 所示, 引脚端功能如表 3-18 所列。

表 3-18 MAX2654/MAX2655/MAX2656 引脚功能

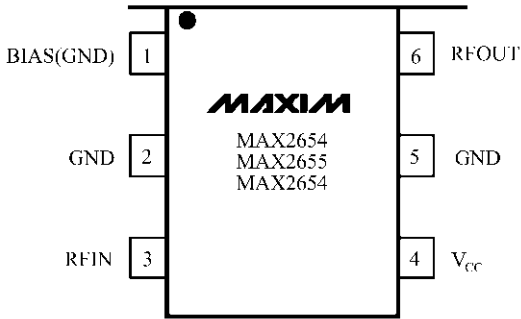


图 3-13 MAX2654/MAX2655/MAX2656 引脚封装形式

引脚		符号	功能
MAX2654	MAX2655/ MAX2656		
1		GND	地, 连接到 PCB 板的接地板
2,5	2,5	GND	地, 连接到 PCB 板的接地板
	1	BIAS	偏置控制, 从 BIAS 引脚连接一个电阻 R_{BIAS} 到 GND。 R_{BIAS} 设置 IP3 和电源电流
3	3	RFIN	放大器输入, 需要隔直电容和外部匹配元件
4	4	VCC	电源电压, 就近连接一个旁路电容到地
6	6	RFOUT	射频输出, 内部具有隔直电容, 内部匹配到 50Ω

3.5.4 MAX2654/MAX2655/MAX2656 应用电路

MAX2654/MAX2655/MAX2656 的应用电路如图 3-14 所示, 元器件参数如表 3-19 所列。

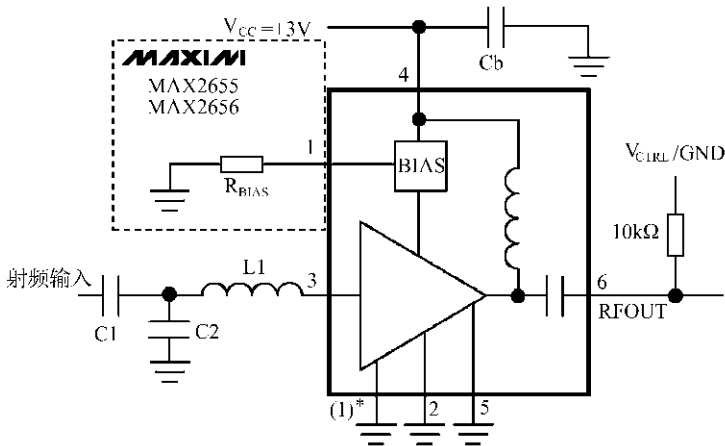


图 3-14 MAX2654/MAX2655/MAX2656 的应用电路 (* 适用于 MAX2654)

表 3-19 应用电路元器件参数

型号	频率/MHz	L1/nH	C1/pF	C2/pF
MAX2654	1575	5.6	6	1.6
MAX2655	1575	5.6	1800	1.5
MAX2656	1960	4.7	1800	1.2

3.5.5 MAX2654/MAX2655/MAX2656 芯片封装尺寸

MAX2654/MAX2655/MAX2656 采用 SC70-6 封装,芯片封装尺寸如图 3-15 所示。

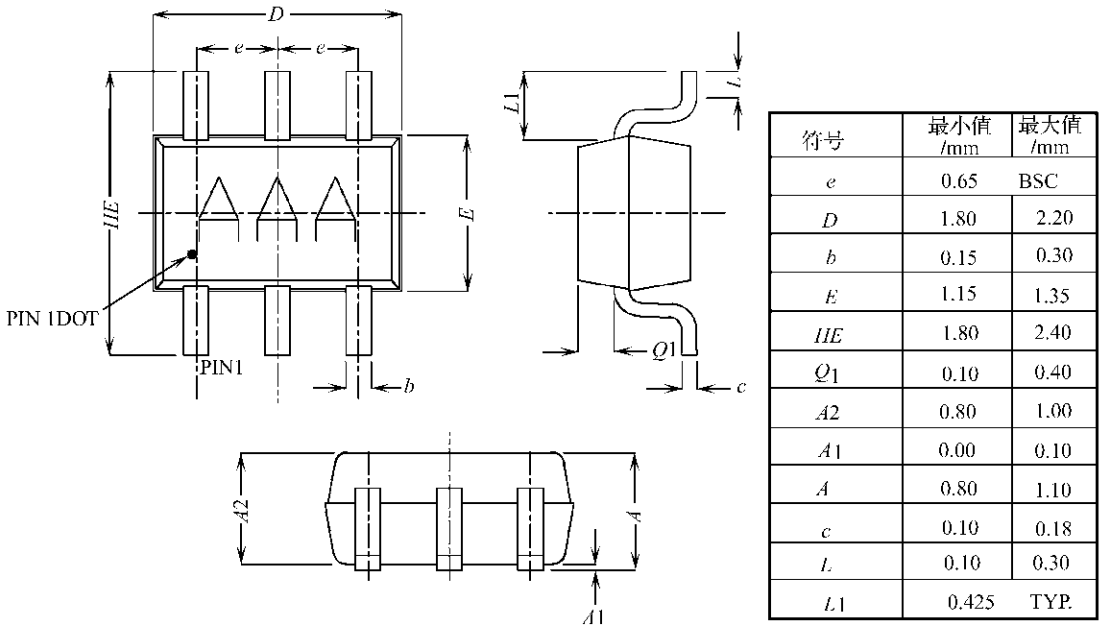


图 3-15 MAX2654/MAX2655/MAX2656 封装尺寸(单位:mm)

3.6 基于 NE38018 的 GPS 接收机 LNA 电路

3.6.1 NE38018 简介

NE38018 是一个低价格的 GaAs HJ(Hetero-Junction)-FET,采用 SOT-343 封装形式。NE38018 具有低的噪声系数,在 2GHz 时为 0.55dB;高的互联增益,在 2GHz 时为 14.5dB。适合构成频率范围在 1GHz~3GHz 内的中功率放大器。NE38018 适合 GPS、PCS、WLAN、MMDS 中应用。

3.6.2 NE38018 主要性能指标

NE38018 主要性能指标和推荐工作条件如表 3-20 和表 3-21 所列。典型 S 参数如图 3-16 和表 3-22 所示。

表 3-20 NE38018 主要性能指标

参数	符号	最小值	典型值	最大值	单位
噪声系数	NF		0.55	1.0	dB
互联增益	G_A	12.5	14.5		dB

0.10	0.992	-3.80	9.822	174.93	0.008	87.39	0.487	-9.73	0.06	30.8
0.20	1.000	-12.31	9.639	169.20	0.015	84.00	0.477	-13.87	-0.14	28.1
0.30	0.991	-21.04	9.541	162.65	0.022	80.28	0.477	-17.02	0.05	26.4
0.40	0.967	-28.50	9.383	156.82	0.029	76.20	0.475	-21.39	0.12	25.1
0.50	0.943	-34.68	9.134	150.85	0.035	72.64	0.464	-25.94	0.19	24.1
1.00	0.815	-63.96	7.764	125.49	0.063	58.52	0.397	-45.59	0.40	20.9
1.50	0.689	-88.19	6.502	105.45	0.083	48.85	0.334	-60.27	0.58	19.0
2.00	0.593	-109.25	5.522	88.71	0.100	41.27	0.280	-72.14	0.71	17.4
2.50	0.513	-129.18	4.772	73.87	0.115	34.71	0.231	-83.06	0.82	16.2
3.00	0.458	-149.33	4.188	60.34	0.129	28.25	0.187	-95.23	0.90	15.1
3.50	0.423	-169.94	3.722	47.65	0.143	21.92	0.147	-110.79	0.96	14.2
4.00	0.410	169.75	3.343	35.63	0.155	15.50	0.116	-132.15	1.00	13.0
5.00	0.433	134.29	2.765	12.86	0.179	2.21	0.102	170.07	1.05	10.6
6.00	0.472	106.93	2.350	-8.50	0.200	-11.13	0.128	127.00	1.07	9.1
7.00	0.520	82.83	2.035	-29.55	0.219	-25.78	0.167	91.67	1.08	8.0
8.00	0.579	59.50	1.769	-50.43	0.232	-41.12	0.239	59.52	1.09	7.0
9.00	0.659	38.07	1.529	-70.98	0.241	-56.67	0.342	38.95	1.07	6.4
10.00	0.734	19.78	1.317	-90.40	0.244	-72.00	0.445	24.65	1.03	6.3
11.00	0.785	4.28	1.139	-109.06	0.243	-87.00	0.520	10.69	0.99	6.7
12.00	0.814	-10.33	1.000	-127.38	0.242	-102.03	0.567	-5.07	0.98	6.2

① $MAG = \frac{|S_{21}|}{|S_{12}|} (K \pm \sqrt{K^2 - 1})$ 。当 $K \leq 1$ ，最大可用增益(Maximum Available Gain, MAG)没有被定义，使用最大稳定增益(Maximum Stable Gain, MSG)数值。

$$MSG = \frac{|S_{21}|}{|S_{12}|}, K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12} S_{21}|}, \Delta = S_{11} S_{22} - S_{21} S_{12}.$$

3.6.3 NE38018 应用电路

NE38018 的应用电路如图 3-17 所示。

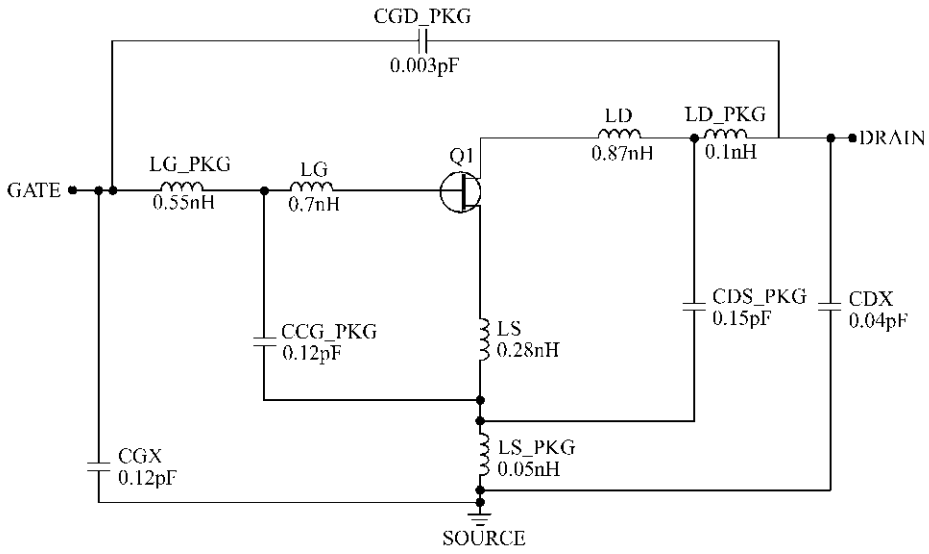


图 3-17 NE38018 应用电路

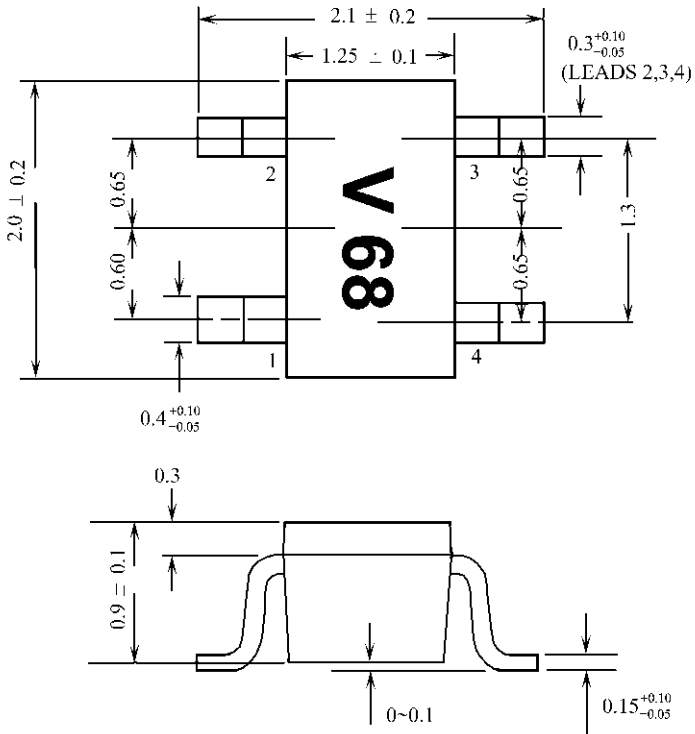


图 3-18 NE38018 的封装尺寸(单位:mm)

3.6.4 NE38018 封装尺寸

NE38018 的封装尺寸如图 3-18 所示。图中,引脚 1 和 3:源极;引脚 2:栅极;引脚 4 漏极。

3.7 基于 $\mu\text{PC2749TB}$ 的 GPS 接收机 LNA 电路

3.7.1 $\mu\text{PC2749TB}$ 简介

$\mu\text{PC2749TB}$ 是一个超小型 MMIC 放大器, 频带响应为 2.9 GHz, 适合在 GPS 接收机等无线通信系统中应用。芯片采用 NEC 的 20 GHz f_T 硅双极性工艺制造。电源电压 V_{CC} 为 2.7V~3.3V, 电路电流消耗 $I_{CC}=6.0\text{ mA}$ (在 $V_{CC}=3.0\text{V}$)。在 $f_{in}=1.9\text{GHz}$ 时, 噪声系数 NF 为 4.0dB, 功率增益为 $G_P=16.0\text{dB}$, 饱和输出功率 $P_{O(\text{sat})}$ 为 6.0dBm。采用超小型 6 引脚封装, 封装尺寸为 2.0mm×1.25mm×0.9mm。

3.7.2 $\mu\text{PC2749TB}$ 主要性能指标

$\mu\text{PC2749TB}$ 的主要性能指标如表 3-23 和表 3-24 所列。

表 3-23 绝对最大额定值

参 数	符号	数 值	单 位
电源电压	V_{CC}	4.0	V
电路电流	I_{CC}	15	mA
功率消耗	P_D	270	mW
工作环境温度	T_A	-40~+85	°C
存储温度	T_{stg}	-55~+150	°C
输入功率	P_{in}	0	dBm

表 3-24 $\mu\text{PC2749TB}$ 的主要性能指标

(条件: $T_A=+25^\circ\text{C}$, $V_{CC}=3.0\text{V}$, $Z_S=Z_L=50\Omega$)

参 数	符号	最小值	典型值	最大值	单 位
电源电压	V_{CC}	2.7	3.0	3.3	V
电源电流	I_{CC}	4.0	6.0	8.0	mA
功率放大器增益	G_P	13.0	16.0	18.5	dB
饱和输出功率	$P_{O(\text{sat})}$	-9.0	-6.0		dBm
噪声系数	NF		4.0	5.5	dB
工作频率上限	f_u	2.5	2.9		GHz
隔离	ISL	25	30		dB
输入回波损耗	RLin	7	10		dB
输出回波损耗	RLout	9.5	12.5		dB

3.7.3 $\mu\text{PC2749TB}$ 内部结构与引脚功能

$\mu\text{PC2749TB}$ 的内部电路结构如图 3-19 所示。 $\mu\text{PC2749TB}$ 的引脚封装形式如图 3-20 所示, 引脚功能如表 3-25 所列。

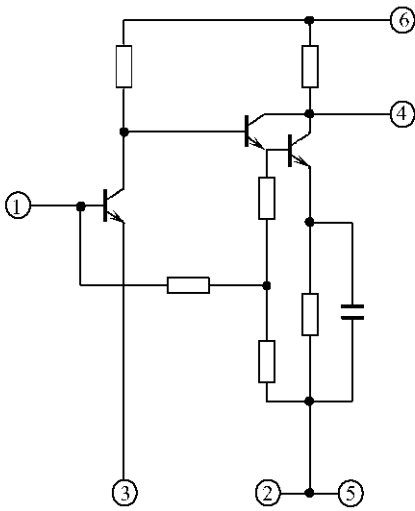


图 3-19 μPC2749TB 的内部电路结构

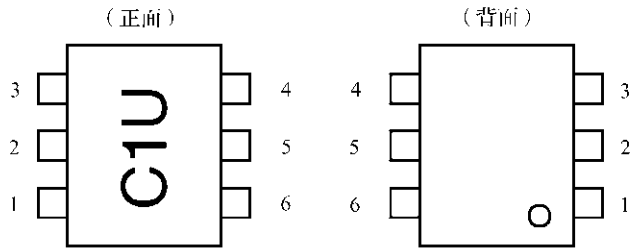


图 3-20 μPC2749TB 的引脚封装形式

表 3-25 μPC2749TB 的引脚功能

引脚	符号	引脚电压/V	功能
1	INPUT	0.82	信号输入引脚。内部具有匹配电路,电阻为 50Ω。这个引脚必须通过一个隔直电容与信号源连接
2,3,5	GND		接地引脚。这个引脚必须以最小的感应系数连接到系统地。接地板在印制板设计时需要尽可能的宽。所有的接地端必须连接在一起,以减少阻抗的差别
4	OUTPUT	2.87	信号输出引脚。内部匹配到 50Ω。这个引脚必须通过一个隔直电容与下一级连接
6	V _{CC}	2.7~3.3	电源电压引脚。这个引脚需要连接旁路电容到地

3.7.4 μPC2749TB 应用电路

μPC2749TB 的应用示例图如图 3-21 所示。

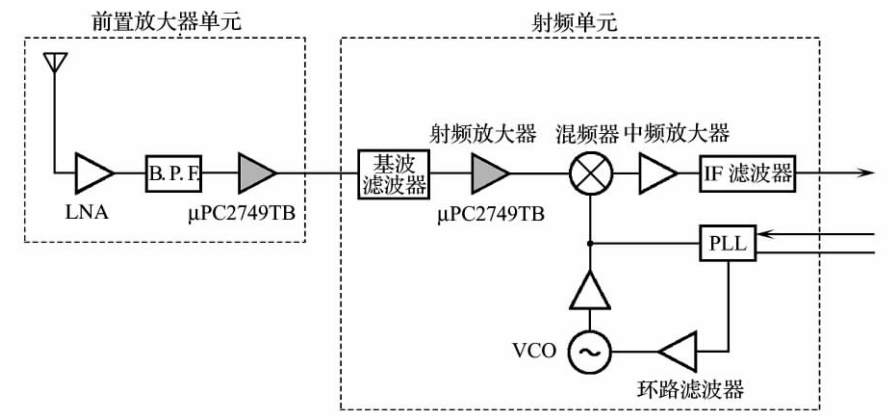


图 3-21 μPC2749TB 的应用示例图

$\mu\text{PC2749TB}$ 的测试电路和印制电路板图如图 3-22 和图 3-23 所示,其中印制电路板为 $30\text{mm}\times 30\text{mm}\times 0.4\text{mm}$ 双面覆铜聚酰亚胺板,背面是接地板,圆孔为通孔。

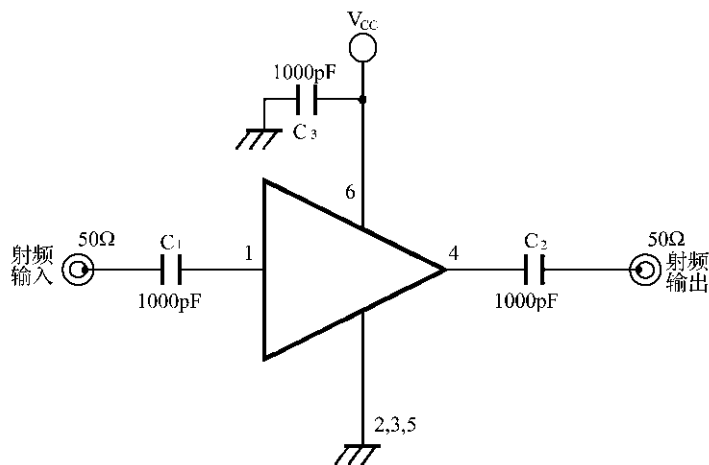


图 3-22 $\mu\text{PC2749TB}$ 测试电路

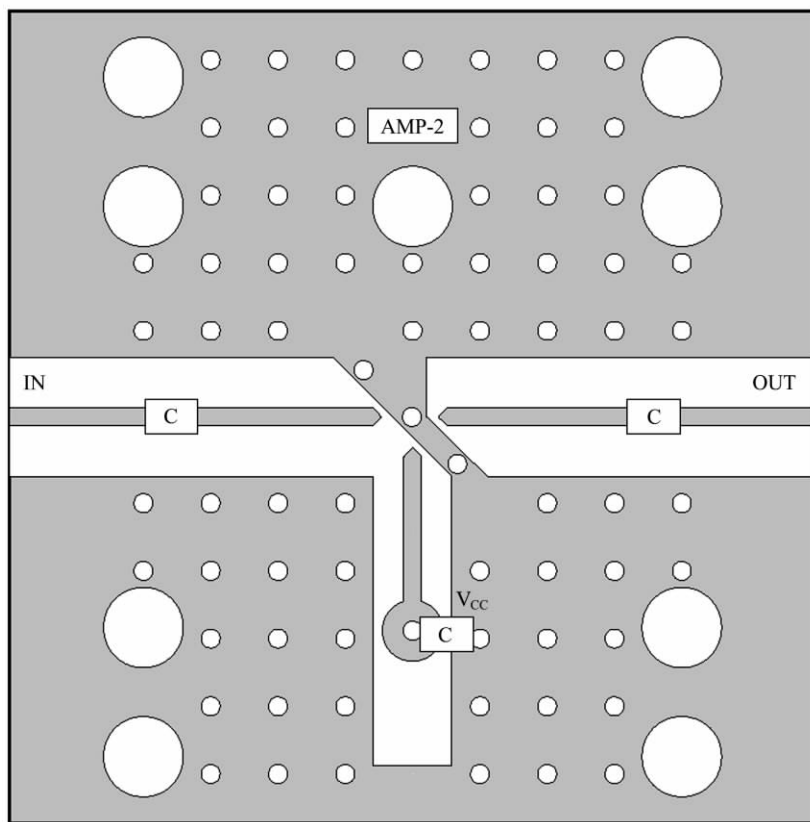
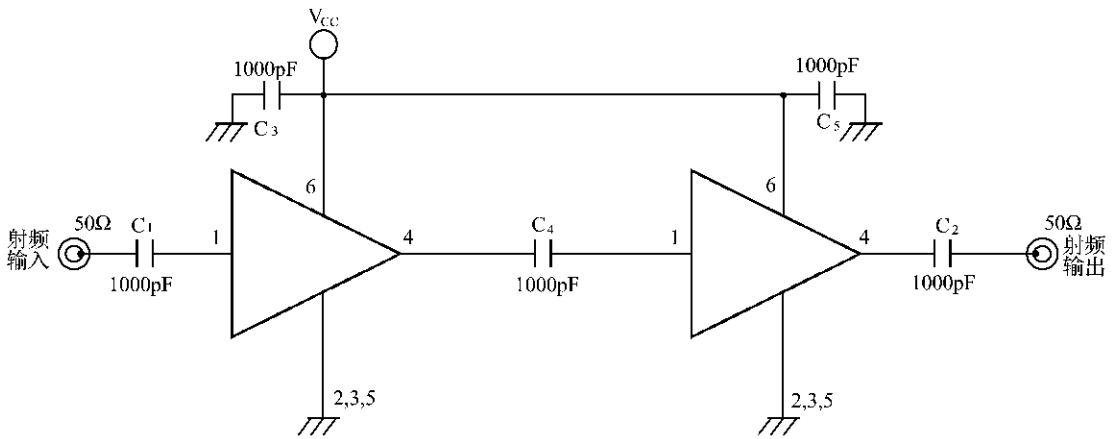
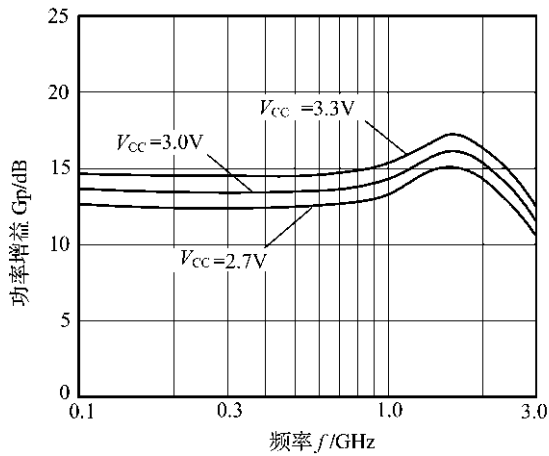


图 3-23 $\mu\text{PC2749TB}$ 的测试电路印制电路板图

$\mu\text{PC2749TB}$ 的应用电路如图 3-24 所示。 $\mu\text{PC2749TB}$ 功率增益与输入频率的关系如图 3-25 所示。S 参数($V_{\text{CC}}=3.0\text{V}$, $I_{\text{CC}}=6.5\text{mA}$)如表 3-26 所列。

图 3-24 μ PC2749TB 的应用电路图 3-25 μ PC2749TB 功率增益与输入频率的关系表 3-26 S 参数 ($V_{CC} = 3.0V, I_{CC} = 6.5mA$)

频率/MHz	S11		S21		S12		S22		K
	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG	
100.0000	0.021	13.0	4.096	-1.9	0.002	-1.1	0.024	165.8	66.82
200.0000	0.038	-30.5	4.216	-7.8	0.001	75.4	0.033	113.6	129.26
300.0000	0.034	-71.8	4.282	-15.5	0.001	141.5	0.064	96.1	90.16
400.0000	0.052	-120.5	4.403	-21.0	0.002	129.9	0.080	87.9	45.30
500.0000	0.062	-149.9	4.390	-26.6	0.002	134.1	0.103	76.9	57.58
600.0000	0.079	-169.7	4.399	-31.6	0.003	128.3	0.127	68.6	34.08
700.0000	0.097	173.6	4.566	-36.7	0.005	132.9	0.151	60.6	22.08
800.0000	0.116	160.5	4.667	-41.3	0.007	131.5	0.174	53.7	14.70
900.0000	0.134	149.3	4.843	-46.8	0.008	129.3	0.197	44.9	12.29
1000.0000	0.156	138.8	5.016	-52.6	0.009	124.6	0.220	36.1	10.00
1100.0000	0.178	128.5	5.305	-60.3	0.014	131.4	0.240	28.0	6.15
1200.0000	0.195	118.7	5.660	-67.1	0.016	122.5	0.262	17.3	5.13
1300.0000	0.214	108.7	5.835	-76.2	0.020	118.6	0.279	8.6	3.80
1400.0000	0.229	99.5	6.148	-84.5	0.022	114.4	0.287	-2.0	3.23

(续)

频率/MHz	S11		S21		S12		S22		K
	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG	
1500.0000	0.249	89.4	6.364	-93.8	0.025	107.7	0.294	-13.5	2.72
1600.0000	0.259	79.9	6.611	-103.6	0.028	104.3	0.294	-23.6	2.35
1700.0000	0.264	69.8	6.577	-113.5	0.032	96.8	0.283	-33.8	2.09
1800.0000	0.259	60.3	6.549	-123.4	0.034	91.8	0.272	-44.1	1.99
1900.0000	0.248	50.9	6.407	-132.9	0.036	83.3	0.256	-53.8	1.97
2000.0000	0.238	43.6	6.321	-140.8	0.037	78.5	0.234	-61.4	1.99
2100.0000	0.218	35.9	6.046	-148.8	0.038	75.1	0.213	-69.5	2.04
2200.0000	0.204	30.1	5.862	-156.5	0.039	70.4	0.193	-73.8	2.08
2300.0000	0.183	25.3	5.696	-163.2	0.040	68.3	0.174	-79.5	2.15
2400.0000	0.156	21.2	5.430	-170.5	0.041	60.7	0.164	-84.1	2.25
2500.0000	0.140	18.8	5.282	-176.3	0.042	61.6	0.152	-82.1	2.25
2600.0000	0.119	18.7	5.013	177.2	0.040	58.1	0.142	-84.5	2.53
2700.0000	0.095	21.2	4.849	170.9	0.042	55.1	0.146	-85.5	2.46
2800.0000	0.078	30.0	4.596	164.9	0.042	51.9	0.149	-83.9	2.62
2900.0000	0.066	44.5	4.446	158.1	0.042	44.7	0.154	-91.8	2.70
3000.0000	0.070	66.0	4.163	152.3	0.044	41.9	0.171	-92.8	2.73
3100.0000	0.082	78.1	3.966	145.3	0.042	37.1	0.181	-99.6	2.97

3.7.5 μ PC2749TB 封装尺寸

μ PC2749TB 采用 6 脚超小型封装, 封装尺寸如图 3-26 所示。

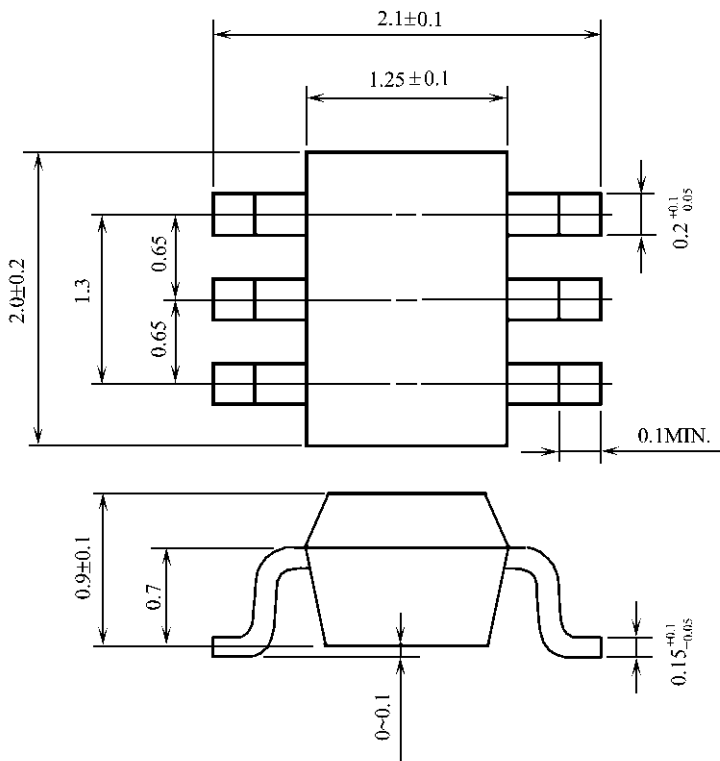


图 3-26 μ PC2749TB 的封装尺寸(单位: mm)

3.8 基于 $\mu\text{PC8211TK}$ 的 GPS 接收机 LNA 电路

3.8.1 $\mu\text{PC8211TK}$ 简介

$\mu\text{PC8211TK}$ 是适合 GPS 和移动通信系统应用的 SiGe 单片集成低噪声放大器(LNA)芯片。采用 6 脚无引线超小型表面安装封装形式。噪声系数 NF 典型值为 1.3dB,功率增益 G_p 典型值为 18.5 dB。在电源电压 V_{CC} 为 3.0 V 时,电路电流消耗 I_{CC} 为 3.5mA。

3.8.2 $\mu\text{PC8211TK}$ 主要性能指标

$\mu\text{PC8211TK}$ 主要性能指标如表 3-27 至表 3-29 所列。

表 3-27 绝对最大额定值

参数	符号	数值	单位
电源电压	V_{CC}	4.0	V
功率消耗	P_D	232	mW
工作环境温度	T_A	-40~+85	°C
存储温度	T_{stg}	-55~+150	°C
输入功率	P_{in}	+10	dBm

表 3-28 推荐工作条件

参数	符号	最小值	典型值	最大值	单位
电源电压	V_{CC}	2.7	3.0	3.3	V
工作环境温度	T_A	-25	+25	+85	°C
工作频率范围	f_{in}		1575		MHz

表 3-29 主要性能指标

参 数	符号	最小值	典型值	最大值	单位
电路电流	I_{CC}	2.5	3.5	4.5	mA
低功耗模式电路电流				1	μA
功率增益	G_p	15.5	18.5	21.5	dB
噪声系数	NF		1.3	1.5	dB
输入 3 阶截点	IIP_3		12		dBm
输入回波损耗	RL_{in}		7.5	6.0	dB
输出回波损耗	RL_{out}		14.5	10.0	dB
隔离	ISL		32.5		dBm
电路导通模式 PS 引脚控制电压	V_{PSon}	2.2			V
电路低功耗模式 PS 引脚控制电压	V_{PSoff}			0.8	V
增益平整度	$Flat$			$\Delta 0.5$	dB
增益 1dB 压缩点输出功率	$P_{O(1dB)}$		4		dBm
输出功率	P_O	1.5	+2.0		dBm

3.8.3 $\mu\text{PC8211TK}$ 芯片封装与引脚功能

$\mu\text{PC8211TK}$ 的引脚封装形式如图 3-27 所示,引脚功能如表 3-30 所列。

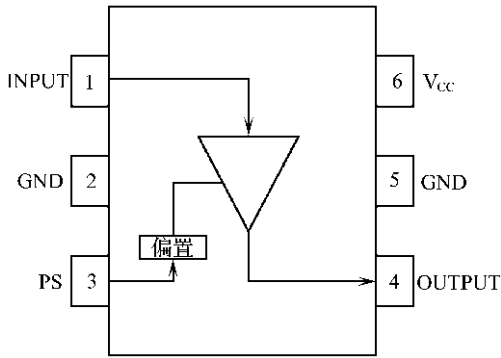


图 3-27 $\mu\text{PC8211TK}$ 引脚封装形式

表 3-30 $\mu\text{PC8211TK}$ 的引脚功能

引脚	符号	功 能
1	INPUT	射频信号输入
2	GND	地
3	PS	芯片低功耗模式控制
4	OUTPUT	射频输出
5	GND	地
6	V _{CC}	电源电压

3.8.4 $\mu\text{PC8211TK}$ 应用电路

$\mu\text{PC8211TK}$ 的应用电路如图 3-28 所示。VPS 为高电平时,电路导通工作;VPS 为低电平时,电路关断模式。

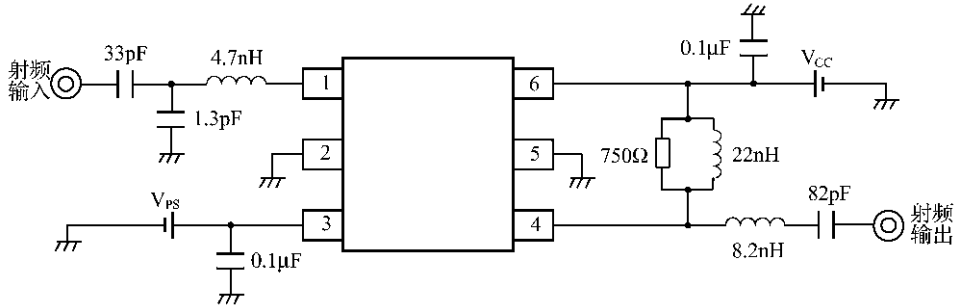


图 3-28 $\mu\text{PC8211TK}$ 应用电路

3.8.5 $\mu\text{PC8211TK}$ 封装尺寸

$\mu\text{PC8211TK}$ 采用 6 脚无引线小型封装,封装尺寸如图 3-29 所示(单位:mm)。

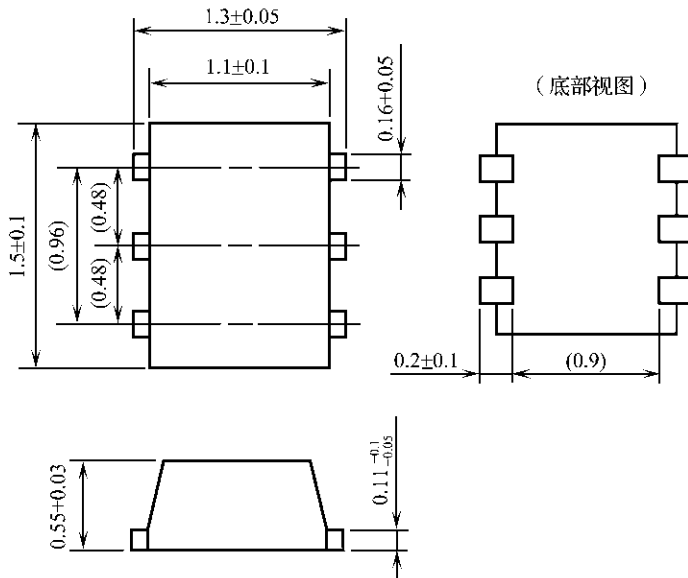


图 3-29 $\mu\text{PC8211TK}$ 的封装尺寸(单位:mm)

第 4 章 GPS 接收机下变频器电路设计

4.1 基于 CXA1951AQ 的 GPS 接收机下变频器电路

4.1.1 CXA1951AQ 简介

CXA1951AQ 是一个 GPS 下变频器集成电路,具有低的电流消耗和小的封装尺寸,极好的温度特性,适合移动 GPS 系统使用。

CXA1951AQ 包含 GPS 接收机下变频器的所有功能,总增益大于 100 dB,工作电源电压范围为 2.7V~5.5V,电流消耗 $I_{CC} = 30\text{mA}(V_{CC} = 3\text{V})$ 。

4.1.2 CXA1951AQ 主要性能指标

CXA1951AQ 主要性能指标如表 4-1 和表 4-2 所示。

表 4-1 绝对最大额定值范围

参 数	数 值	单 位
电源电压 V_{CC}	7.0	V
工作温度 T_{opr}	-40~+85	°C
存储温度 T_{stg}	-65~+150	°C
允许功率消耗 PD	200	mW

表 4-2 主要电气特性($V_{CC} = 3\text{V}, T_a = 25^\circ\text{C}$)

参 数	符号	测试条件	最小值	典型值	最大值	单 位
电流消耗	I_{CC}			30		mA
前端转换增益	CGmix1	$f_{in} = 1575.42\text{MHz}, -60\text{dBm};$ $f_{out} = 20.46\text{MHz};$ $f_{osc} = 1554.96\text{MHz}, -10\text{dBm}$	14	16		dB
第 2 级混频器转换增益	CGmix2	$f_{in} = 20\text{MHz}, -60\text{dBm};$ $f_{ref} = 16\text{MHz}, -10\text{dBm}$	24.5	26.5		dB
限幅器增益	PGlim	$f_{in} = 4\text{MHz}, -80\text{dBm}$	59	63		dB
限幅器输出电平	Volim	$f_{in} = 4\text{MHz}, -30\text{dBm}$	0.7	0.75	0.8	V(峰峰值)
FC 输出高电平电流	I_{IH}	$P_{in} = V_{CC}$		9.5	14	μA
FC 输出低电平电流	I_{IL}	$PIN = GND$	-16.5	-11.5		μA
NSW 输入高电平电流	IFCin	$P_{in} = V_{CC}$		25		μA
NSW 输入低电平电流	IFCin	$PIN = GND$	-36	-25		μA

(续)

参 数	符号	测试条件	最小值	典型值	最大值	单 位
充电泵输出电流	I_{OH}	$V_{cpout} = V_{CC}/2$	-3	-2		mA
充电泵输出电流	I_{OL}	$V_{cpout} = V_{CC}/2$		2		mA
锁定检测输出高电平	V_{OH}	负载电流 = 0.1mA	2			V
锁定检测输出低电平	V_{OL}	负载电流 = 0.1mA			500	mV
第 1 级 IF 输出阻抗	Romix1	平衡输出	1.4	2	2.6	k Ω
第 1 级 IF 输入阻抗	Rimix2	单端输入	0.84	1.2	1.56	k Ω
第 2 级 IF 输出阻抗	Romix2	单端输出	0.69	1	1.3	k Ω
限幅器输入阻抗	Rilim	单端输入	0.84	1.2	1.56	k Ω

4.1.3 CXA1951AQ 内部结构与引脚功能

CXA1951AQ 内部结构与引脚封装形式如图 4-1 所示,芯片内包含有:射频低噪声放大

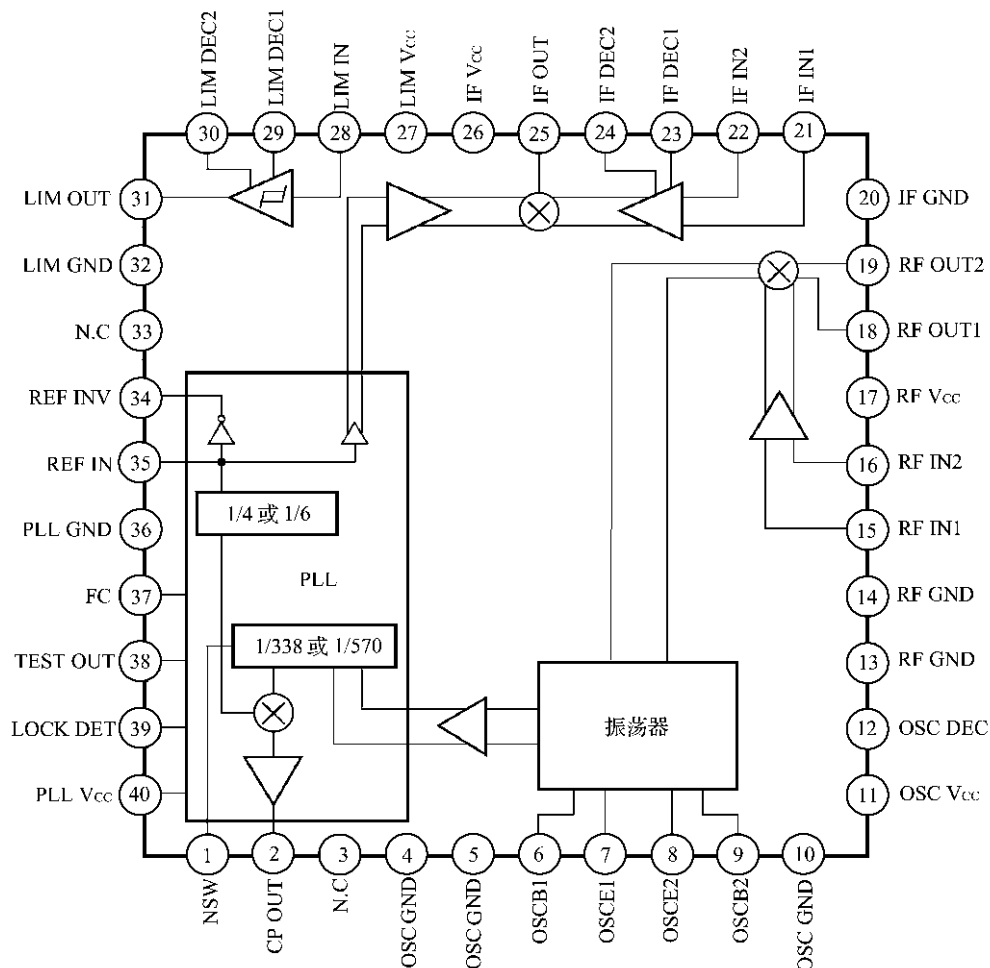
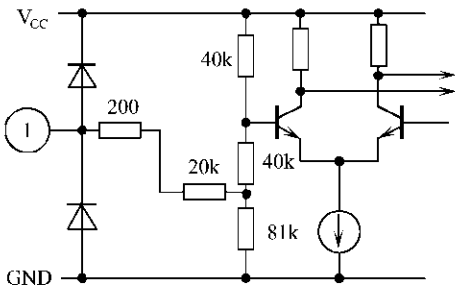


图 4-1 CXA1951AQ 内部结构与引脚封装形式

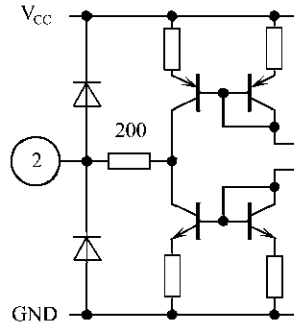
器、2 级混频器、限幅器、PLL 和基准振荡器等电路。CXA1951AQ 引脚功能如表 4-3 所列,各引脚内部电路如图 4-2(a)至图 4-2(m)所示。

表 4-3 CXA1951AQ 引脚功能

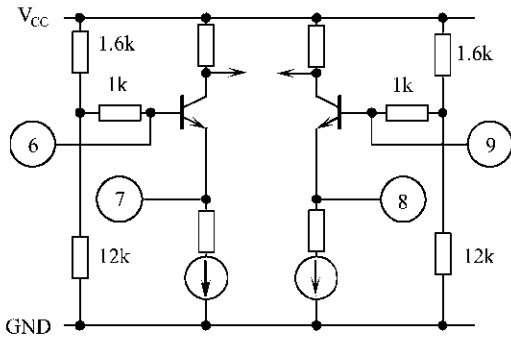
引脚	符号	引脚电压	功 能
1	NSW		内部 PLL 分频值选择,1/338 或者 1/570
2	CPOUT		充电泵输出
3,33	NC		空脚,未使用
4,5,10	OSC GND	0V	内部振荡器地
6,9	OSCB1,OSCB2	2.5V,1.7V	连接内部振荡器谐振器。通过内部缓冲器连接到主计数器输入
7,8	OSCE1,OSCE2	1.7V,2.5V	
11	OSC V _{CC}	3V	内部振荡器电源电压
12	OSC DEC	1.7V	连接退耦电容,用于内部振荡器偏置电源电压退耦
13,14	RF GND	0V	射频放大器地
15,16	RF IN1,RF IN2	1.6V	射频放大器输入。当使用单端输入时,引脚 16 通过一个电容连接到地
17	RF V _{CC}	3V	射频放大器电源电压
18,19	RF OUT1,RF OUT2		射频放大器混频输出
20	IF GND	0V	IF 放大器地
21,22	IF IN1,IF IN2	1.9V	IF 放大器输入
23,24	IF DEC1,IF DEC2	1.9V	IF 放大器退耦
25	IF OUT	2.7V	IF 放大器混频输出
26	IF V _{CC}	3V	IF 放大器电源电压
27	LIM V _{CC}	3V	限幅器缓冲器电源电压
28	LIM IN	2.1V	限幅器输入
29,30	LIM DEC1,LIM DEC2	2.1V	限幅器退耦
31	LIM OUT		限幅器缓冲器输出
32	LIM GND	0V	限幅器缓冲器地
34	REF INV	高电平:2.2V 低电平:0.1V	基准频率信号输出。利用晶体振荡器连接到引脚 34 和 35 可以构成一个晶体振荡器,产生所需要的基准频率信号
35	REF IN	2.1V	
36	PLL GND	0V	PLL 地
37	FC		功能控制,转换充电泵输出状态和引脚 38 的信号输出
38	TEST OUT	高电平:2.2V 低电平:0.1V	计数器的分频信号输出
39	LOCK DET	高电平:2.2V 低电平:0.1V	锁定检测信号输出
40	PLL V _{CC}	3V	PLL 电源电压



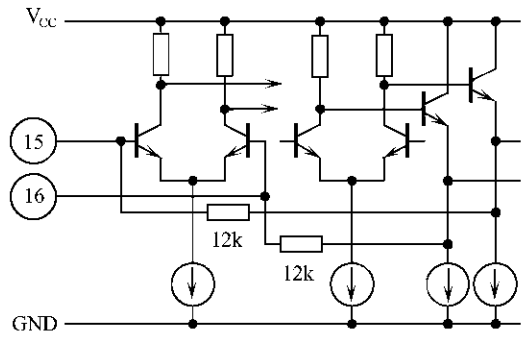
(a)



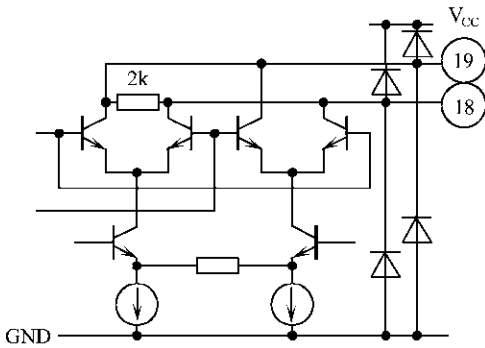
(b)



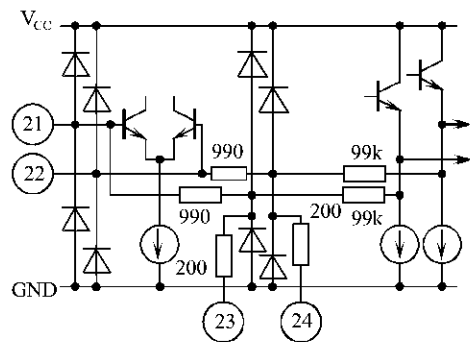
(c)



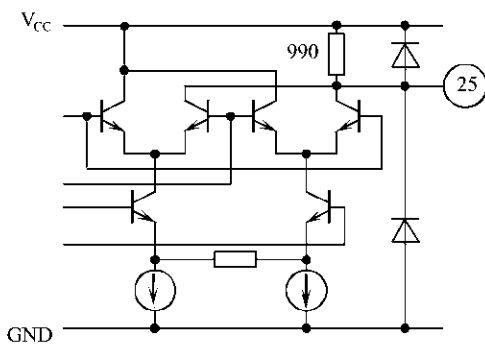
(d)



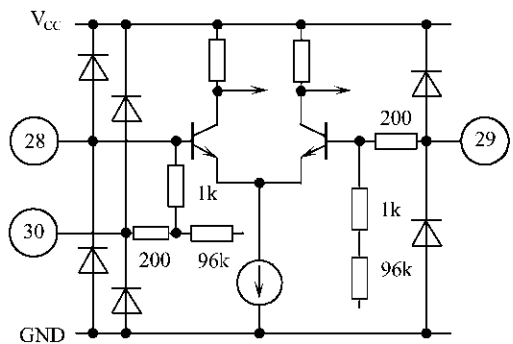
(e)



(f)



(g)



(h)

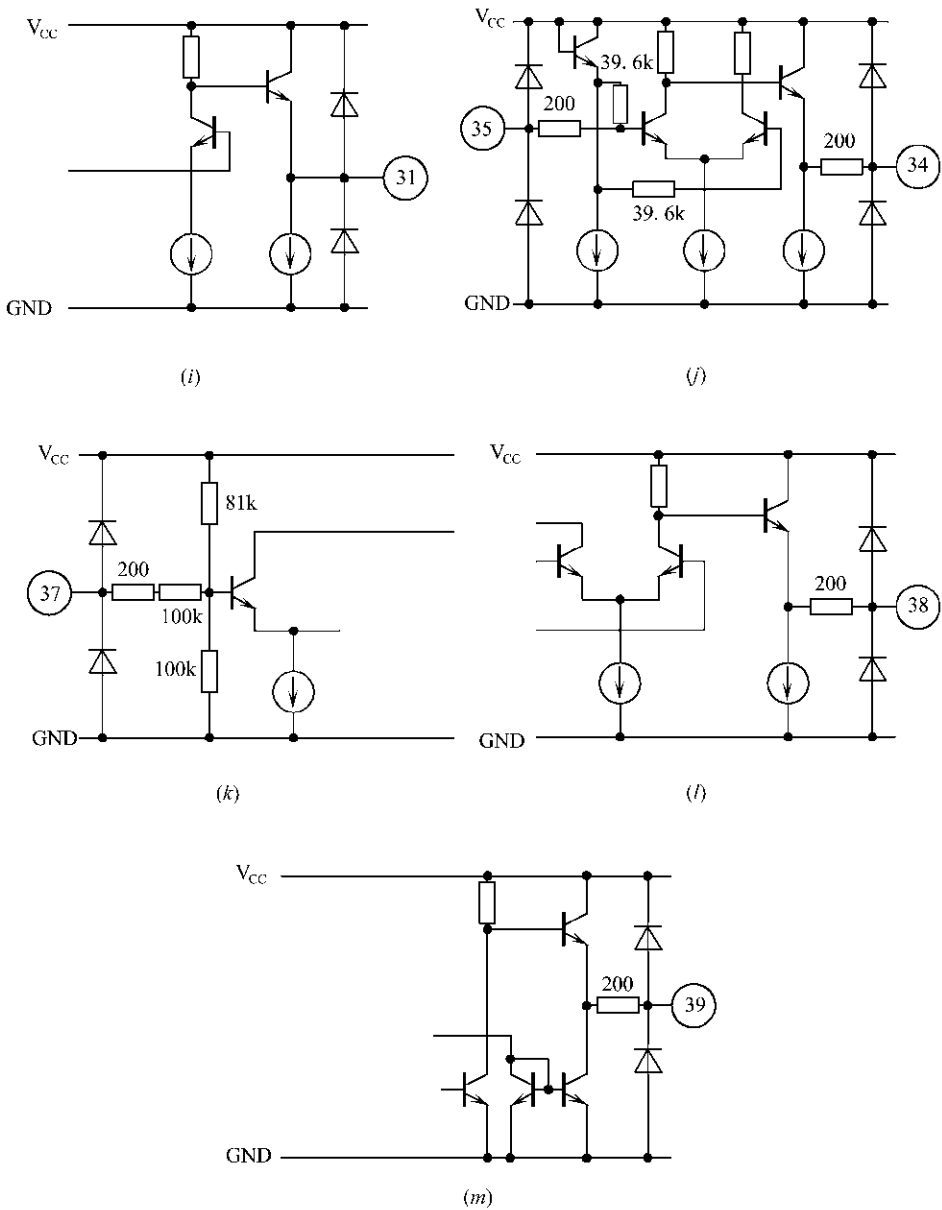


图 4-2 CXA1951AQ 引脚内部电路

- (a) 引脚 1 内部电路；(b) 引脚 2 内部电路；(c) 引脚 6、7、8、9 内部电路；
 (d) 引脚 15、16 内部电路；(e) 引脚 18、19 内部电路；(f) 引脚 21、22、23、24 内部电路；
 (g) 引脚 25 内部电路；(h) 引脚 28、29、30 内部电路；(i) 引脚 31 内部电路；
 (j) 引脚 34、35 内部电路；(k) 引脚 37 内部电路；(l) 引脚 38 内部电路；(m) 引脚 39 内部电路。

4.1.4 CXA1951AQ 电路应用

CXA1951AQ 下变频 1.57542 GHz 的 GPS 信号成为 f_0 ($f_0=1.023\text{MHz}$) 或者 $4 \times f_0$ 。芯片内部电路可分为模拟电路和数字电路两部分。模拟电路部分由放大器和两级混频器组成,需要外部滤波器。模拟电路部分放大信号可转换信号频率。在数字电路中,PLL 的分频

可以转换,以满足下变频输出信号为 f_o ($f_o=1.023\text{MHz}$) 或者 $4f_o$ 的需要。

CXA1951AQ 的测试电路如图 4-3 所示,应用电路如图 4-4 所示。设计参数参考值如表 4-4 所列。

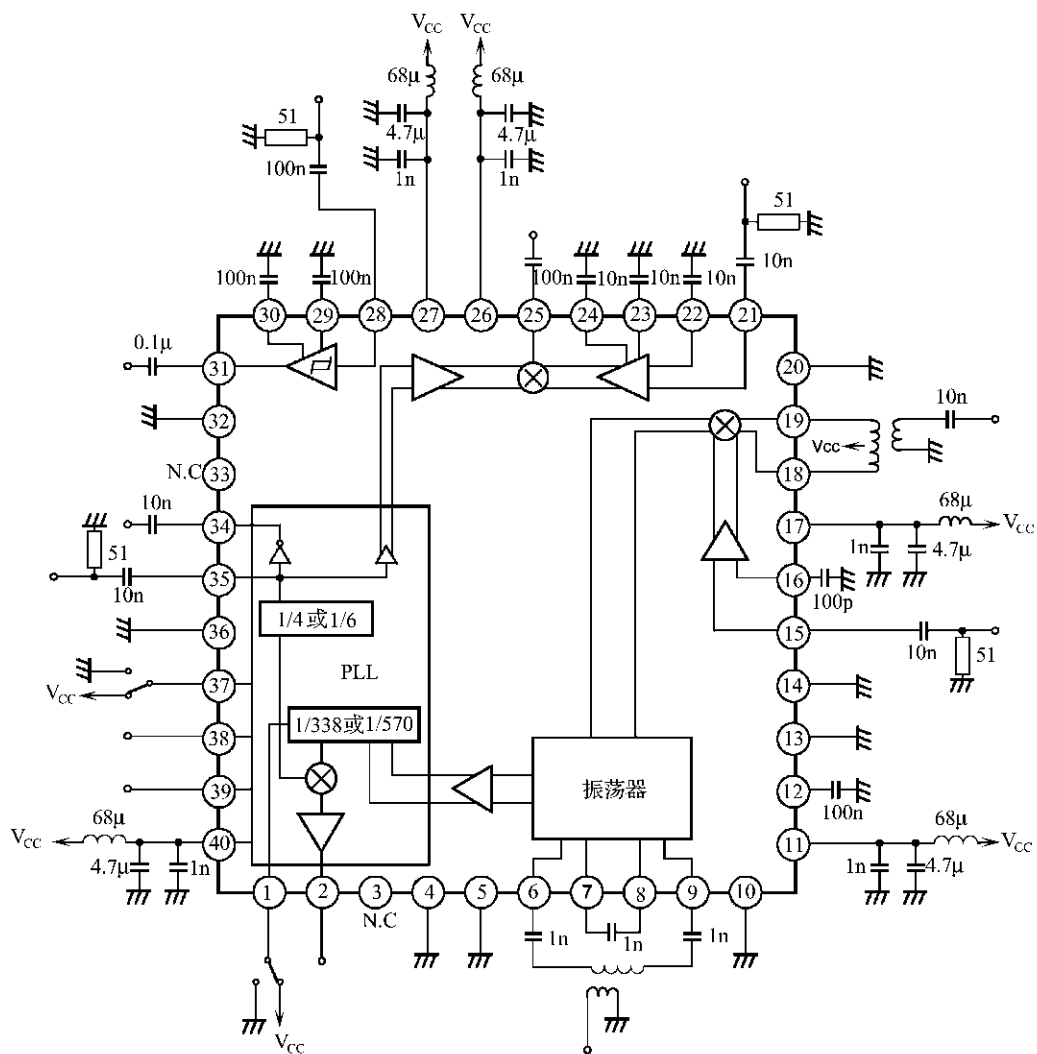


图 4-3 CXA1951AQ 测试电路

表 4-4 设计参数参考值

参数	测试条件	最小值	典型值	最大值	单位
噪声系数	$f=1.58\text{GHz}$, DBS 测量		7		dB
第 1 级 IF 输出电容	平衡输出		2		pF
第 1 级 IF 输入电容	单端输入		2		pF
第 2 级 IF 输出电容	单端输出		2		pF
第 2 级 IF 输入电容	单端输入		2		pF
IF 放大器带宽	输入电平 = -60dBm		41		MHz

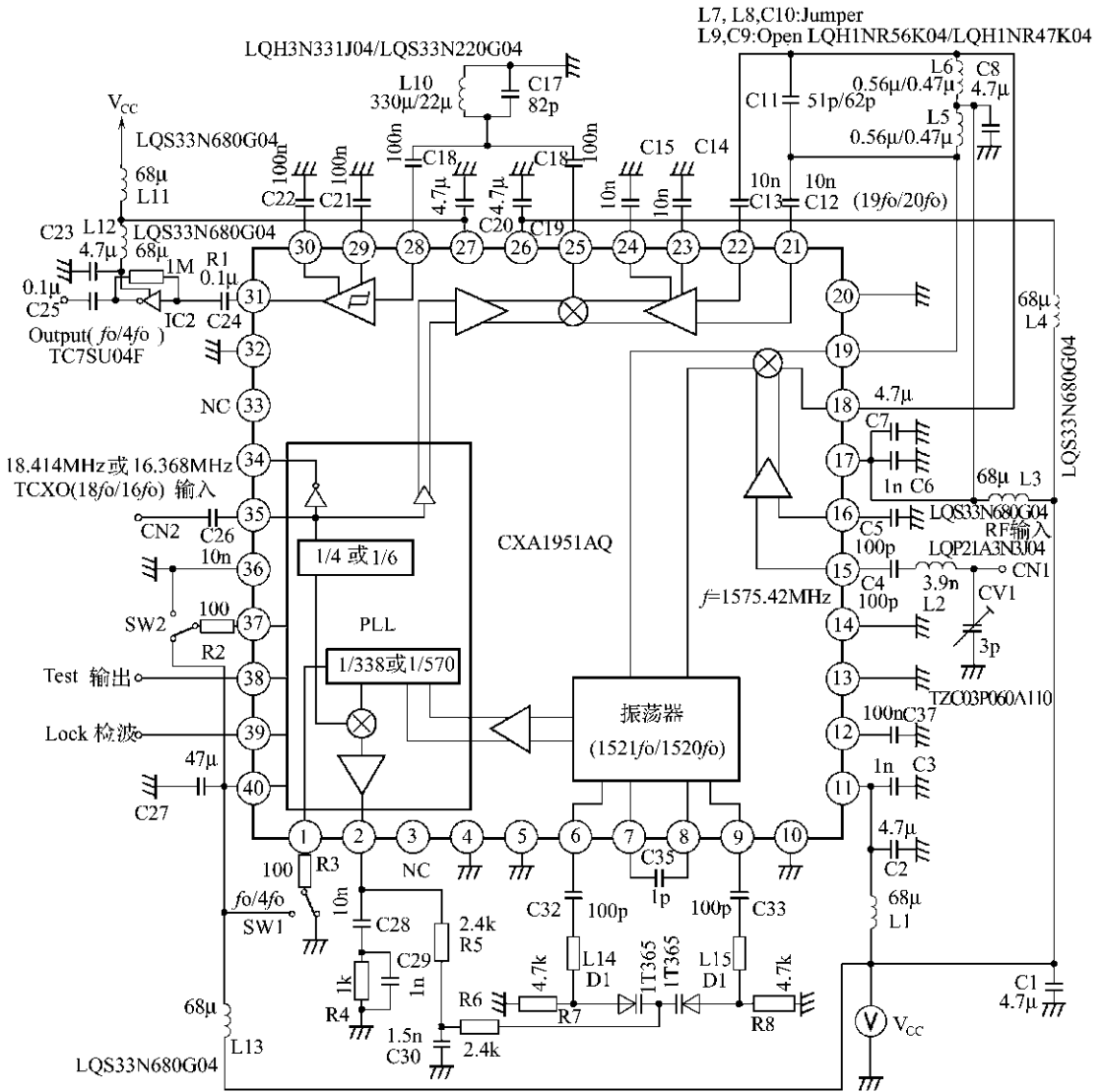


图 4-4 CXA1951AQ 应用电路

1. 振荡器 (Oscillator)

芯片内部包含有组成振荡器电路的晶体管和偏置电路,增加一个外部的谐振器,可以构成一个 Colpitts 或者 Hartley 振荡器。振荡器外部电路如图 4-5 所示。图 4-5(b)中增加虚线框的变容二极管,可以构成一个压控振荡器(VCO),VCO 的谐振频率根据 CP 端的电压变化,CP 端连接到引脚 2(CPOUT,充电泵输出)。

2. 第 1 级 IF 输出 (1st IF Output)

第 1 级 IF 输出引脚 18 和 19 是集电极开路输出形式。偏置信号由线圈提供,这个输出通过滤波器连接到第 2 级混频器输入引脚 21 和 22,使用电容隔直。在引脚 23 和 24 必须使用退耦电容,退耦电容尽可能地靠近 IC 引脚。电路如图 4-6 所示。

当选择 f_0 时,在这里的 IF 频率是 $19f_0$;当选择 $4f_0$ 时,在这里的 IF 频率是 $20f_0$ 。

3. 第 2 级 IF 输出 (2nd IF Output)

第 2 级 IF 输出引脚 25 是射极跟随器输出形式。通过滤波器隔直后,输入到限幅器输入

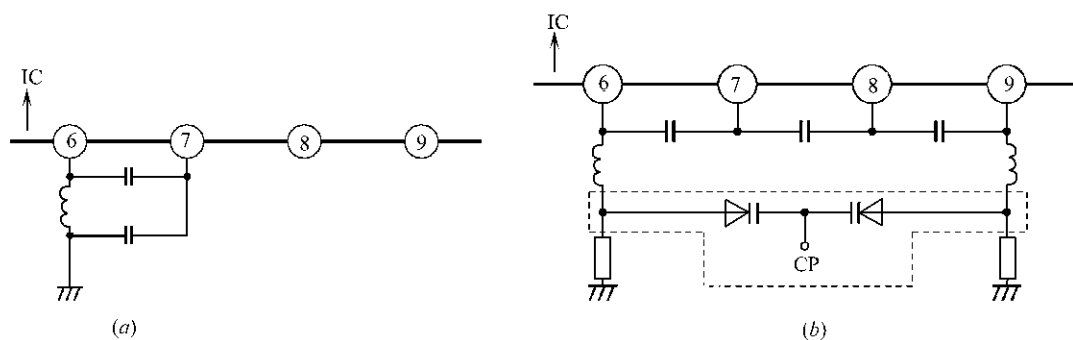


图 4-5 振荡器外部电路
(a) 单边 Colpitts 振荡器结构；(b) 平衡结构。

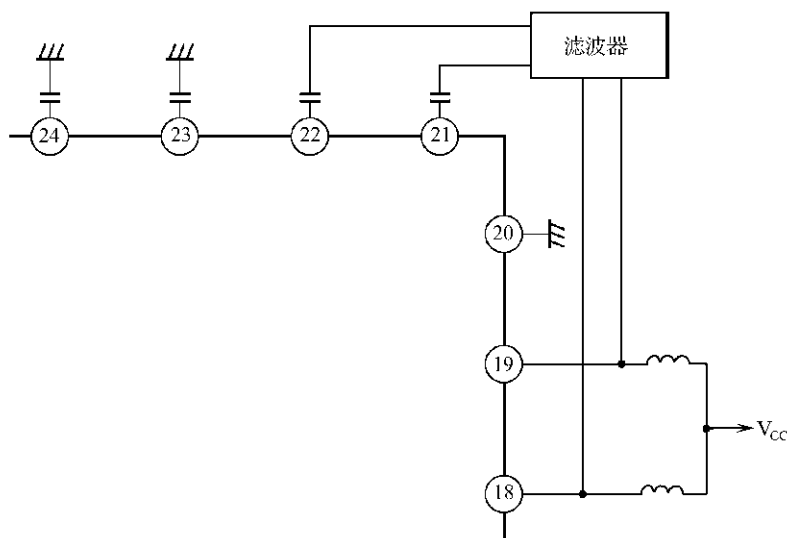


图 4-6 第 1 级 IF 输出电路

引脚 28。 f_o 或者 $4f_o$ 从限幅器输出引脚 31(引脚 31 是射极跟随器输出形式)输出。在引脚 29 和 30 必须使用退耦电容,退耦电容尽可能地靠近 IC 引脚。电路如图 4-7 所示。

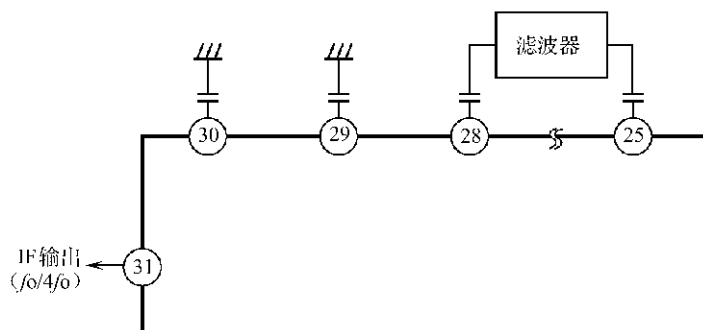


图 4-7 第 2 级 IF 输出电路

4. 内部 PLL 分频值选择(NSW, 引脚 1)

内部 PLL 分频值选择由连接到引脚 1(NSW)的电压决定。引脚 1 连接到 V_{CC} 选择 338 分频(f_o), 连接到“GND, 地”选择 570 分频($4f_o$), 如表 4-5 所列。

表 4-5 内部 PLL 分频值选择

IF 频率	f_o	$4f_o$
NSW(引脚 1)	V_{cc}	GND
VCO 计数器	388 分频	570 分频
基准频率计数器	4 分频	6 分频

5. 充电泵输出(CPOUT, 引脚 2)

充电泵输出连接一个回路滤波器, 产生 VCO 的控制电压。电路如图 4-8 所示。

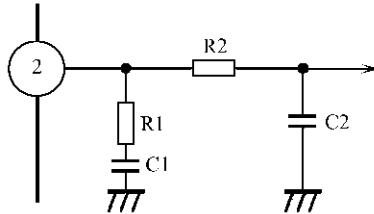


图 4-8 充电泵输出电路

6. 功能控制(FC, 引脚 37)

当连接引脚 37(FC)到 V_{cc} 或者 GND, 完成两个功能, 转换充电泵输出状态和引脚 38 的信号输出, 如表 4-6 所列。表中: Z=高阻抗状态; H=高电平; L=低电平; f_r =基准频率计数器输出频率; f_m =VCO 计数器输出频率。

表 4-6 功能控制

条 件	FC 连接到 V_{cc}		FC 连接到 GND	
	CP OUT	TEST OUT	CP OUT	TEST OUT
$f_r > f_m$	L	f_r	H	f_m
$f_r = f_m$	Z	f_r	Z	f_m
$f_r < f_m$	H	f_r	L	f_m

7. 测试输出(TEST OUT, 引脚 38)

测试输出引脚 38(TEST OUT)是内部计数器分频输出的监视引脚, 所输出的信号是 VCO 计数器或者基准计数器的分频信号, 由引脚 37(FC)控制, 如表 4-6 所示。

8. 锁定检测输出(LOCK DET, 引脚 39)

锁定检测输出(LOCK DET, 引脚 39)检测 PLL 锁定状态。当 PLL 未锁定时, 引脚电压为低电平; 当 PLL 锁定时, 引脚电压为 2V(电源电压=3V, 负载电流=100 μ A)。用示波器观察这个引脚, 可以看到有细小的脉冲信号, 这是正常的。

9. 基准信号输入和输出(REF IN, 引脚 35; REF INV, 引脚 34)

来自外部振荡器的信号, 可以通过引脚 REF IN 输入, 作为基准频率信号, 如图 4-9 所示。也可以通过连接在引脚 35 和 34 的晶体振荡器, 构成晶体振荡器, 如图 4-10 所示。

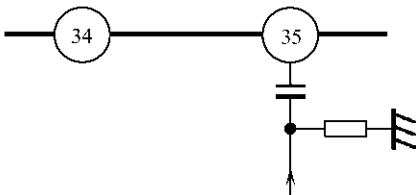


图 4-9 外部振荡器信号输入电路

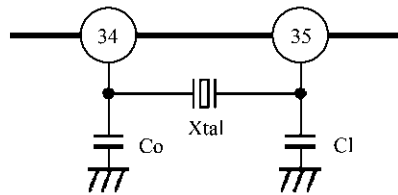


图 4-10 晶体振荡器电路

10. 电源电压引脚和振荡器退耦 (Power supply pin and OSC DEC decoupling)

CXA1951AQ 有 5 个电源电压引脚,在这些电源电压引脚必须接退耦电容,退耦电容需要尽可能地连接在 IC 引脚附近。也需要在电源电压引脚与电源之间插入(串联)一个电感,电感值大约 $6.8\mu\text{H}$,电路如图 4-11 所示。OSC DEC 引脚是内部基准电源电压退耦引脚,必须连接一个大约 100 nF 电容到地。

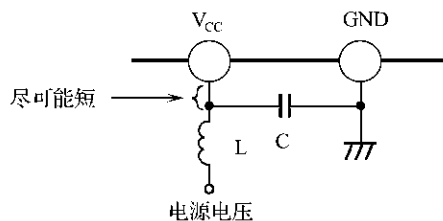


图 4-11 电源退耦电路

4.1.5 CXA1951AQ 封装尺寸

CXA1951AQ 采用 QFP-40 封装,封装尺寸如图 4-12 所示,所有尺寸单位为 mm。

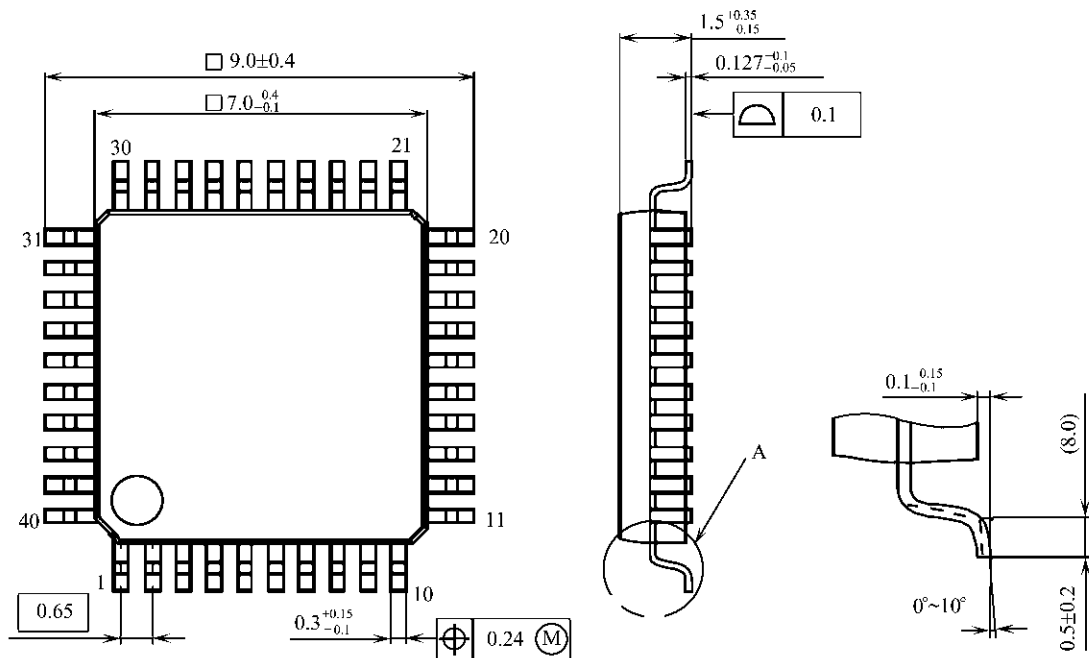


图 4-12 CXA1951AQ 封装尺寸(单位:mm)

4.2 基于 CXA3355ER 的 GPS 接收机下变频器电路

4.2.1 CXA3355ER 简介

CXA3355ER 是一个 GPS 下变频器集成电路,芯片内集成有 LNA、镜像抑制混频器、IF 滤波器、PLL 和 VCO(L,C)等电路,减少了外部元器件,具有低的电流消耗和小的封装尺寸,

极好的温度特性,适合移动 GPS 系统使用。

CXA3355ER 包含 GPS 接收机下变频器的所有功能,总增益为 100 dB,噪声系数为 4dB,片上 LNA 噪声系数 2.0dB,支持典型的 TCXO 频率(13MHz,16.368MHz,18.414MHz 等),1 bit IF 输出,天线检测功能,工作电源电压范围为 1.6V~2.0V,电流消耗 $I_{CC} = 11\text{mA}$ ($V_{CC} = 1.8\text{V}, IF = 1\text{MHz}$),低功耗模式电流消耗小于 $1\mu\text{A}$ 。

4.2.2 CXA3355ER 主要性能指标

CXA3355ER 主要性能指标如表 4-7 和表 4-8 所列。

表 4-7 绝对最大额定值范围

参 数	数 值	单 位
电源电压 V_{CC1}	-0.2~+2.5	V
电源电压 V_{CC2}	-0.2~+3.6	V
电源电压 V_{CC3}	-0.2~+3.6	V
工作温度 T_{opr}	-40~+85	°C
存储温度 T_{stg}	-65~+150	°C

表 4-8 主要电气特性($V_{CC1} = V_{CC2} = 1.8\text{V}, V_{CC3} = \text{开路}, T_a = 25^\circ\text{C}$)

参 数	符号	测 试 条 件	最小值	典型值	最大值	单 位
电源电压	V_{CC1}		1.6		2.0	V
电源电压	V_{CC2}		1.6		3.3	V
电源电压	V_{CC3}		2.7		3.3	V
电源电流	I_{CC1}	f_0 模式,除天线检测电路外	7	11	15	mA
电源电流	I_{CC2}	$4f_0$,除天线检测电路外	9	13	17	mA
电源电流	I_{CC3}	低功耗模式		0.1	1	μA
输入阻抗	Z_{in}	Pin 36(TESTINP), Pin 37(TESTINN)	50	100	200	Ω
输出阻抗	Z_{out}	Pin 38 (TESTOUTP), Pin 39 (TESTOUTN)	50	100	200	Ω
全部电压增益	G	除 A/D 转换器	85	100		dB
LNA NF1	NF1	50 Ω 匹配, f_0 模式		3.0	6	dB
LNA NF2	NF2	50 Ω 匹配, $4f_0$ 模式		2.0	5	dB
全部 NF1	TNF1	50 Ω 匹配, f_0 模式		5.0	8.5	dB
全部 NF2	TNF2	50 Ω 匹配, $4f_0$ 模式		4.0	7.5	dB
输入 1dB 压缩点	P1dB	在达到 A/D 转换器之前		-100		dBm

(续)

参 数	符号	测 试 条 件	最小值	典型值	最大值	单 位
镜像抑制比	IMRR	去谐频率=1.023MHz 或者 4.092MHz		-40	-20	dBc
LPF1(f_o 模式)	LPF1	150kHz(1.023MHz)	-5		4	dB
LPF2(f_o 模式)	LPF2	2.046MHz(1.023MHz)	-13		2	dB
LPF3(f_o 模式)	LPF3	6MHz(1.023MHz)			-13	dB
BPF1($4f_o$ 模式)	BPF1	1MHz(4.092MHz)			-6	dB
BPF2($4f_o$ 模式)	BPF2	3.069MHz(4.092MHz)	-9		6.5	dB
BPF3($4f_o$ 模式)	BPF3	5.115MHz(4.092MHz)	-9		6.5	dB
BPF4($4f_o$ 模式)	BPF4	12MHz(4.092MHz)			-6	dB
C/N 100k	C/N	$4f_o$ 模式, TCXO = 16.368MHz		-70	-55	dBc/Hz
寄生成分	Sp	$4f_o$ 模式		-40		dBc
IF 输出信号(DATA_OUT)						
DATA_OUT 上升时间	DT_r	引脚 7 (DATA_OUT)10%~90% 负载=1M $\tilde{\Omega}$ //13pF		6		ns
DATA_OUT 下降时间	DT_f	引脚 7(DATA_OUT)10%~90% 负载=1M $\tilde{\Omega}$ //13pF		4		ns
使 能 信 号						
输入高电平	EVIH	引脚 43 输入电压	1.2		VCC2+0.2	V
输入低电平	EVIL	引脚 43 输入电压	-0.1		0.2	V
TCXO						
CLK_OUT 上升时间	CT_r	引脚 13 (CLK_OUT)10%~90% 负载=1M $\tilde{\Omega}$ //13pF		6		ns
CLK_OUT 下降时间	CT_f	引脚 13 (CLK_OUT)10%~90% 负载=1M $\tilde{\Omega}$ //13pF		4		ns
f_o 模式: TCXO = 18.414MHz, f_{LO} = 1574.397MHz, IF = 1.023MHz; $4f_o$ 模式: TCXO = 16.368MHz, f_{LO} = 1571.328MHz, IF = 4.092MHz						

4.2.3 CXA3355ER 内部结构与引脚功能

CXA3355ER 内部结构与引脚封装形式如图 4-13 所示, 芯片内包含有: 射频低噪声放大器、混频器、IF 放大器、A/D 转换器、PLL 和基准振荡器等电路。CXA3355ER 引脚功能如表 4-9 所列, 各引脚内部电路如图 4-14(a) 至图 4-14(r) 所示。

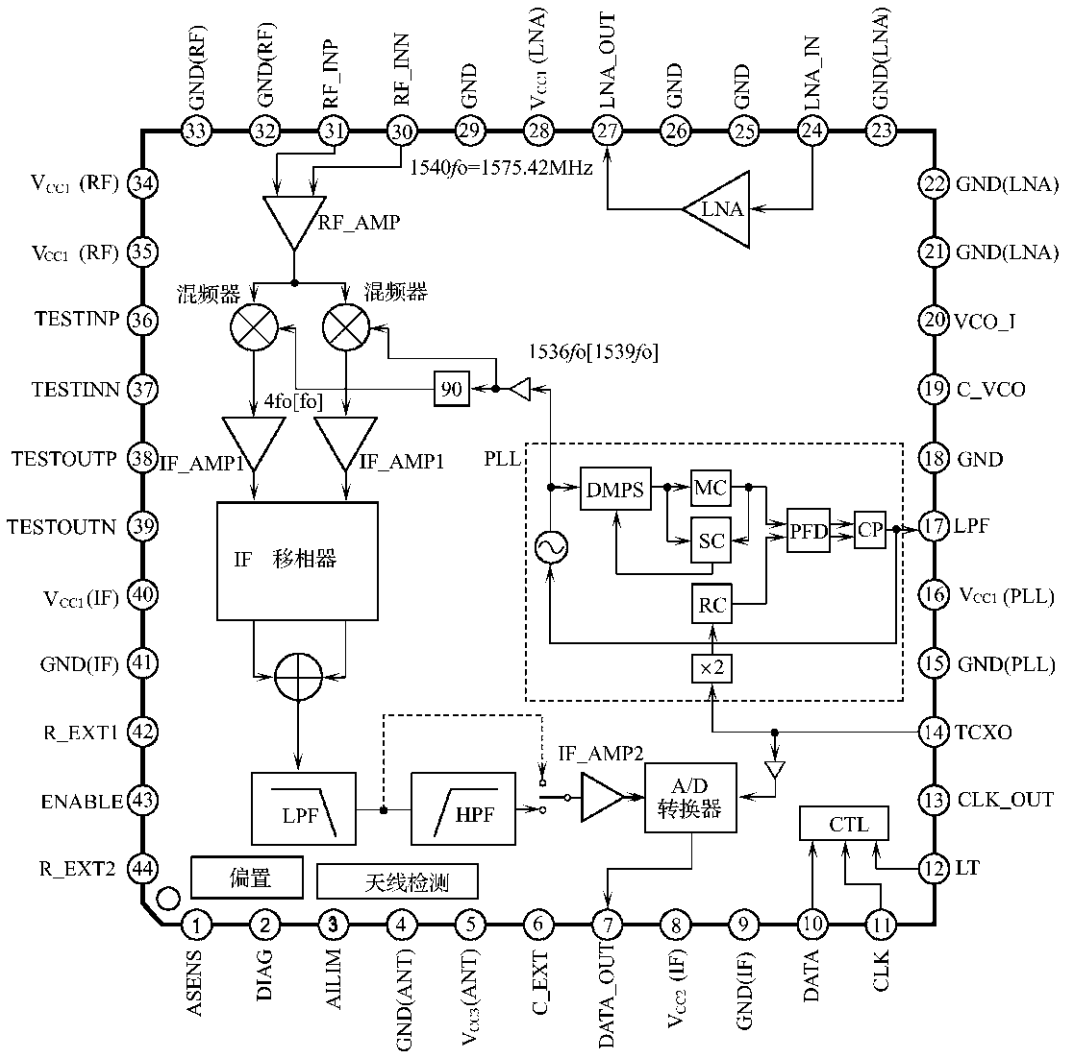


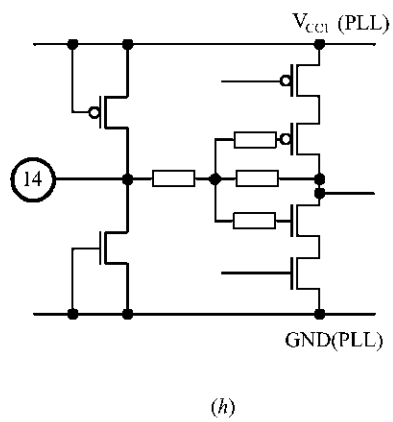
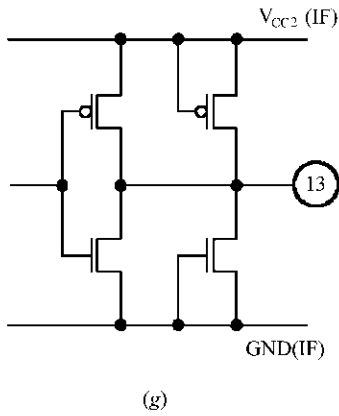
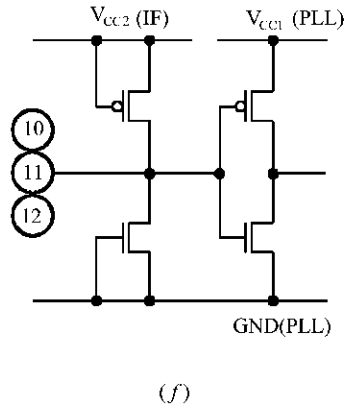
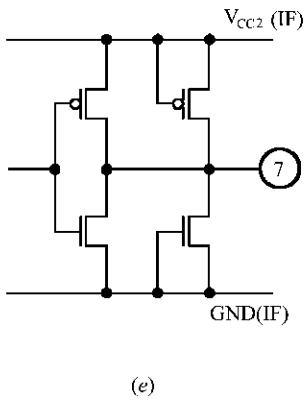
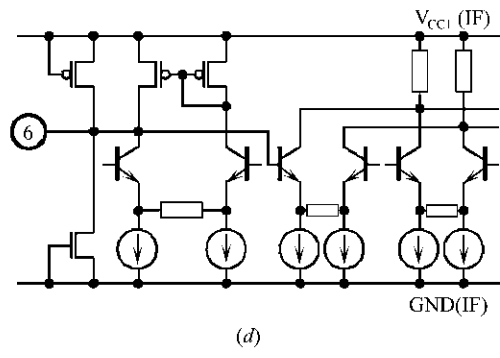
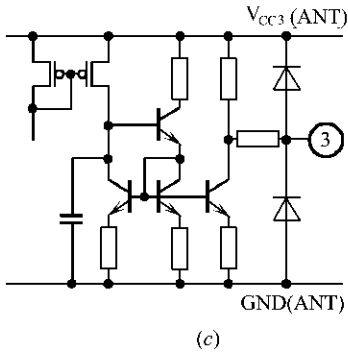
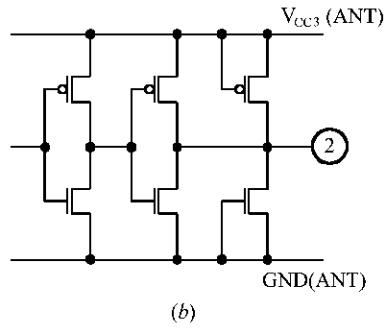
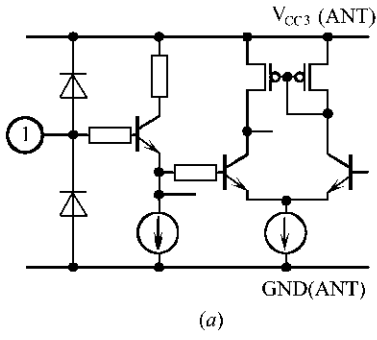
图 4-13 CXA3355ER 内部结构与引脚封装形式

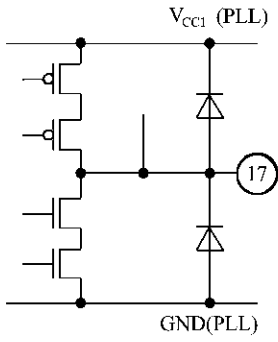
表 4-9 CXA3355ER 引脚功能

引脚	符号	引脚电压		功能
		DC	AC	
1	ASENS			天线检测输入
2	DIAG			天线检测输出
3	AILIM			天线检测电流限制。连接到外部 PNP 晶体管基极
4	GND(ANT)	0		天线检测地
5	V _{CC3} (ANT)	3.0		天线检测电源电压。当不使用天线检测功能时,开路
6	C_EXT	1.2		为消除偏移,连接一个外部电容
7	DATA_OUT		1.8V(峰峰值)	数据(IF)输出
8	V _{CC2} (IF)	1.8		IF 功能模块电源电压
9	GND(IF)	0		IF 功能模块地

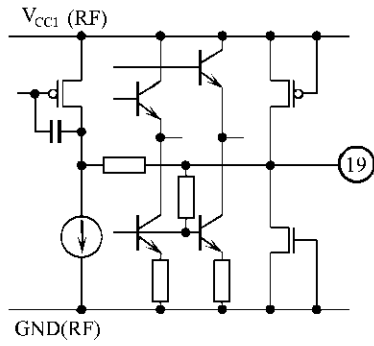
(续)

引脚	符号	引脚电压		功 能
		DC	AC	
10	DATA			串行数据输入
11	CLK			串行数据时钟输入
12	LT			锁存信号输入
13	CLK_OUT		1.8V(峰峰值)	TCXO 时钟输出。当不使用 TXCO 时钟时,允许开路
14	TCXO			基准频率输入
15	GND(PLL)	0		PLL 功能模块地
16	V _{CC1} (PLL)	1.8		PLL 功能模块电源电压
17	LPF	1.2		连接 PLL 回路滤波器
18	GND	0		地
19	C_VCO	1.1		连接电容,用于 VCO 偏置电路退耦
20	VCO_I	0.1		连接电容,用于 VCO 偏置电路退耦
21	GND(LNA)	0		LNA 地
22	GND(LNA)	0		LNA 地
23	GND(LNA)	0		LNA 地
24	LNA_IN	0.8		LNA 输入
27	LNA_OUT	1.8		LNA 输出
25	GND	0		地
26	GND	0		地
28	V _{CC1} (LNA)	1.8		LNA 电源电压
29	GND	0		地
30	RF_INN	1.7		射频放大器输入
31	RF_INP	1.7		射频放大器输入
32	GND	0		射频功能模块地
33	GND	0		射频功能模块地
34	V _{CC1}	1.8		射频功能模块电源电压
35	V _{CC1}	1.8		射频功能模块电源电压
36	TESTINP	1.3		当使用外部滤波器时,IF 信号输入
37	TESTINN	1.3		当使用外部滤波器时,IF 信号输入
38	TESTOUTP	0.5		当使用外部滤波器时,IF 信号输出
39	TESTOUTN	0.5		当使用外部滤波器时,IF 信号输出
40	V _{CC1} (IF)	1.8		IF 功能模块电源电压
41	GND(IF)	0		IF 地
42	R_EXT1	0.5		连接外部偏置电阻
43	ENABLE			使能信号输入。高电平(1.2V min)=有效模式; 低电平(0.2V max)=低功耗模式
44	R_EXT2	1.2		连接外部偏置电阻

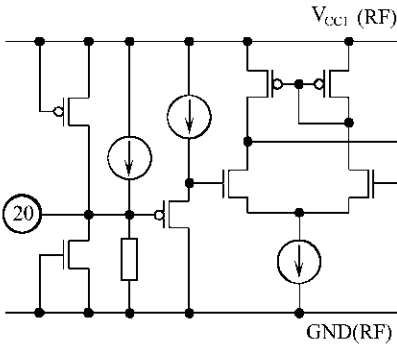




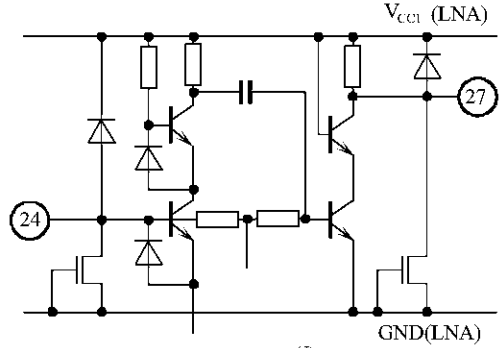
(i)



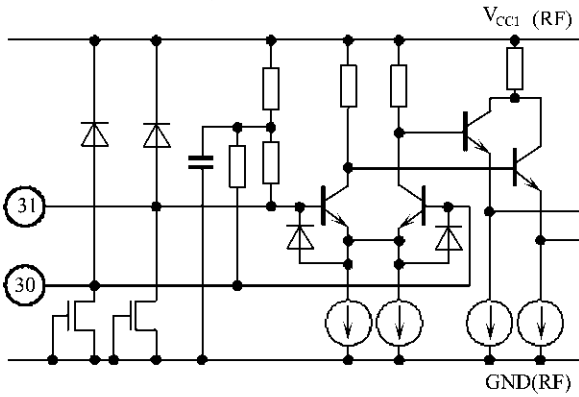
(j)



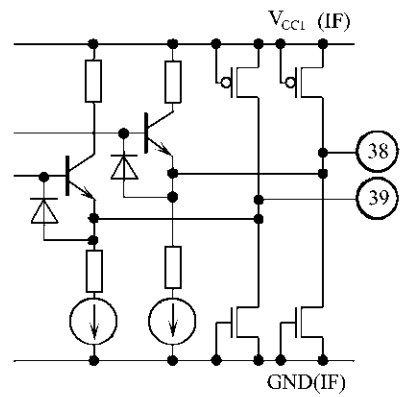
(k)



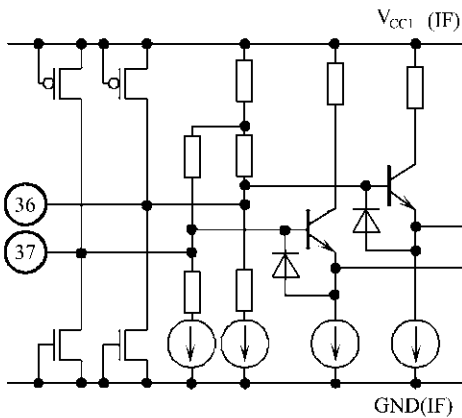
(l)



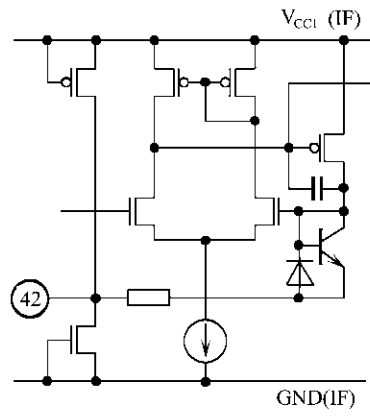
(m)



(o)



(n)



(p)



图 4-14 CXA3355ER 引脚内部电路

- (a) 引脚 1 内部电路; (b) 引脚 2 内部电路; (c) 引脚 3 内部电路; (d) 引脚 6 内部电路;
 (e) 引脚 7 内部电路; (f) 引脚 10、11、12 内部电路; (g) 引脚 13 内部电路; (h) 引脚 14 内部电路;
 (i) 引脚 17 内部电路; (j) 引脚 19 内部电路; (k) 引脚 20 内部电路; (l) 引脚 24、27 内部电路;
 (m) 引脚 30、31 内部电路; (o) 引脚 38、39 内部电路; (n) 引脚 36、37 内部电路;
 (p) 引脚 42 内部电路; (q) 引脚 43 内部电路; (r) 引脚 43 内部电路。

4.2.4 CXA3355ER 电路测试

CXA3355ER 的测试电路如图 4-15 所示,测量方法如图 4-16~图 4-23 所示,图 4-16~图

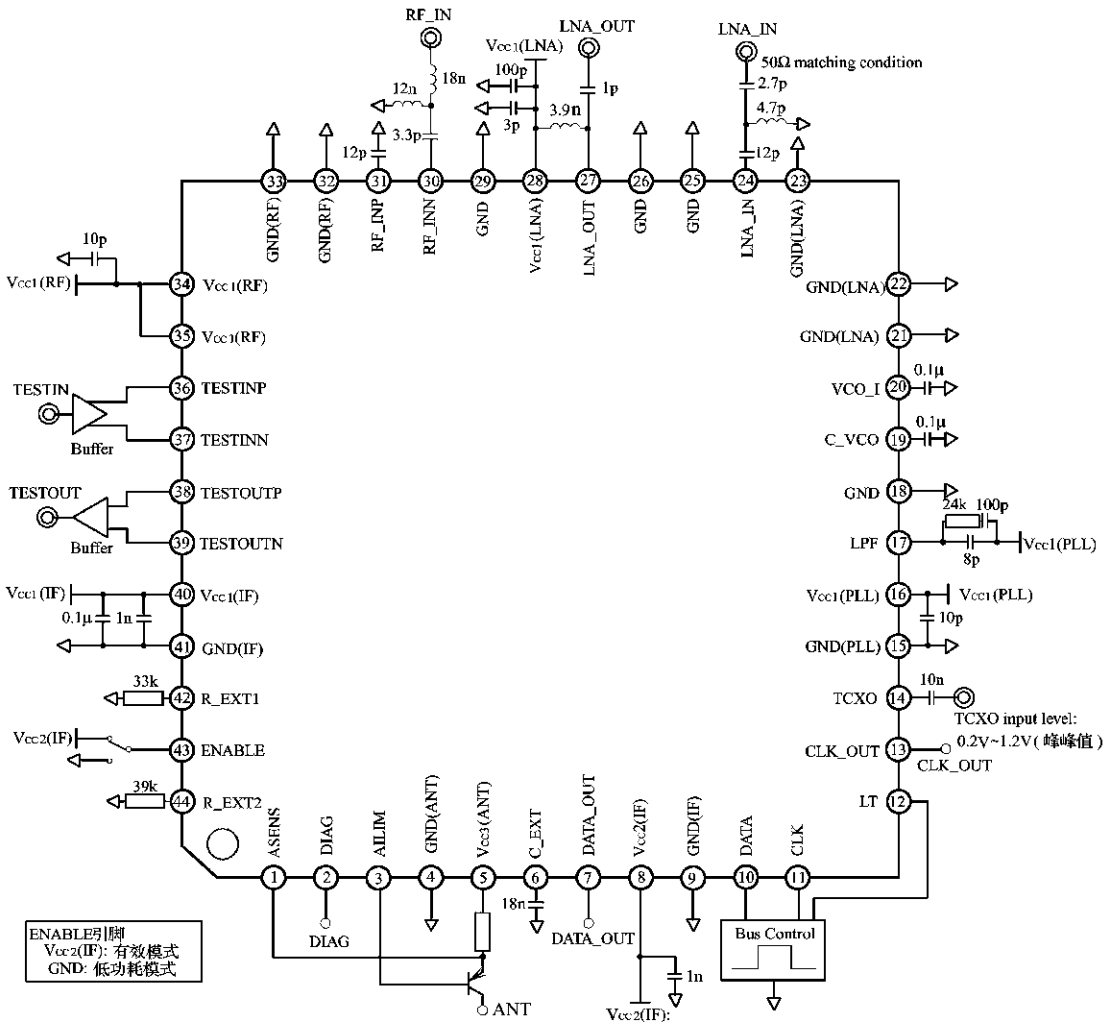


图 4-15 CXA3355ER 测试电路

4-23所示测量方法适用于 $4f_o$ 模式 (TCXO=16.368MHz, $IF=4.092$ MHz)。

1. 总增益 (Total Gain)

总增益测量方法如图 4-16 所示,信号从引脚 LNA_IN 输入,从引脚 TESTOUTP(引脚 38)和 TESTOUTN(引脚 39)输出,引脚 38 和 39 是差分输出形式。

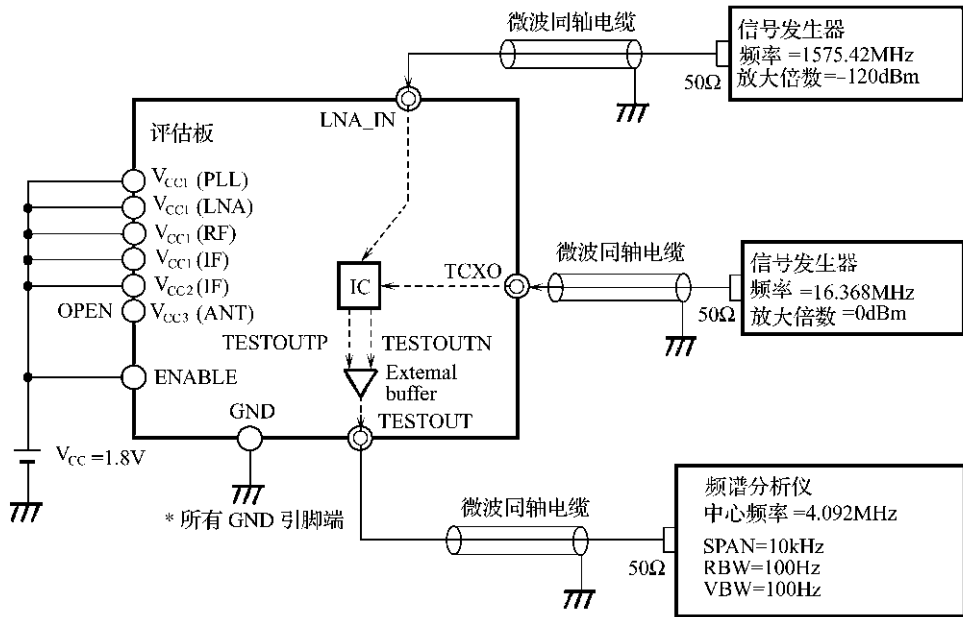


图 4-16 总增益测量方法

2. LNA 噪声系数 (LNA NF)

LNA 噪声系数测量方法如图 4-17 所示。输入端是 LNA_IN,输出端是 LNA_OUT。

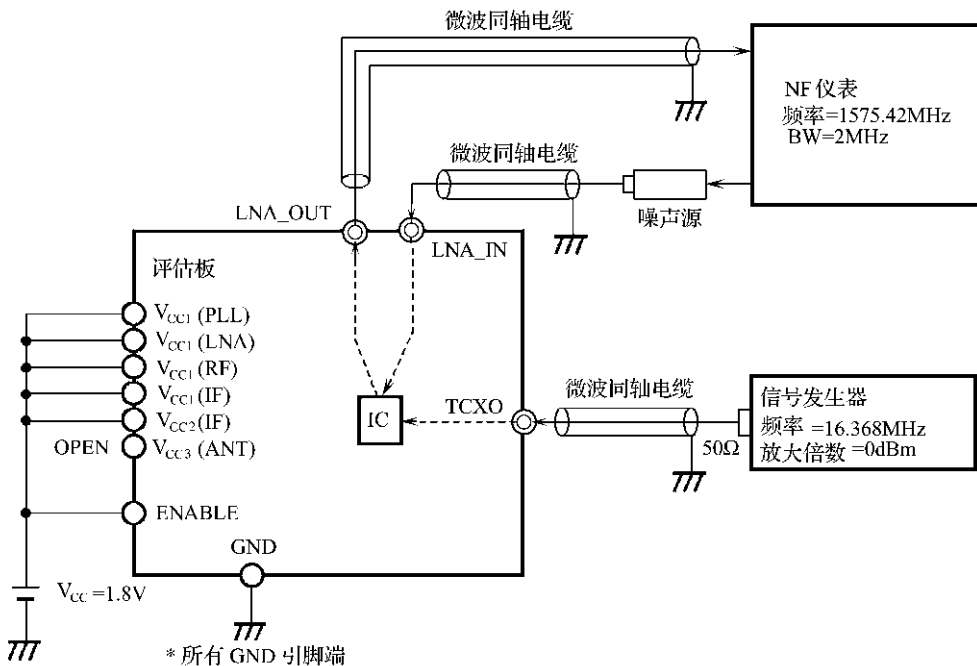


图 4-17 LNA 噪声系数测量方法

噪声源采用 Agilent 346A, 噪声系数表采用 Agilent N8973A。

3. 总噪声系数(Total NF)

总噪声系数测量方法如图 4-18 所示, 输入端是 LNA_IN, 输出端是 TESTOUTP(引脚 38)和 TESTOUTN(引脚 39)。噪声源采用 Agilent 346A, 加直流 28V 电压控制噪声源导通和关断。

NF 计算公式如下:

$$Y = \frac{N_{ON}}{N_{OFF}}$$

$$NF = 10 \lg \left(\frac{ENR}{Y-1} \right)$$

式中, N_{ON} 为直流 28V 电源导通时的噪声功率;

N_{OFF} 为直流 28V 电源关断时的噪声功率;

ENR 为过噪声比。

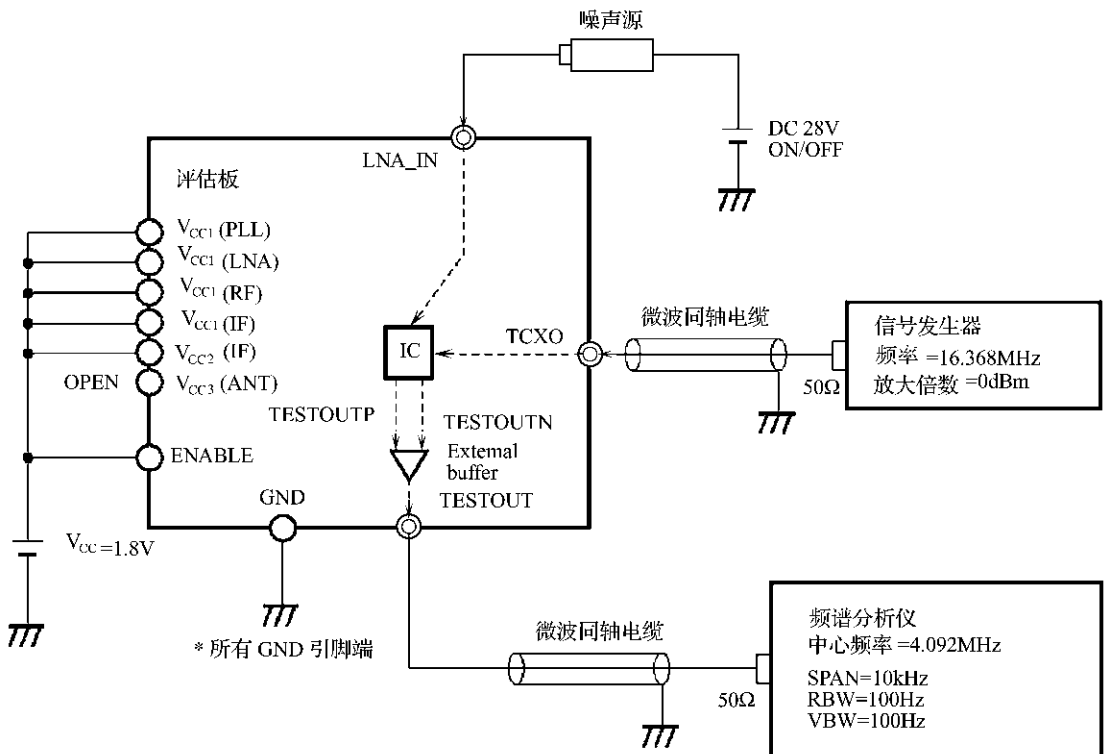


图 4-18 总噪声系数测量方法

4. 输入 1dB 压缩点测量(P-1dB Input)

输入 1dB 压缩点测量方法如图 4-19 所示。输入端是 LNA_IN, 输出端是 TESTOUTP(引脚 38)和 TESTOUTN(引脚 39)。

5. 镜像抑制比测量(Image Rejection Ratio)

镜像抑制比测量方法如图 4-20 所示。输入端是 LNA_IN, 输出端是 TESTOUTP(引脚

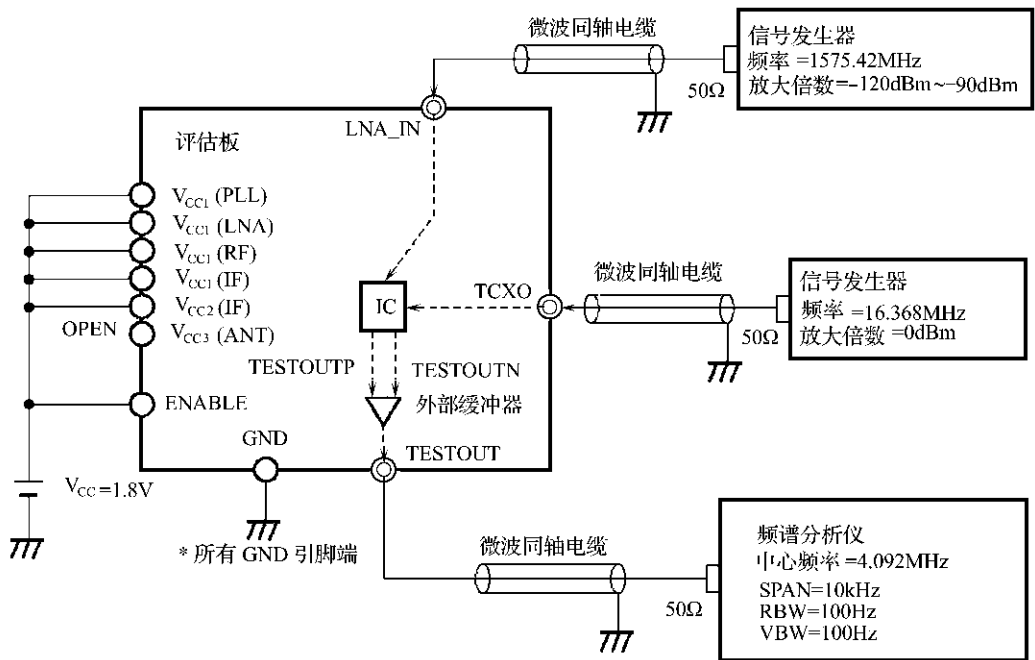


图 4-19 输入 1dB 压缩点测量方法

38)和 TESTOUTN(引脚 39)。

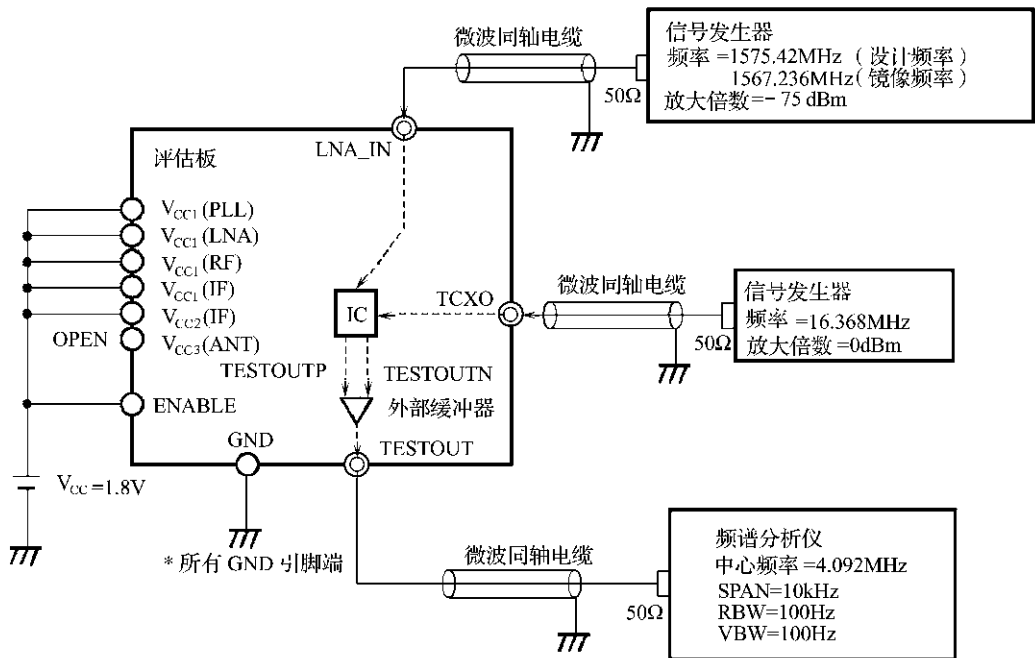


图 4-20 镜像抑制比测量方法

6. 滤波器响应测量(Filter Response)

滤波器响应测量方法如图 4-21 所示。输入端是 LNA_IN,输出端是 TESTOUTP (引脚

38)和 TESTOUTN (引脚 39)。

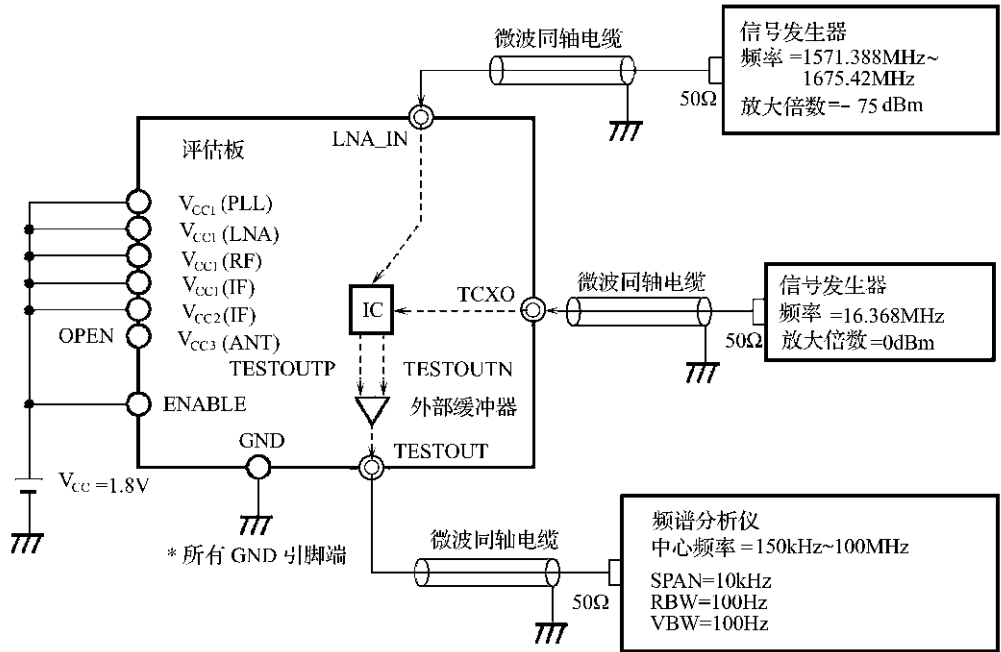


图 4-21 滤波器响应测量方法

7. C/N 测量

C/N 测量方法如图 4-22 所示。输入端是 LNA_IN, 输出端是 TESTOUTP(引脚 38)和

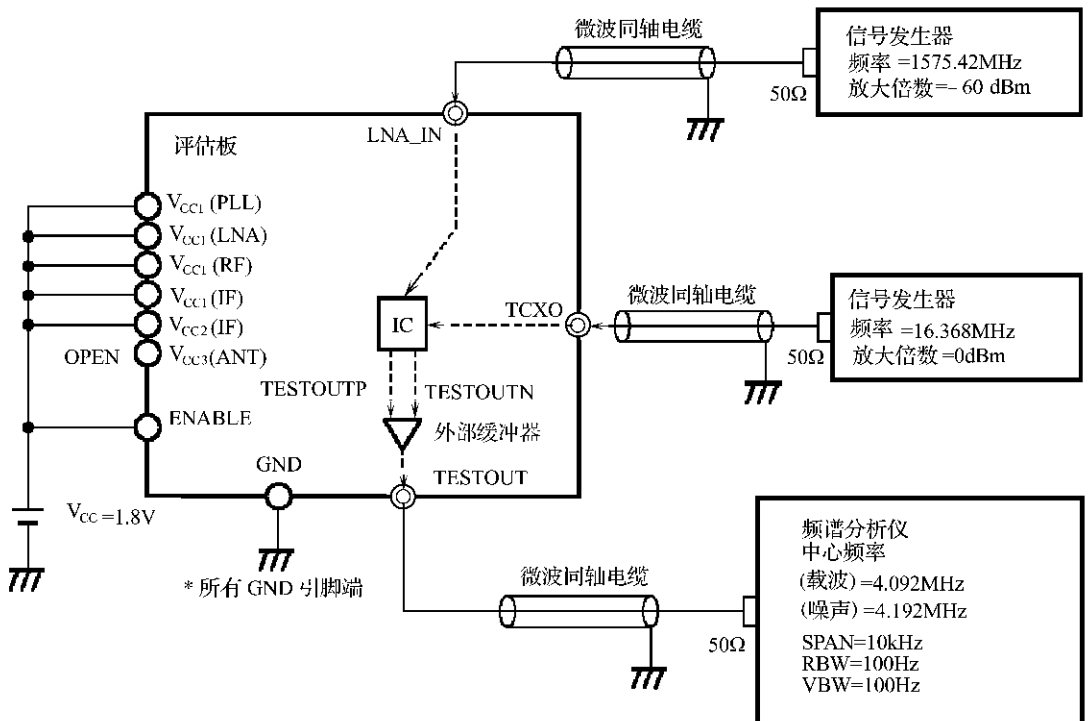


图 4-22 C/N 测量方法

TESTOUTN (引脚 39)。

8. 乱真测量方法 (Spurious)

寄生测量方法如图 4-23 所示。输入端是 LNA_IN, 输出端是 TESTOUTP(引脚 38)和 TESTOUTN(引脚 39)。

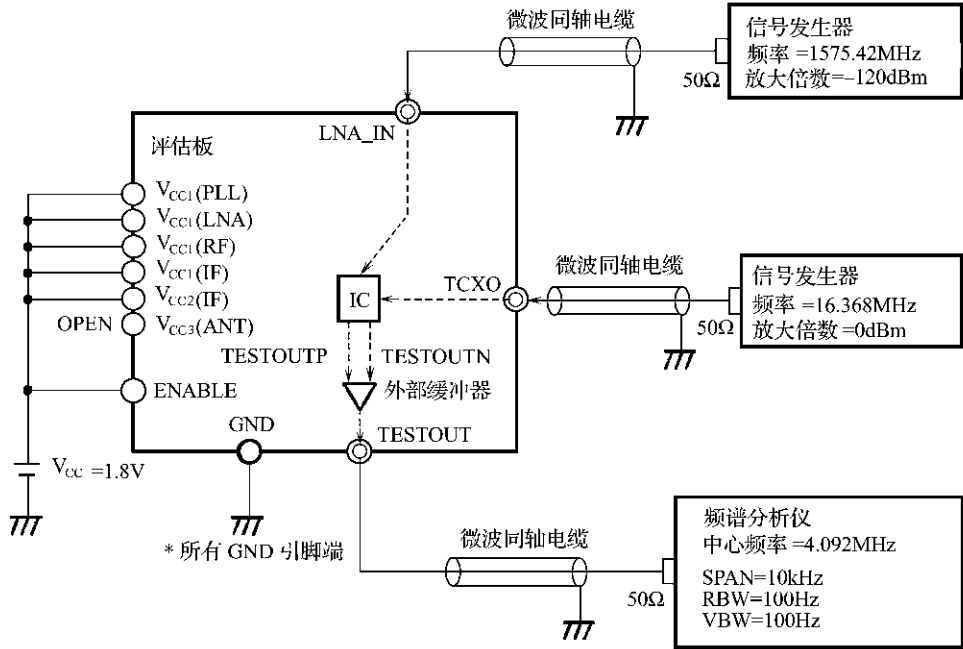


图 4-23 乱真测量方法

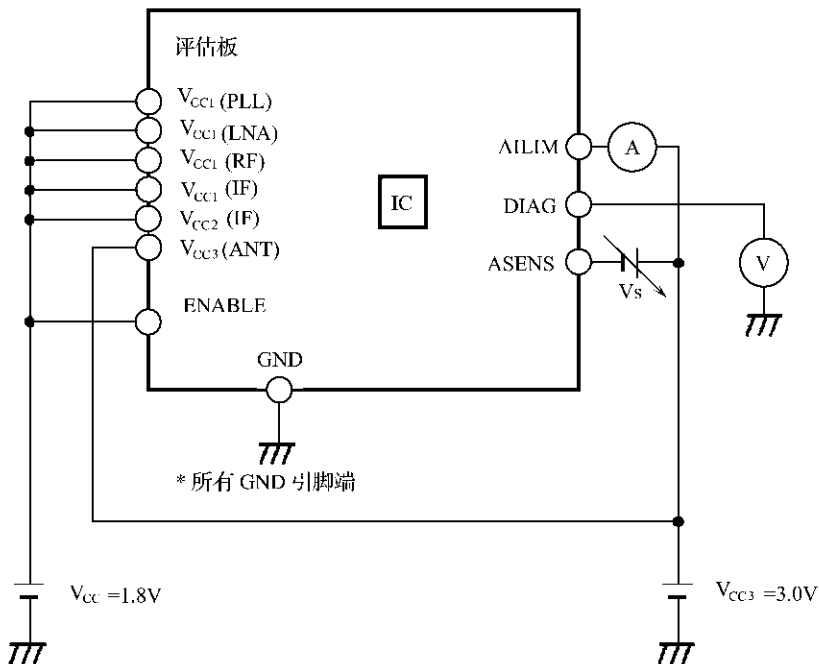


图 4-24 天线检测测量方法

9. 天线检测 (Antenna Sense)

天线检测测量方法如图 4-24 所示。改变 V_s 测量 DIAG 引脚电压。改变 V_s 测量流入到 AILIM 的电流。

4.2.5 CXA3355ER 电路应用

CXA3355ER 的应用电路如图 4-25 所示。

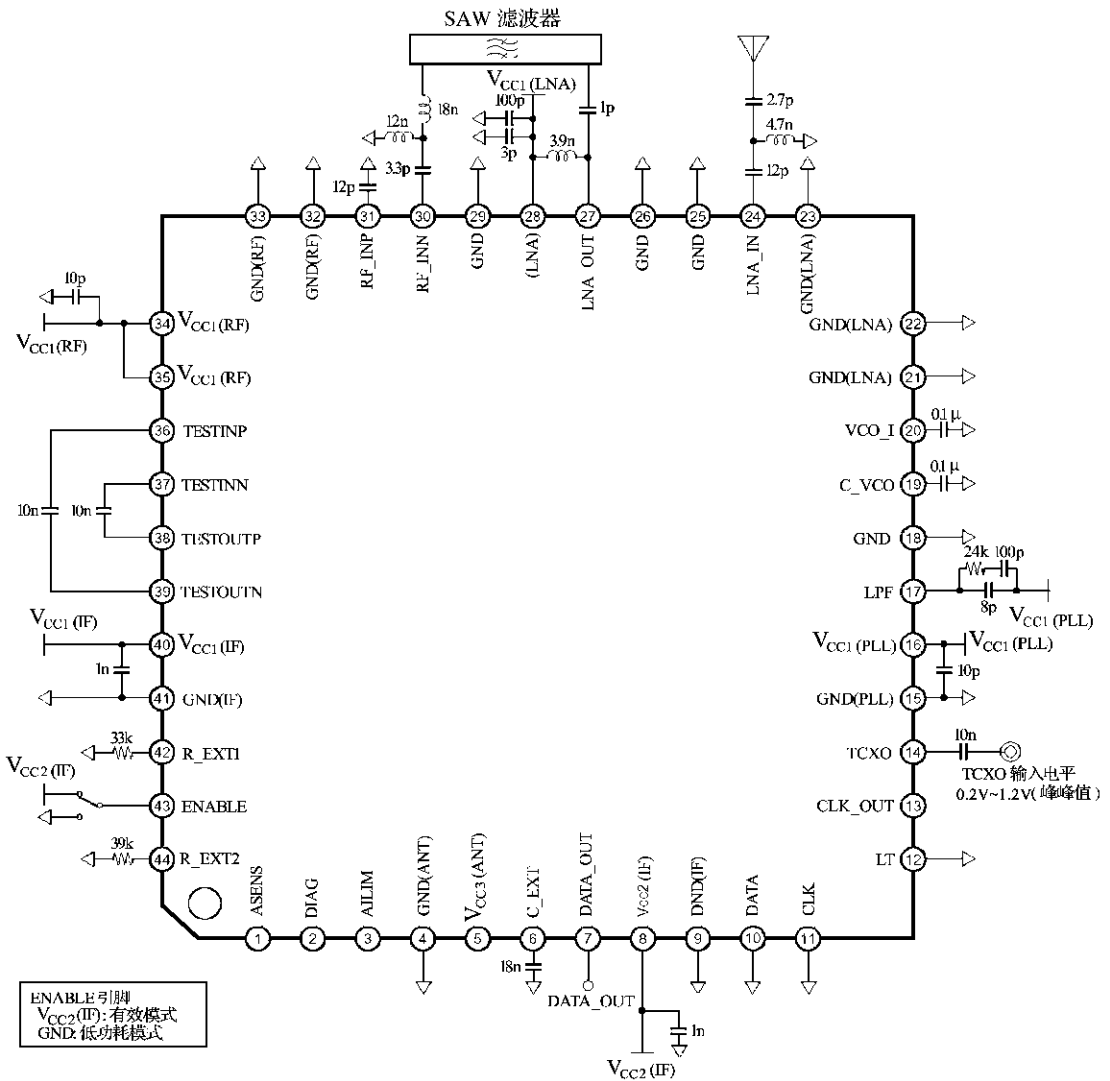


图 4-25 CXA3355ER 应用电路

1. 低噪声放大器 (LNA)

天线接收的 GPS 信号通过匹配电路输入到引脚 24。输入信号被 LNA 放大后,从引脚 27 输出。引脚 27 输出连接到匹配电路,匹配电路频率为 1.57542GHz,如图 4-25 和图 4-26 所示。

2. 射频放大器、射频混频器、IF 移相器和加法器 (RF Amplifier, RF Mixer, IF Phase Shift and Adder)

被 LNA 放大的信号,通过 SAW 滤波器,经过匹配电路输入到引脚 30,引脚 30 匹配电路频率为

1.57542GHz。输入信号被射频放大器放大后,由射频混频器下变频为(1.023MHz)或者 $4f_0$ (4.092MHz)的 I 和 Q 信号。利用移相器和加法器消除镜像成分后,输出到 IF 滤波器,如图 4-26 所示。

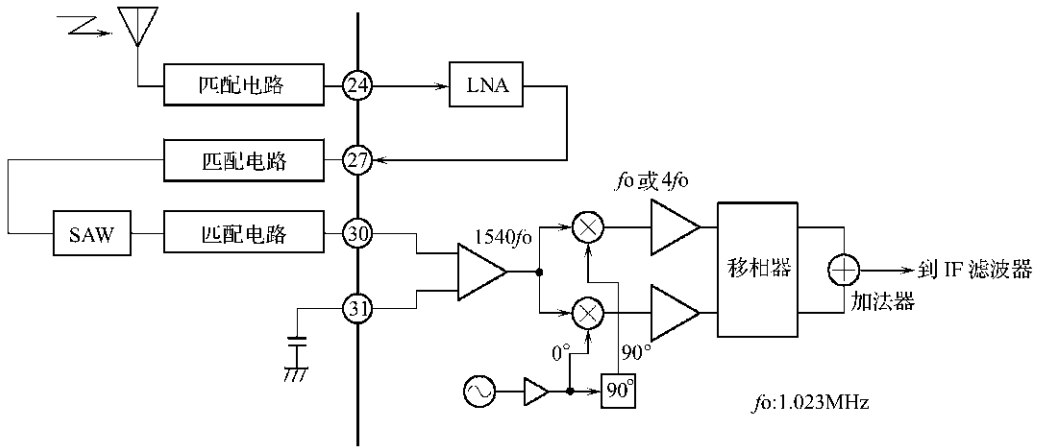


图 4-26 射频部分电路

3. IF 滤波器 (IF Filter)

通过加法器输出的 IF 信号,利用滤波器消除频带外的不需要的成分。

在 f_0 模式,信号仅通过 LPF 输入到 IF AMP2。在 $4f_0$ 模式,信号通过 LPF 和 HPF 后,输入到 IF AMP2,如图 4-27 所示。 f_0 和 $4f_0$ 模式利用串行数据设置转换。设置寄存器 FIL 位为“0”时,选择 f_0 模式;设置寄存器 FIL 位为“1”时,选择 $4f_0$ 模式。

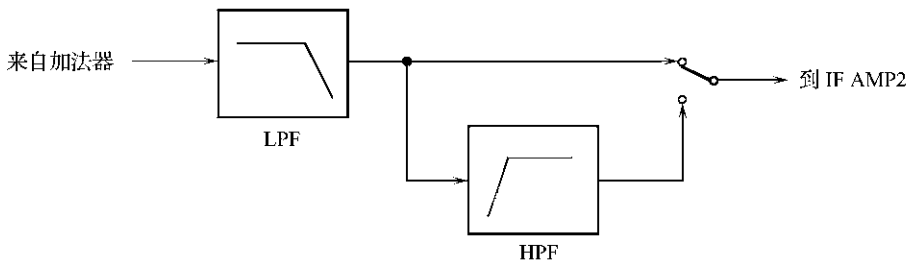


图 4-27 内部 IF 滤波器选择

另外在 $4f_0$ 模式,在引脚 36~39 可以连接一个外部的滤波器,如图 4-28 和图 4-29 所示。外部滤波器参数如表 4-10 所列。滤波器特性如图 4-30 所示。滤波器的输入输出阻抗为 200Ω 。注意,由于偏置在芯片内部已被设置,引脚 36 (TESTINP) 和 37 (TESTINN) 不能够直接与引脚 38 (TESTOUTP) 和 39 (TESTOUTN) 连接。当不使用外部滤波器时,使用一个大约 10nF 的电容消除直流成分。

表 4-10 外部滤波器参数

元件	参数	元件	参数
C1	91pF	C8, C9, C12, C13	680pF
C2, C3	300pF	C10, C11	1500pF
C4	240pF	L1, L2	2.2 μ H

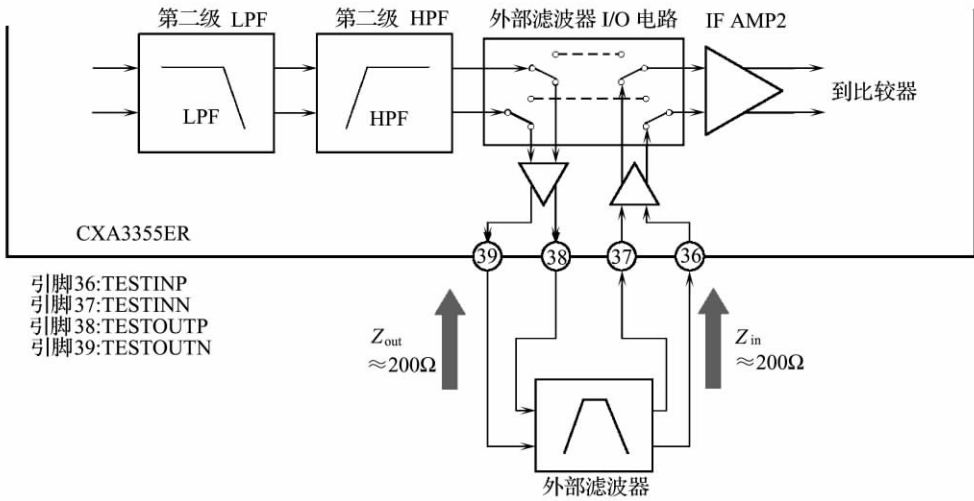


图 4-28 外部滤波器连接示意图

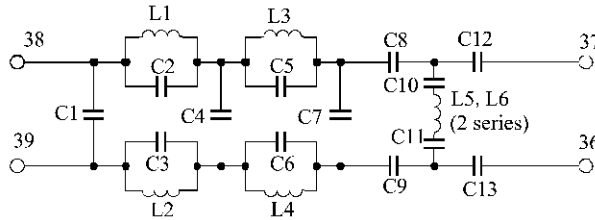


图 4-29 外部滤波器电路

C5, C6	91pF	L3, L4	3.9μH
C7	130pF	L5, L6	4.7μH

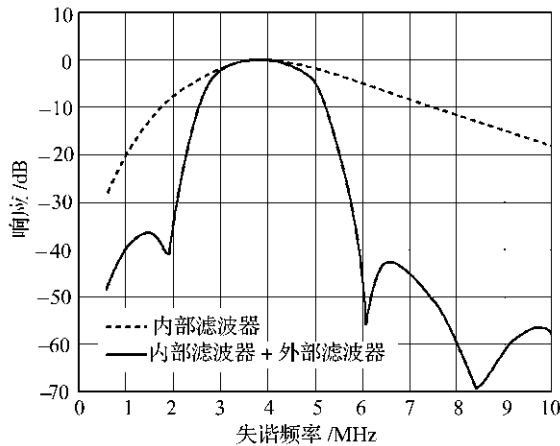


图 4-30 滤波器响应

4. IF 放大器 2 和 A/D 转换器 (IF AMP2 and A/D Converter)

信号通过 IF 滤波器后,被 IF 放大器 2 放大,利用 A/D 转换器转换成二进制信号,通过引脚 7(DATA)输出。A/D 转换器在 TCXO CLK 的控制下完成采样。A/D 转换器输出高电平电压是 V_{CC2} (1.6V~3.3V),可以支持大多数的接口。

5. 温度补偿晶体振荡器(TCXO, 引脚 14)

来自外部振荡器的信号通过一个电容输入到引脚 14, 作为基准信号。输入频率范围从 10MHz~26MHz。来自外部振荡器的输入信号电平是 1.2V(峰峰值)或者更小, 典型值是 0.6V(峰峰值), 最小值是 0.2V(峰峰值)。推荐使用 0.6V(峰峰值)。

6. 温度补偿晶体振荡器时钟输出(TCXO CLK Output, 引脚 13)

CXA3355ER 芯片可以根据串行数据设置, 从引脚 13 输出 TCXO CLK。输出电压高电平是 V_{CC2} (1.6V~3.3V)。当不使用 TCXO CLK 时, 利用串行数据设置寄存器位 CLK="0"; 当使用 TCXO CLK 时, 利用串行数据设置寄存器位 CLK="1"。

7. PLL/VCO

PLL 是由 VCO、分频器、相频比较器、电感、变容二极管等元器件组成, 如图 4-31 所示。需要连接外部回路滤波器。

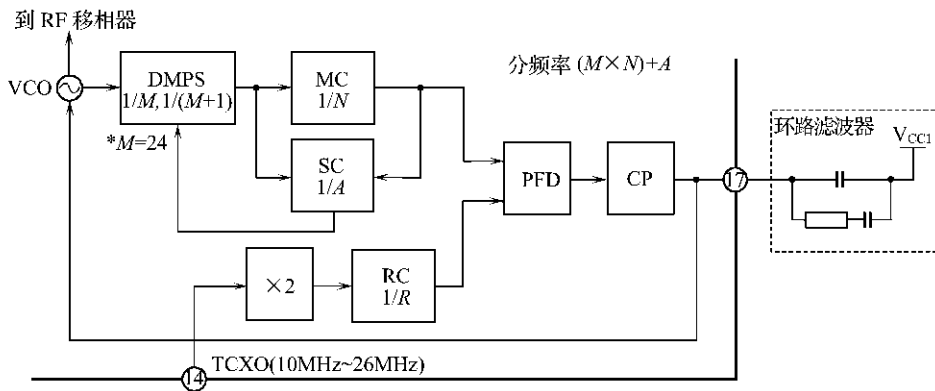


图 4-31 PLL 组成方框图

当使用串行数据设置时, 计数器分频率要求满足下面的等式:

$$f_{VCO} = (M \times N + A) \times (f_{TCXO} \times 2) \div R$$

$$(f_{TCXO} \times 2) \div R > 800 \text{ kHz}$$

$$N \geq 3, R \geq 3$$

式中, f_{VCO} = VCO 振荡频率; f_{TCXO} = TCXO 频率; MC 数据 = N; SC 数据 = A; RC 数据 = R; DMPS 数据 = M = 24(固定的)。

8. 使能控制(ENABLE, 引脚 43)

使能控制引脚(ENABLE, 引脚 43)控制 CXA3355ER 的工作模式, ENABLE 为高电平(高电平最小值为 1.2V), CXA3355ER 工作在有效模式; ENABLE 为低电平(低电平最大值为 0.2V), CXA3355ER 工作在低功耗模式。

9. 天线检测(Antenna Sense)

对于天线检测操作, 电源电压线在内部是分开的, 采用 V_{CC3} 单独供电, 电源电压为 3.0V ± 0.3V。当不使用天线检测操作时, 电源电压引脚 V_{CC3} 开路。天线检测功能检测天线的连接, 当天线没有连接时, 引脚 2(DIAG)输出高电平; 当天线连接时, 引脚 2(DIAG)输出低电平。一个电流限制电路用来防止短路。DIAG 引脚电压转换点如表 4-11 所列。天线检测电路方框

如图 4-32 所示。图中, $V_1 = 10 \text{ mV} \sim 60 \text{ mV}$, 为从开路状态到规定的负载连接被检测的阈值电

表 4-11 DIAG 引脚电压转换点

模 式	连接状态	DIAG 电压
$V_s < V1$	开路	高电平
$V1 < V_s < V$	正常连接	低电平
$V2 < V_s$	短路	高电平

压。 $V2 = 140\text{mV} \sim 200\text{mV}$,为从规定的负载连接状态到短路状态的阈值电压。 $V3 = 250\text{mV}$,为限流阈值电压。 $I_b = 1.7\text{mA} \sim 2.1\text{mA}$,为在正常连接状态的基极电流。

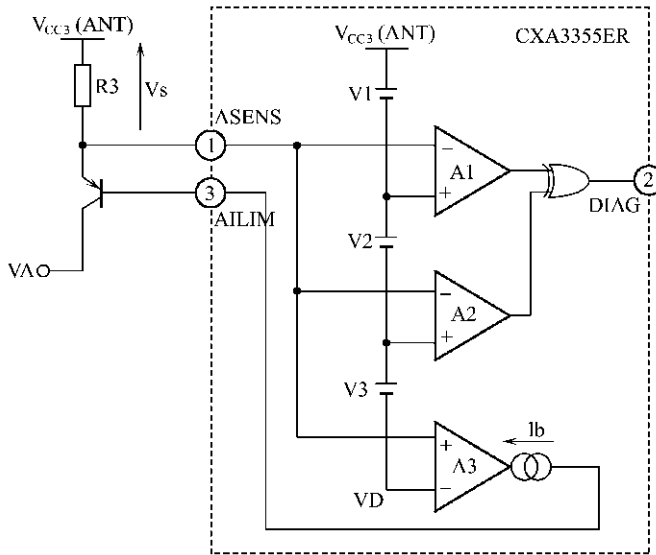


图 4-32 天线检测电路方框图

10. TCXO 频率和 IF 频率 (TCXO frequency and IF frequency) 选择

设置引脚 10(DATA)、引脚 11(CLK) 和引脚 12(LT) 状态,可以选择和确定 TCXO 频率和 IF 频率关系,如表 4-12 所列。

表 4-12 TCXO 频率和 IF 频率关系

引脚 10(DATA)	引脚 11(CLK)	引脚 12(LT)	TCXO 频率/MHz	IF 频率/MHz
GND	GND	GND	16.368	4.092
Vcc2	GND	GND	18.414	1.023
Vcc2	Vcc2	GND	13	0.976

11. 串行数据设置 (Serial Data Settings)

CXA3355ER 可以通过 3 线式总线设置 PLL 计数器,TCXO_CLK 时钟输出,选择内部 IF 滤波器和使用测试 I/O 电路。3 线式总线的串行数据长度是 18bit(位),各位的定义如表 4-13 所列。串行数据设置测试输入选择如表 4-14 所列,串行数据设置测试输出选择如表 4-15 所列。串行数据形式如图 4-33 所示。串行数据接口总线时序图如图 4-34 所示。

MSB 表 4-13 串行数据各位的定义 LSB

A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
----	----	-----	-----	-----	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

0	0	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0	0	0	0	CLK	0
0	1	SC4	SC3	SC2	SC1	SC0	RC8	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	0	TCL
1	0	TI2	TI1	TI0	TO2	TO1	TO0	0	0	0	0	0	0	0	0	FIL	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

在表 4-13 中, A1 和 A0 位是地址位, 可以形成 4 个地址。

MC(0~10): 主计数器分频率数值设置。

SC(0~4): 吞咽计数器分频率数值设置。

RC(0~8): 基准计数器。

CLK: TCXO CLK 时钟输出(0=没有输出; 1=有输出)。

FIL: 内部滤波器选择(0= f_o , 模式 LPF, 1= $4f_o$ 模式 BPF)。

TCL: IF 功能模块测试 I/O 控制(0=不使用测试 I/O 电路, 1=使用测试 I/O 电路)。

TI(0~2): IF 功能模块测试输入位置设置。

TO(0~2): IF 功能模块测试输出位置设置, 0=输入逻辑低电平电压; 1=输入逻辑高电平电压。

表 4-14 串行数据设置测试输入选择

TI2	TI1	TI0	测试输入功能模块
0	0	0	正常操作
0	0	1	I 通道 IF 放大器 1 输入功能模块
0	1	0	Q 通道 IF 放大器 1 输入功能模块
0	1	1	没有使用
1	0	0	没有使用
1	0	1	IF 滤波器输入功能模块
1	1	0	IF 放大器 2 输入功能模块
1	1	1	A/D 转换器输入功能模块

表 4-15 串行数据设置测试输出选择

TO2	TO1	TO0	测试输出功能模块
0	0	0	正常操作
0	0	1	I 通道混频器输出功能模块
0	1	0	Q 通道混频器输出功能模块
0	1	1	没有使用
1	0	0	没有使用
1	0	1	加法器输出功能模块
1	1	0	IF 滤波器输出功能模块
1	1	1	IF 放大器 2 输出功能模块

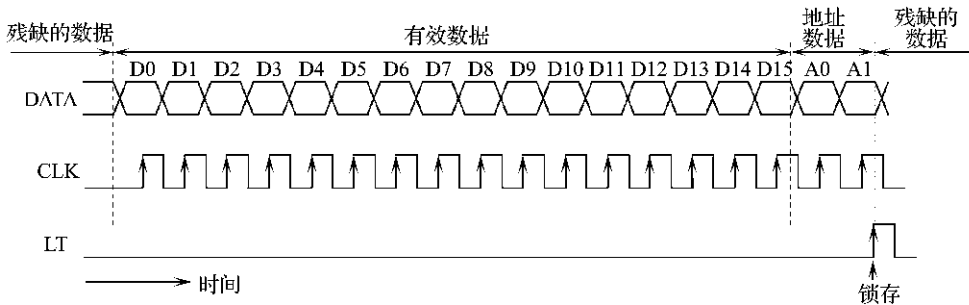


图 4-33 串行数据形式

4.2.6 CXA3355ER 封装尺寸

CXA3355ER 采用 VQFN-44 封装, 封装尺寸如图 4-35 所示, 尺寸单位: mm。

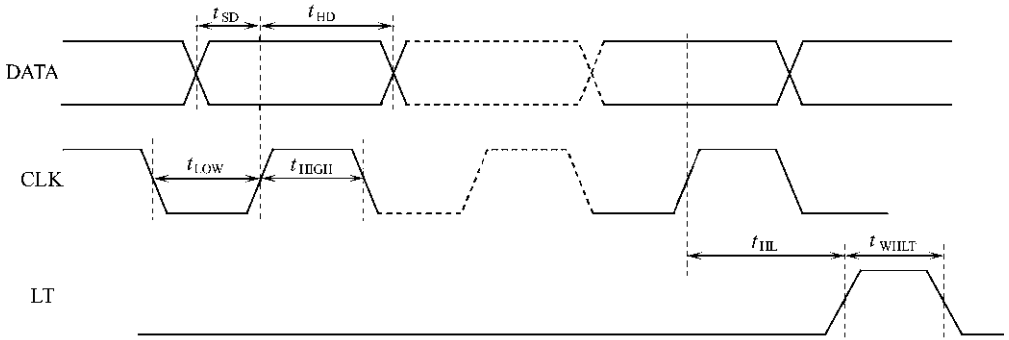


图 4-34 串行数据总线接口时序图

t_{SD} —数据建立时间; t_{HD} —数据保持时间; t_{LOW} —时钟 CLK 低电平时间;
 t_{HIGH} —时钟 CLK 高电平时间; t_{SL} —LT 建立时间; t_{WILT} —LT 脉冲信号高电平宽度。

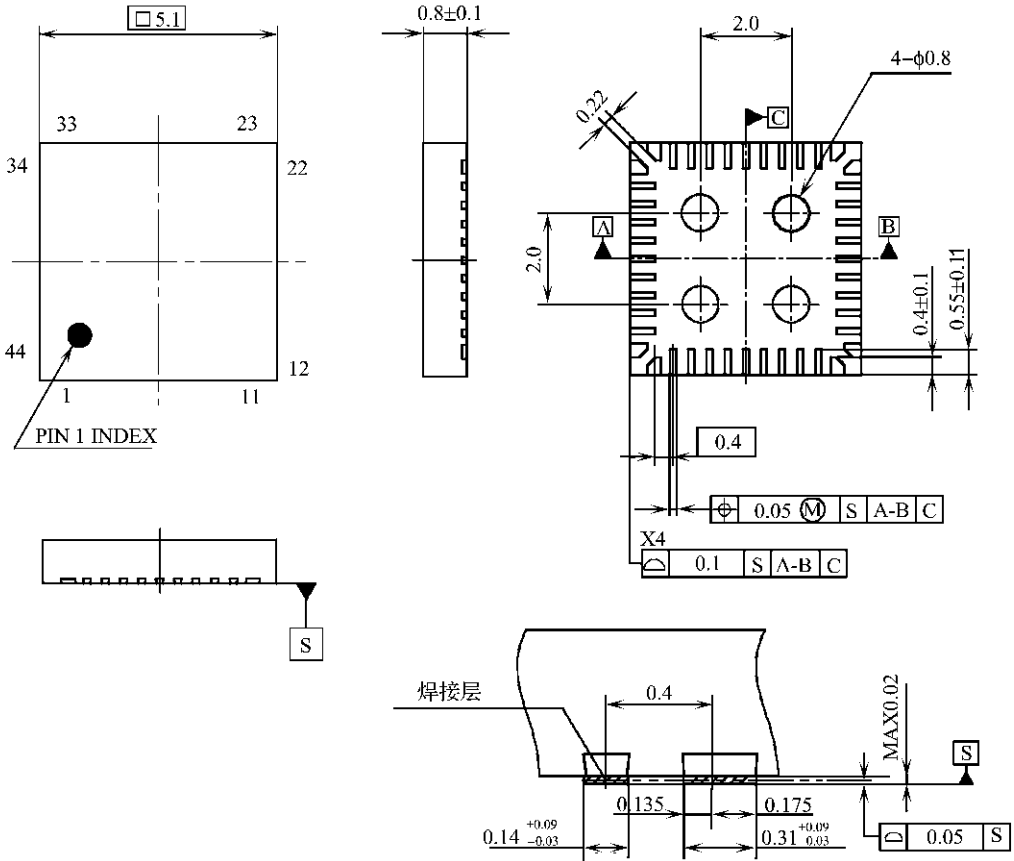


图 4-35 CXA3355ER 封装尺寸(单位:mm)

4.3 基于 MAX2680/MAX2681/MAX2682 的 GPS 接收机下变频器电路

4.3.1 MAX2680/MAX2681/MAX2682 简介

MAX2680/MAX2681/MAX2682 是一个微型的、低价格的下变频器,适合低电压、便携式通信设备使用,可在 400MHz/900MHz/2.4GHz ISM 频段无线电设备、PCS、蜂窝和无绳电话、WLL、IEEE-802.11 和无线数据传输、GPS 接收机等应用。

MAX2680/MAX2681/MAX2682 的射频输入通道信号与本机振荡器通道信号利用双平衡混频器进行混频。射频输入信号频率范围为 400MHz~2500MHz,中频频率范围为 10MHz~500MHz。具有低的噪声系数,如 MAX2680 在 900MHz 时为 6.3dB。高输入 3 阶截点如:在 2450MHz IIP3, MAX2680 为 -6.9dBm (5.0mA), MAX2681 为 +1.0dBm (8.7mA), MAX2682 为 +3.2dBm (15.0mA)。

MAX2680/MAX2681/MAX2682 使用单电源电压工作,电压范围为 +2.7V~+5.5V,可以采用 3 个 NiCd 封装成 1 个 Lithium 电池供电。具有低功耗模式,电流消耗小于 0.1 μ A。采用 SOT23-6 封装。

4.3.2 MAX2680/MAX2681/MAX2682 主要性能指标

MAX2680/MAX2681/MAX2682 的主要性能指标如表 4-16~表 4-19 所列。

表 4-16 MAX2680/MAX2681/MAX2682 直流电气特性

($V_{CC} = +2.7V \sim +5.5V$, $\overline{SHDN} = +2V$, $T_A = T_{MIN} \sim T_{MAX}$, 典型值是在 $V_{CC} = +3V$ 和 $T_A = +25^\circ C$ 状态)

参数	符号	条件	最小值	典型值	最大值	单位
工作电源电流	I_{CC}	MAX2682		15.0	21.8	mA
		MAX2681		8.7	12.7	
		MAX2680		5.0	7.7	
低功耗电源电流	I_{CC}	$\overline{SHDN} = 0.5V$		0.05	5	μA
低功耗控制输入高电平	V_{IH}		2.0			V
低功耗控制输入低电平	V_{IL}				0.5	V
低功耗输入偏置电流	$I_{\overline{SHDN}}$	$0 < \overline{SHDN} < V_{CC}$		0.2		μA

表 4-17 MAX2680 交流电气特性

(MAX2680 EV Kit, $V_{CC} = \overline{SHDN} = +3.0V$, $T_A = +25^\circ C$, R_{FIN} 和 $IFOUT$ 匹配到 50Ω , $P_{LO} = -5dBm$, $P_{RFIN} = -25dBm$)

参数	条件	最小值	典型值	最大值	单位
射频频率范围		400		2500	MHz
LO 频率范围		400		2500	MHz
IF 频率范围		10		50	MHz

转换功率增益	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		7.3		dB
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		11.6		
	$f_{RF}=1950\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz}$	5.7	7.6	8.6	
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		7.0		
增益随温度变化	$f_{RF}=1950\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz},$ $T_A=T_{MIN}\sim T_{MAX}$		1.9	2.4	dB
输入 3 阶截点	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		-12.9		dBm
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		-8.2		
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		-6.9		
噪声系数(单边带)	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		6.3		dB
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		8.3		
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		11.7		
LO 输入 VSWR	50 Ω 源阻抗		1.5 : 1		
LO 在 IFOUT 通道上的泄漏	$f_{LO}=1880\text{MHz}$		-22		dBm
LO 在 RFIN 通道上的泄漏	$f_{LO}=1880\text{MHz}$		-26		dBm
IF/2 寄生响应	$f_{RF}=1915\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz}$		-51		dBm

表 4-18 MAX2681 交流电气特性

(MAX2681EV Kit, $V_{CC}=\overline{\text{SHDN}}=+3.0\text{V}, T_A=+25^\circ\text{C}, \text{RFIN}$ 和 IFOUT 匹配到 $50\Omega, P_{LO}=-5\text{dBm}, P_{\text{RFIN}}=-25\text{dBm}$)

参 数	条 件	最小值	典型值	最大值	单位
射频频率范围		400		2500	MHz
LO 频率范围		400		2500	MHz
IF 频率范围		10		50	MHz
转换功率增益	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		11.0		dB
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		14.2		
	$f_{RF}=1950\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz}$	6.7	8.4	9.4	
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		7.7		
增益随温度变化	$f_{RF}=1950\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz},$ $T_A=T_{MIN}\sim T_{MAX}$		1.7	2.3	dB
输入 3 阶截点	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		-6.1		dBm
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		+0.5		
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		+1.0		
噪声系数(单边带)	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		7.0		dB
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		11.1		
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		12.7		
LO 输入 VSWR	50 Ω 源阻抗		1.5 : 1		
LO 在 IFOUT 通道上的泄漏	$f_{LO}=1880\text{MHz}$		-23		dBm

LO 在 RFIN 通道上的泄漏	$f_{LO}=1880\text{MHz}$		-27		dBm
IF/2 寄生响应	$f_{RF}=1915\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz}$		-65		dBm

表 4-19 MAX2682 交流电气特性

(MAX2682 EV Kit, $V_{CC}=\overline{\text{SHDN}}=+3.0\text{V}$, $T_A=+25^\circ\text{C}$, RFIN 和 IFOUT 匹配到 50Ω , $P_{LO}=-5\text{dBm}$, $P_{RFIN}=-25\text{dBm}$)

参数	条件	最小值	典型值	最大值	单位
射频频率范围		400		2500	MHz
LO 频率范围		400		2500	MHz
IF 频率范围		10		50	MHz
转换功率增益	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		13.4		dB
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		14.7		
	$f_{RF}=1950\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz}$	8.7	10.4	11.7	
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		7.0		
增益随温度变化	$f_{RF}=1950\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz}$, $T_A=T_{\text{MIN}}\sim T_{\text{MAX}}$		2.1	2.2	dB

(续)

参数	条件	最小值	典型值	最大值	单位
输入 3 阶截点	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		-1.8		dBm
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		+4.4		
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		+3.2		
噪声系数(单边带)	$f_{RF}=400\text{MHz}, f_{LO}=445\text{MHz}, f_{IF}=45\text{MHz}$		6.5		dB
	$f_{RF}=900\text{MHz}, f_{LO}=970\text{MHz}, f_{IF}=70\text{MHz}$		10.2		
	$f_{RF}=2450\text{MHz}, f_{LO}=2210\text{MHz}, f_{IF}=240\text{MHz}$		13.4		
LO 输入 VSWR	50Ω 源阻抗		1.5 : 1		
LO 在 IFOUT 通道上的泄漏	$f_{LO}=1880\text{MHz}$		-23		dBm
LO 在 RFIN 通道上的泄漏	$f_{LO}=1880\text{MHz}$		-27		dBm
IF/2 寄生响应	$f_{RF}=1915\text{MHz}, f_{LO}=1880\text{MHz}, f_{IF}=70\text{MHz}$		-61		dBm

4.3.3 MAX2680/MAX2681/MAX2682 引脚功能

MAX2680/MAX2681/MAX2682 引脚封装形式如图 4-36 所示,引脚功能如表 4-20 所列。

表 4-20 MAX2680/MAX2681/MAX2682 引脚功能

引脚	符号	功能
1	LO	本机振荡器输入。加一个幅度为 $-10\text{dBm}\sim 0$ (50Ω 源)的本机振荡器信号到这个引脚,振荡器与这个引脚之间需要隔直电容(交流耦合)。典型直流电压是 $V_{CC}-0.4\text{V}$
2	GND	混频器地。采用低自感系数方式连接到接地板

Z1	86nH	270pF	1.5pF	短路	68nH	270pF	1.5pF	短路	68nH	1.5pF	短路	短路
Z2	270pF	22nH	270pF	270pF	270pF	18nH	270pF	270pF	270pF	270pF	270pF	270pF
Z3	短路	短路	1.8nH	1.8nH	0.5pF	短路	1.8nH	2.2nH	0.5pF	10nH	2.2nH	1.2nH

3. 中频输出 (IF Output)

IF 输出频率范围为 10MHz~500MHz。IFOUT 引脚是高阻抗、集电极开路输出形式,需要一个外部电感连接到 V_{CC} 。为获得最佳的性能,在 IF 通道需要匹配网络。IF 通道阻抗和匹配网络元件参数如表 4-23 和表 4-24 所列。表 4-24 中的 L1、C2、R1 参见图 4-37 所示。

表 4-23 IFOUT 通道阻抗

PART	频率		
	45MHz	70MHz	240MHz
MAX2680	960-j372	803-j785	186-j397
MAX2681	934-j373	746-j526	161-j375
MAX2682	670-j216	578-j299	175-j296

表 4-24 IF 输出阻抗匹配网络元件参数

匹配元件	频率		
	45MHz	70MHz	240MHz
L1	390nH	330nH	82nH
C2	39pF	15pF	3pF
R1	250Ω	Open	Open

4. 电源电压和SHDN旁路 (Power-Supply and SHDN Bypassing)

电源电压引脚需要连接一个 $10\mu\text{F}$ 和 1000pF (并联)的电容到接地板,旁路电容以最小的引线长度连接到接地板,以减少电感的影响。 $\overline{\text{SHDN}}$ 引脚需要使用一个串联电阻(典型值 100Ω)到电源,和使用一个 1000pF 的退耦电容到地,以减少高频信号耦合到 $\overline{\text{SHDN}}$ 引脚。

5. 典型应用电路

MAX2680/MAX2681/MAX2682 典型应用电路如图 4-37 所示。元件参数选择如上所述。

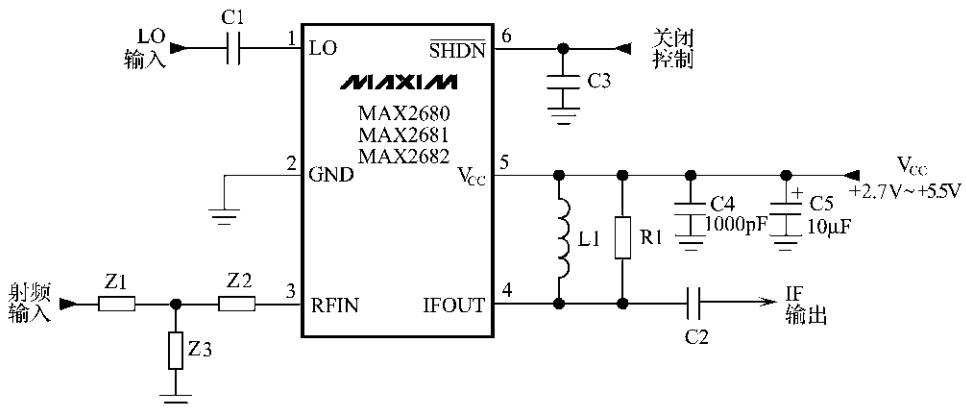


图 4-37 MAX2680/MAX2681/MAX2682 典型应用电路

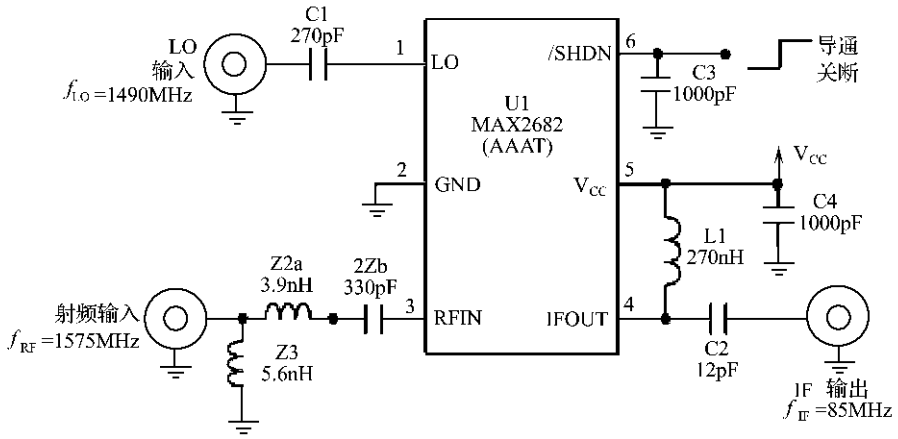
6. 使用 MAX2682 的 GPS 接收机下变频器电路

使用 MAX2682 的 GPS 接收机下变频器电路如图 4-38 所示,电路性能指标如表 4-25 所列。

表 4-25 使用 MAX2682 的 GPS 接收机下变频器电路性能

($V_{CC} = +3.0\text{V}$, $f_{RF1} = 1575\text{MHz}$, $f_{RF2} = 1576\text{MHz}$, $f_{LO} = 1490\text{MHz}$, $P_{LO} = -5\text{dBm}$, $f_{IF} = 85\text{MHz}$)

参数	性能指标	参数	性能指标
----	------	----	------



输入匹配元件

Z2a, 3.9nH LQG10A3N9S00 Coilcraft
 Z2b, 330pF GRM36C0G331 J50 Murata
 Z3, 5.6nH LQG10A5N6S00 Coilcraft

输出匹配元件

C2, 12pF GRM36C0G120J50 Murata
 L1, 270nH 1008CS-271 Collcraft

图 4-38 使用 MAX2682 的 GPS 接收机下变频器电路

转换增益	+12.0dB	射频输入回波损耗	-35dB
噪声系数	9.2dB	IF 输出回波损耗	-23dB
输入 3 阶截点	+1.8dBm	电源电流	14.7mA

4.3.5 MAX2680/MAX2681/MAX2682 封装尺寸

MAX2680/MAX2681/MAX2682 采用 SOT23-6 封装, 封装尺寸如图 4-39 所示。所有尺寸单位为 mm。

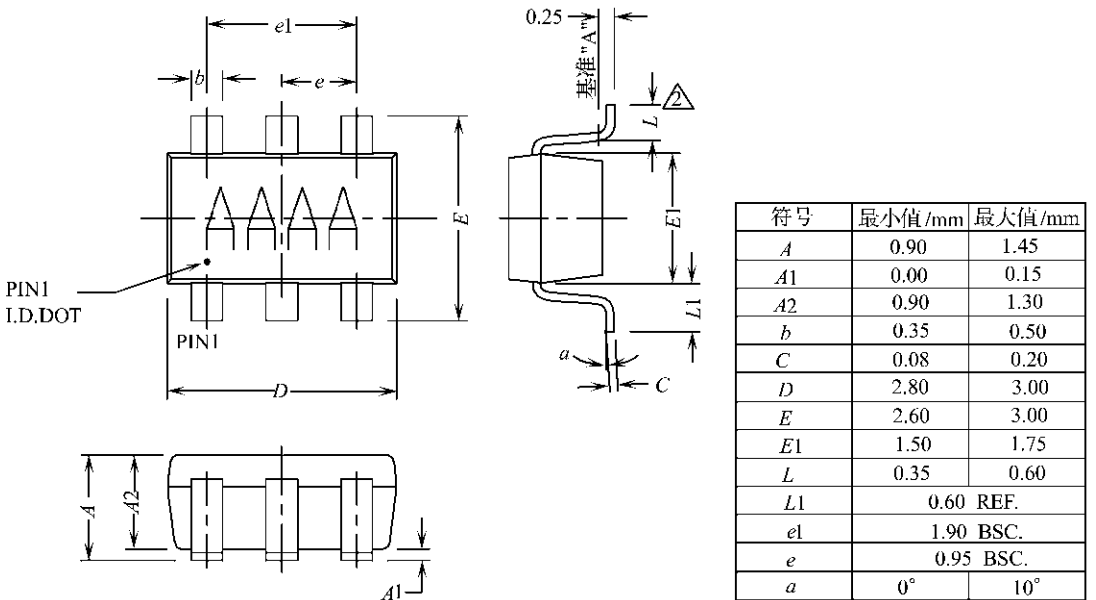


图 4-39 MAX2680/MAX2681/MAX2682 封装尺寸(单位: mm)

4.4 基于 MAX2740 的 GPS 接收机下变频器电路

4.4.1 MAX2740 简介

MAX2740 是一个完整的 GPS 接收机下变频器芯片,完成从天线输出到数字输入的信号处理。MAX2740 接收通道包含 LNA、2 级下变频器、可变增益放大器和固定增益放大器。芯片还包含有高性能的 VCO 和固定频率的合成器,提供芯片需要的所有 LO(本机)振荡频率,仅需要极少的外部元器件。适合 GPS/GLONASS 接收机使用。

MAX2740 具有大于 100dB 的接收增益和大于 50dB AGC 控制范围。利用 2 级下变换的超外差结构和外部的 SAW(Surface Acoustic Wave,声表面波)滤波器,可以获得高水平的镜像抑制和阻塞性能。

4.4.2 MAX2740 主要性能指标

MAX2740 的主要技术指标如表 4-26 所列。

表 4-26 MAX2740 的主要技术指标

参 数	最小值	典型值	最大值	单 位
电源电压	2.7		3.3	V
电源电流		55.1	84.4	mA

(续)

参 数	最小值	典型值	最大值	单 位
AGC 电压范围	0.5		2.5	V
AGC 电流	-50		+25	μ A
LNA 增益	13.1	16.0	17.2	dB
LNA 输入 3 阶截点			-9.4	dBm
RF 混频器转换增益		22.6		dB
RF 混频器输入 IP3			-22.4	dBm
IF 混频器转换增益		36.3		dB
可变增益放大器增益	-54.7		15.1	dB
固定增益放大器增益		39.8		dB
合成器 VCO 相位噪声		-91.5		dBc/Hz
外接 GLONASS 调谐器输出频率		90		MHz
PFD 摆动幅度		250		mV

4.4.3 MAX2740 芯片封装与引脚功能

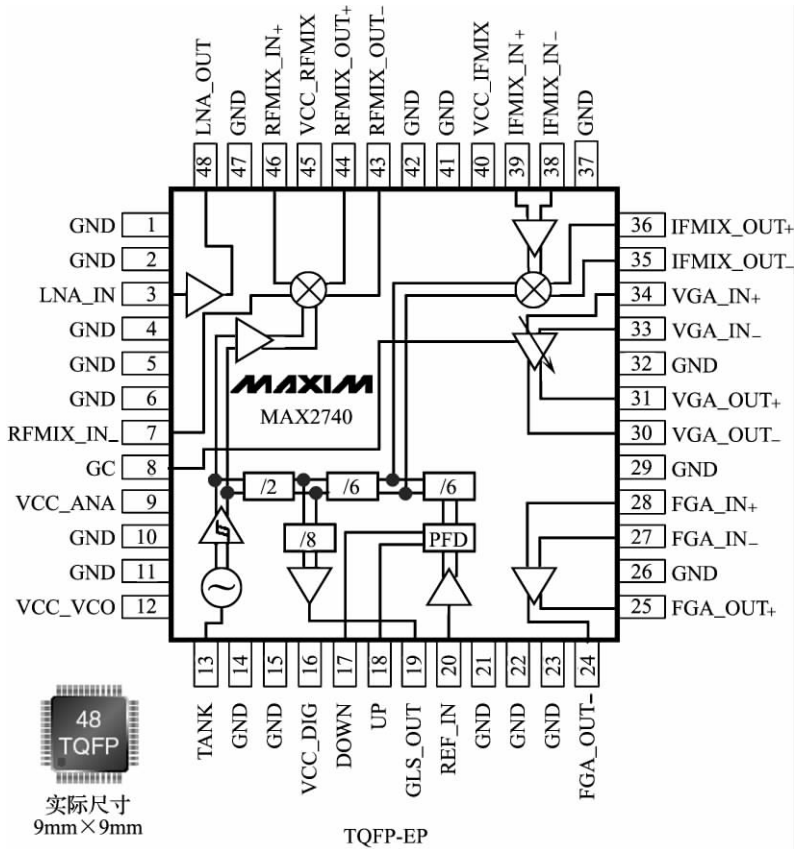


图 4-40 MAX2740 引脚封装形式

MAX2740 采用 TQFP-EP-48 封装, 引脚封装形式如图 4-40 所示, 引脚功能如表 4-27 所列。

表 4-27 MAX2740 引脚功能

引脚	符号	功 能
1,2,4,5,6,10,11,14,15,21,22,23,26,29,32,37,41,42,47	GND	地,连接到地
3	LNA_IN	LNA 电路输入。需要匹配网络和隔直电容
7	RFMIX_IN	RF 输入到 Gilbert cell 混频器,交流耦合,耦合电容为 100pF
8	GC	直流控制电压,设置 VGA 的增益,高输入阻抗,电压范围为 0.5V~2.5V
9	VCC_ANA	模拟电路电源电压,这个引脚连接一个 0.01μF 的电容到地
12	VCC_VCO	VCO 电路电源电压,这个引脚连接一个 1000pF 的电容到地
13	TANK VCO	连接 VCO 谐振回路
16	VCC_DIG	芯片数字电路电源电压,这个引脚连接一个 0.01μF 的电容到地
17	DOWN	相频检波器输出,VCO 的相位超前基准相位,输出为高电平
18	UP	相频检波器输出,VCO 的相位滞后基准相位,输出为高电平
19	GLS_OUT	90MHz 时钟输出,需要外接隔直电容
20	REF_IN	合成器基准输入
24	FGA_OUT-	FGA 反相输出,需要隔直电容

25	FGA_OUT+	FGA 同相输出,需要隔直电容
27	FGA_IN-	FGA 反相输入,需要隔直电容
28	FGA_IN+	FGA 同相输入,需要隔直电容
30	VGA_OUT-	VGA 反相输出,需要隔直电容
31	VGA_OUT+	VGA 同相输出,需要隔直电容
33	VGA_IN-	VGA 反相输入,需要隔直电容
34	VGA_IN+	VGA 同相输入,需要隔直电容
35	IFMIX_OUT-	IF 混频器反相输出,需要隔直电容
36	IFMIX_OUT+	IF 混频器同相输出,需要隔直电容
38	IFMIX_IN-	IF 混频器反相输入,需要隔直电容
39	IFMIX_IN+	IF 混频器同相输入,需要隔直电容
40	VCC_IFMIX	IF 下变换器电源电压,这个引脚连接一个 1000pF 的电容到地
43	RFMIX_OUT-	RF 混频器(下变换器)反相输出
44	RFMIX_OUT+	RF 混频器(下变换器)的发射极开路输出,需要外接 1.2k Ω 的下拉电阻,需要隔直电容
45	VCC_RFMIX	RF 混频器(下变换器)电源电压,这个引脚连接一个 100pF 的电容到地
46	RFMIX_IN	RF 混频器输入,需要隔直电容。可以利用匹配网络中的电容
48	LNA_OUT	LNA 输出,需要上拉电感和隔直电容,可以是匹配网络结构

4.4.4 MAX2740 内部结构与工作原理

MAX2740 内部结构如图 4-40 所示,芯片内部包含 LNA、2 级下变频器、可变增益放大器和固定增益放大器、VCO 和固定频率的合成器。MAX2740 内部采用两级变频结构:第 1 级下变频 RF 混频器将载波 1.57542GHz 的 GPS 输入信号下变频为 135.42MHz 的第 1 级中频信号;第 2 级下变频器 IF 混频器将第 1 级中频信号混频为第 2 级 15.42MHz 中频信号。RF 混频器输入端由外部提供匹配,50 Ω RF 声表面波滤波器用于抑制镜频信号,中频输出采用低输出阻抗的射极跟随器电路,便于直接驱动阻抗为 400 Ω 的 135MHz 中频 SAW。中频混频器在保证足够的 IIP3 和噪声系数要求的前提下,提供较高的转换增益,射极跟随器输出直接驱动外部由分立元件组成的高阻、差分、3 阶低通滤波器。IF 混频器输出信号被送入一个增益控制范围达 50dB 的 AGC 放大器,总的接收通道增益大于 100dB。采用两级下变频结构,第 1 中频 SAW 所提供的高选择性,可使系统获得优异的抗干扰能力。MAX2740 的输出信号为差分方式,使后续的数字电路具有很高的接收灵敏度和抑制带内干扰信号的能力。内置集成频率合成器从 20MHz 外部基准产生两级下变频所需要的本振信号 120MHz 和 1.44GHz。外接电感或陶瓷谐振器组成的 VCO 谐振回路,具有极低的相位噪声,使本振抖动降到最小。

4.4.5 MAX2740 电路应用

MAX2740 的典型应用电路如图 4-41 所示。由 MAX2740 构成的 GPS 射频前端电路如图 4-42 所示,MAX2740 构成的 GPS 射频前端电路元器件参数如表 4-28 所列,印制电路板如图 4-43 所示。印制板电路包括了天线接口、MAX2740、AGC 控制环路、频率合成器控制环路和适当的外部元件。外部元器件是用于镜频抑制和频道选择的滤波器、环路控制放大器、谐振

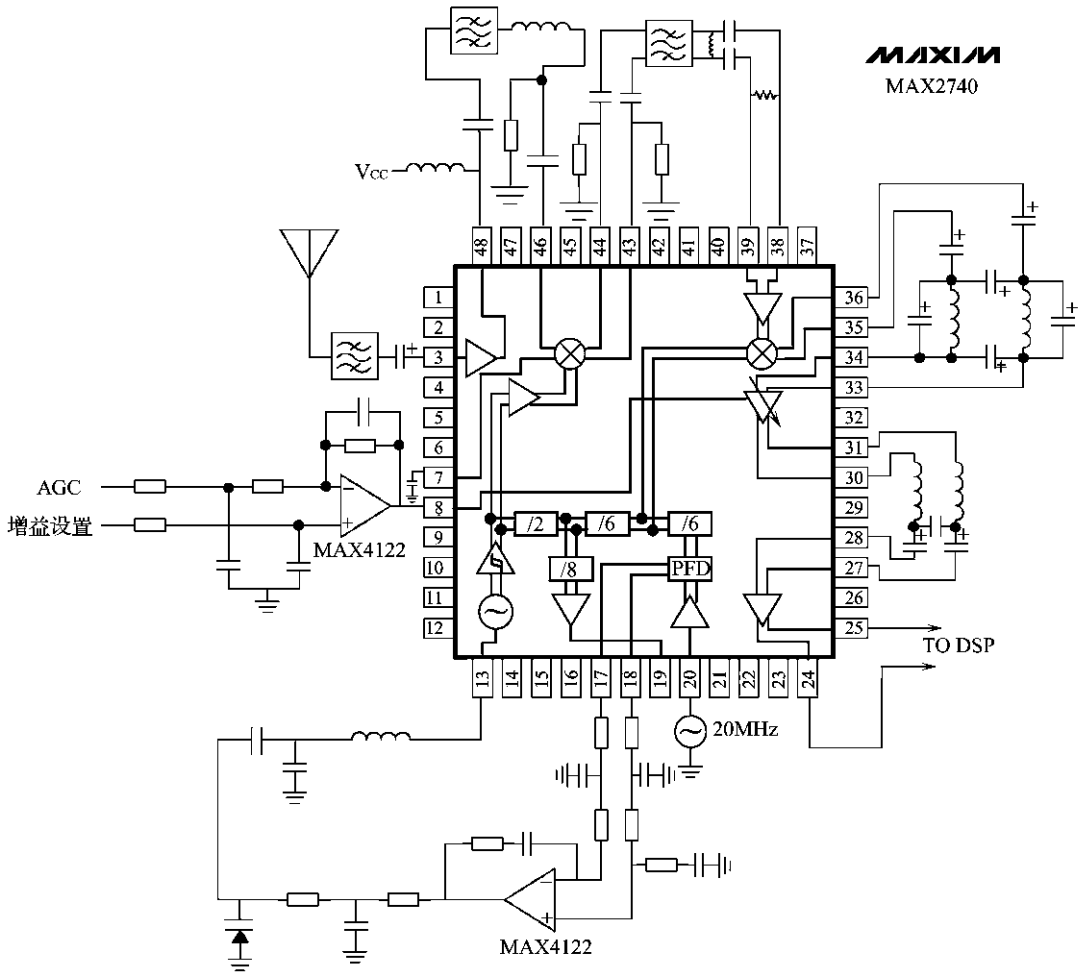
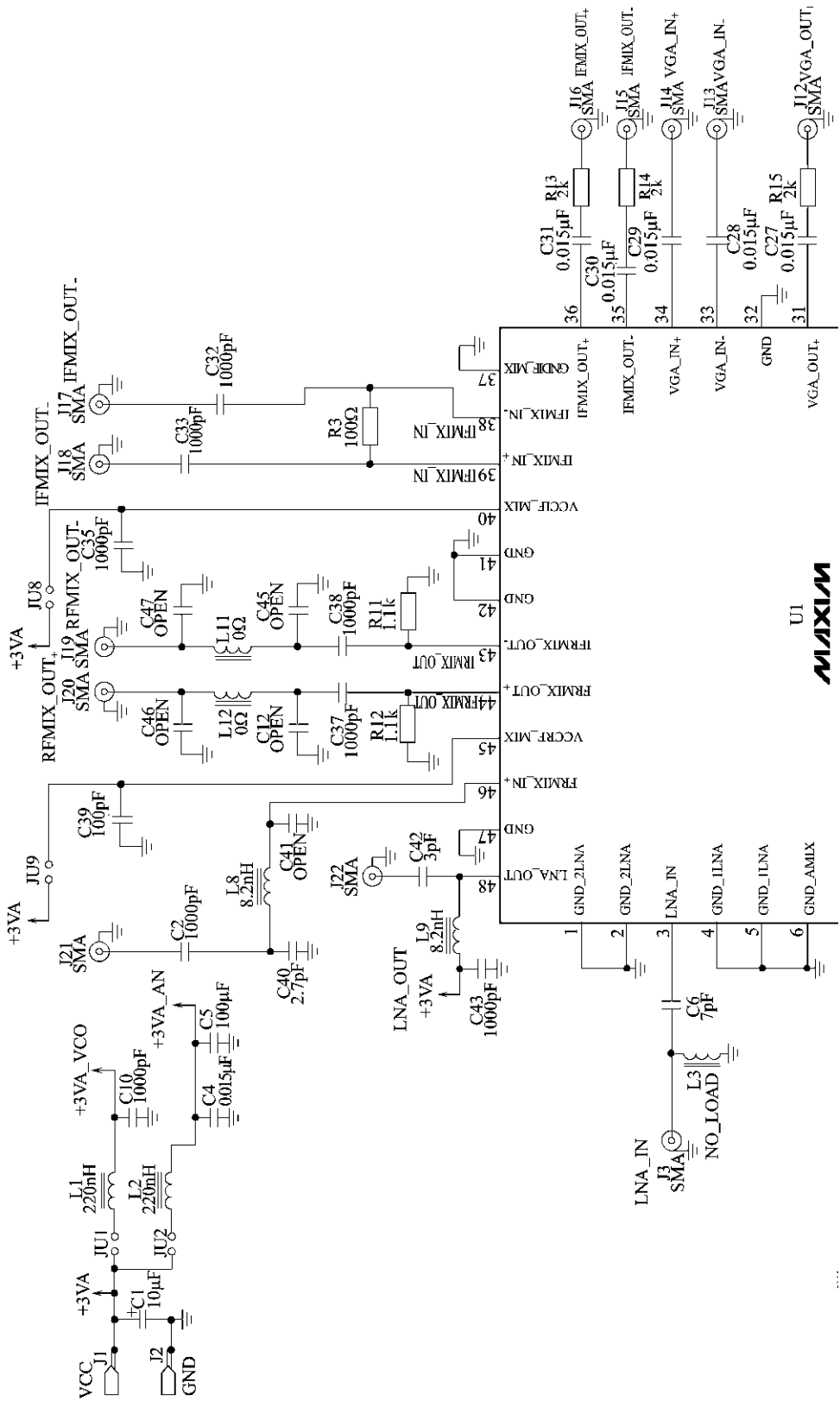


图 4-41 MAX2740 的典型应用电路

回路及 VCO 调谐回路。信号由天线进入片内 LNA 之前, 首先进行外部滤波以便抑制镜频干扰。低噪声放大器(LNA)的匹配电路, 在输入端采用一个串联电容, 在输出端采用一个连接至 V_{CC} 的并联电感和一个串联电容组成。LNA 具有 2.2dB(50Ω 源阻抗)的典型噪声系数, 能够提供足够的低噪声射频增益, 以弥补因声表面波 SAW 滤波器的高选择性所造成的严重信号损失, 确保不降低接收灵敏度。



...

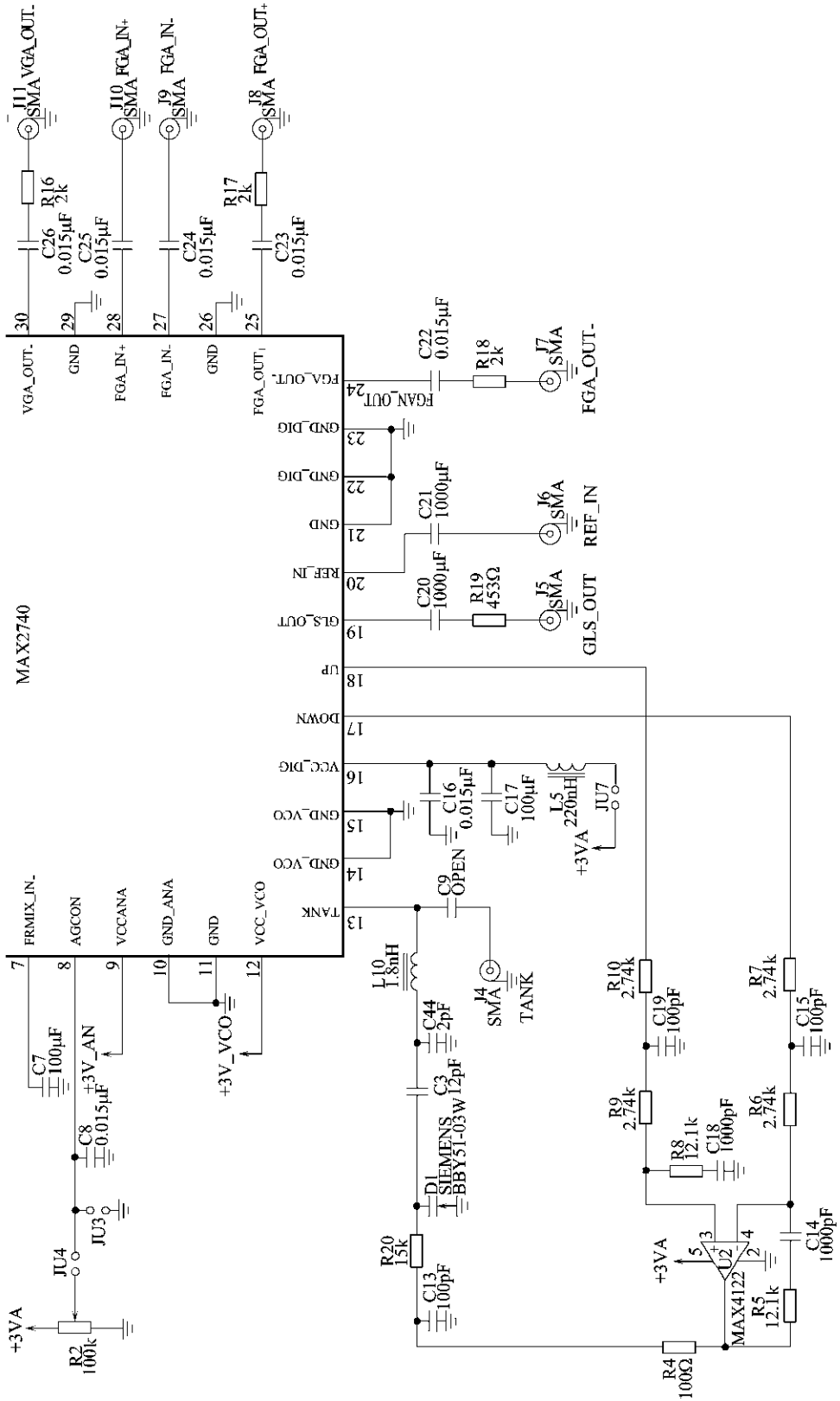
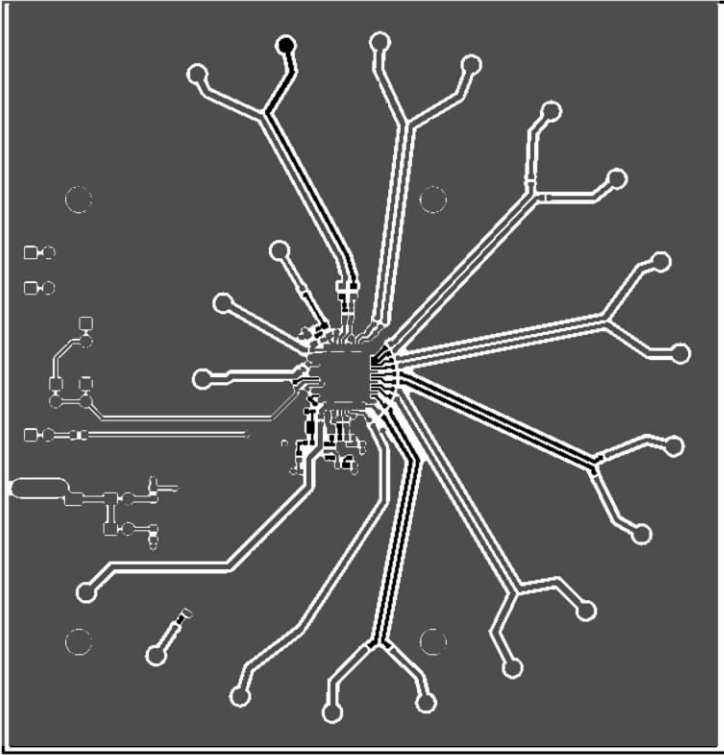


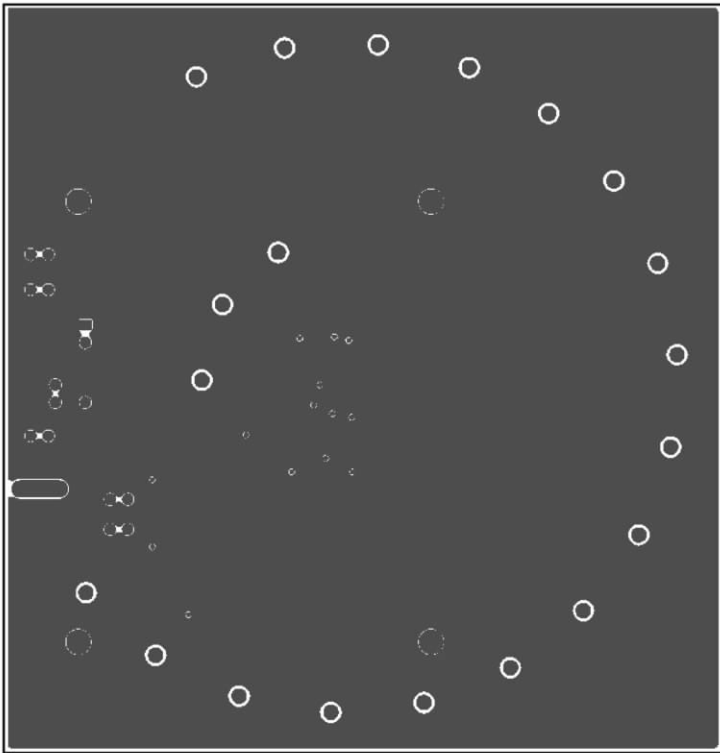
图 4-42 MAX2740 构成的 GPS 射频前端电路

表 4-28 MAX2740 构成的 GPS 射频前端电路元器件参数

符号	数量	型 号	符号	数量	型 号
C1	1	10 μ F \pm 10% 钽电容器 AVX TAJC106K016R	C40	1	2.7pF \pm 0.1pF 陶瓷电容器(0402) Murata GRM36COG2R7B050A
C2,C10,C14, C18,C20,C21, C32,C33,C35, C36,C37,C38, C43	12	1000pF \pm 10% 陶瓷电容器(0402) Murata GRM36 \times 7R102K050A	C42	1	3pF \pm 0.1pF 陶瓷电容器(0402) Murata GRM36COG030B050A
C3	1	12pF \pm 5% 陶瓷电容器(0402) Murata GRM36COG120J050A	C44	1	2pF \pm 0.1pF 陶瓷电容器(0402) Murata GRM36COG020B050A
C4,C8,C16, C22-C31,	13	0.015 μ F \pm 10% 陶瓷电容器(0402) Murata GRM \times 5R153K016A	D1	1	BBY 51-03W Siemens 变容二极管
C5,C7,C13, C15,C17,C19, C39	7	100pF \pm 5% 陶瓷电容器(0402) Murata GRM36COG101J050A	R2	1	100 Ω 可变电阻 Bourns 3796W Digi-Key
C6	1	7pF \pm 0.1pF 陶瓷电容器(0402) Murata GRM36COG070B050A	R3,R4	2	100 Ω \pm 5% 电阻(0402)
C9,C12,C41, C45,C46,C47	6	可以不安装	R5,R8	2	12.1k Ω \pm 1% 电阻(0402)
U1	1	MAX2740ECM 48-pin TQFP-EP*	R6,R7,R9,R10	4	2.74k Ω \pm 1% 电阻(0402)
U2	1	MAX4122EUK SOT23-5	R11,R12	2	1.21k Ω \pm 1% 电阻(0402)
J3-J22	20	SMA 连接器(PC mount) Johnson 142-0701-201 或 Digi-Key J500-ND	R13-R18	6	2k Ω \pm 1% 电阻(0402)
JU1-JU4,JU7, JU8,JU9	7	2-pin 插头	R19	1	453 Ω \pm 1% 电阻(0402)
VCC,GND	2	测试点 Digi-Key 5000K-ND	R20	1	15k Ω \pm 1% 电阻(0402)
			L1,L2,L5	3	220nH 电感 Toko LL 1608-FSR22J
			L8,L9	2	8.2nH 电感 Toko LL 1608-FH8N2K
			L3	1	可以不安装
			L10	1	1.8nH 电感 Murata LQP10A1N8B00
			L11,L12	2	0 Ω 电阻(0603)



(a)



(b)

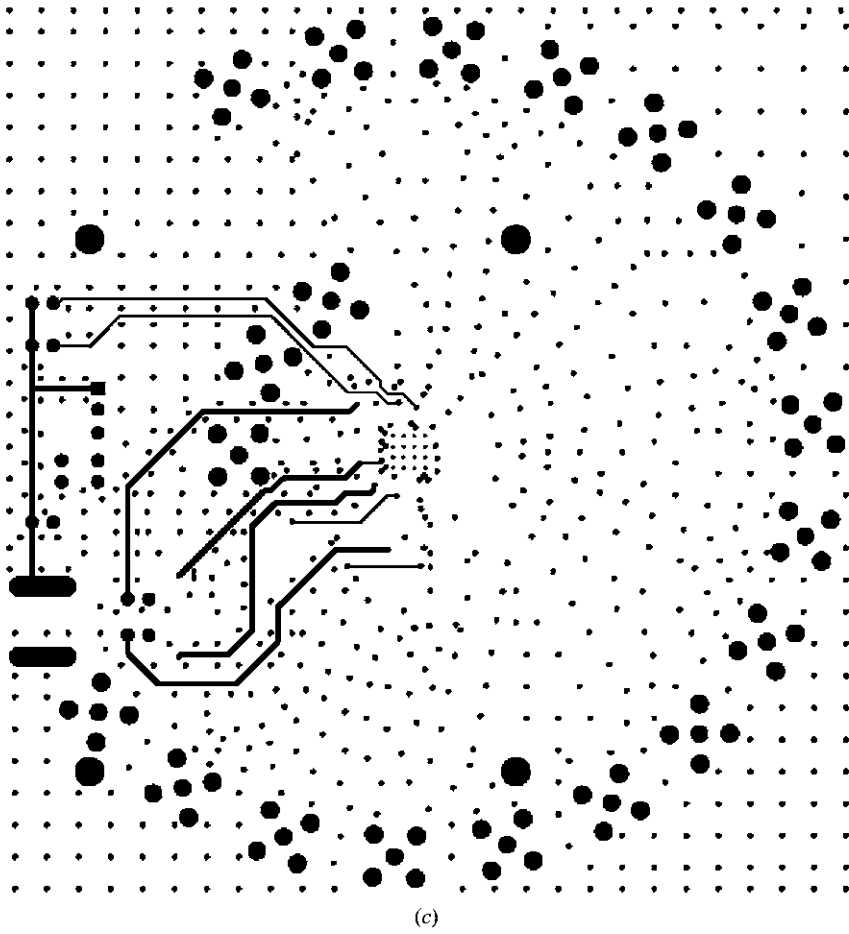
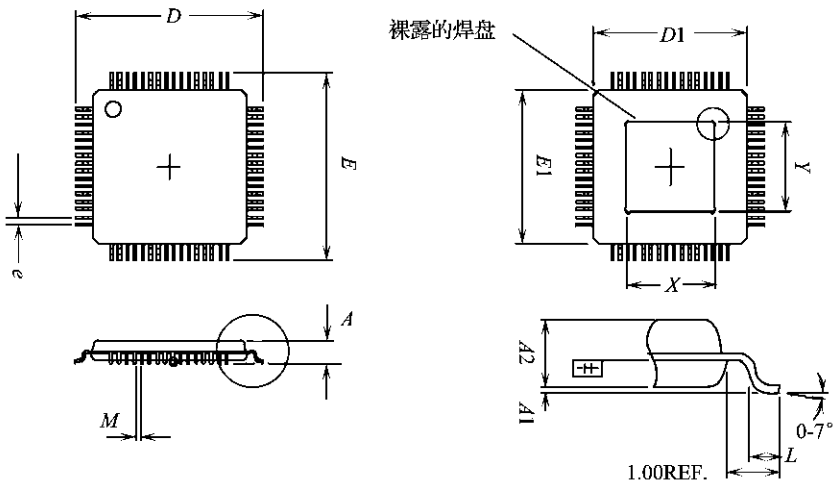


图 4-43 MAX2740 构成的 GPS 射频前端印制电路板图
 (a) 印制电路板元器件面；(b) 印制电路板地板面；(c) 印制电路板电源板面。

4.4.6 MAX2740 封装尺寸

MAX2740 采用 TQFP-EP-48 封装, 尺寸如图 4-44 所示。



符号	AC			AE		
	最小值/mm	标准值/mm	最大值/mm	最小值/mm	标准值/mm	最大值/mm
A	$\cancel{\#}$	$\cancel{\#}$	1.20	$\cancel{\#}$	$\cancel{\#}$	1.20
A ₁	0.05	0.10	0.15	0.05	0.10	0.15
A ₂	0.95	1.00	1.05	0.95	1.00	1.05
D	9.00 BSC.			9.00 BSC.		
D ₁	7.00 BSC.			7.00 BSC.		
E	9.00 BSC.			9.00 BSC.		
E ₁	7.00 BSC.			7.00 BSC.		
L	0.45	0.60	0.75	0.45	0.60	0.75
M	0.15	$\cancel{\#}$	$\cancel{\#}$	0.14	$\cancel{\#}$	$\cancel{\#}$
N	32			48		
e	0.80 BSC.			0.50 BSC.		
b	0.30	0.37	0.45	0.17	0.22	0.27
b ₁	0.30	0.35	0.40	0.17	0.20	0.23
* X	3.20	3.50	3.80	3.70	4.00	4.30
* Y	3.20	3.50	3.80	3.70	4.00	4.30

图 4-44 MAX2740 TQFP-EP-48 封装尺寸(单位:mm)

4.5 基于 RF2498 的 GPS 接收机下变频器电路

4.5.1 RF2498 简介

RF2498 是一个高性能 CDMA 三频段/双模式集成 LNA/混频器电路,是一个三频段 LNA/下变频器。RF2498 可以在 CDMA/蜂窝/PCS/GPS 手持设备、JCDMA/GSP 手持设备、CDMA 调制解调器/数据卡、商业和消费系统、使用电池的便携式设备中应用。

RF2498 满足 IS-98 灵敏度、交互调制和单音调的要求。RF2498 在 PCS 频带增益控制为 29dB,在蜂窝频带增益控制为 27.5dB。RF2498 为一个 GPS LNA/混频器应用提供 37dB 的增益。

RF2498 为满足 IS-98 IMD 测试,采用 3 种状态的增益控制方式。RF2498 有 2 分频的前置分频器允许使用单边带或双边带的 VCO。芯片内有一个集成 TX LO 缓冲器。对于混频器和 LNA 功能块的偏置电流可以通过芯片外的电阻设置。芯片采用 LCC(leadless chip carrier)-32 封装,芯片尺寸为 5mm×5mm。

4.5.2 RF2498 主要性能指标

RF2498 的主要性能指标如表 4-29 至表 4-31 所列。

表 4-29 RF2498 的频率特性

参 数	最小值	典型值	最大值	单 位	条 件
RF 频率范围	800~900			MHz	$T=25^{\circ}\text{C}$, $V_{CC}=2.75\text{V}$
	1500~200			MHz	
	1575.42			MHz	GPS
IF 频率范围	0.1		400	MHz	

表 4-30 RF2498 在 GPS 频带的主要性能指标(GSP 频带:频率范围为 1575.42 MHz)

参 数	最小值	典型值	最大值	单 位	条 件
LNA(导通)LNA 匹配 50Ω 电阻					
增益	17.0	18.5		dB	IP SET=1
	16.0	18.0		dB	IP SET=0
噪声系数		1.3	1.7	dB	IP SET=1
		1.25	1.7	dB	IP SET=0
输入 IP3	+1.0	+5.0		dBm	IP SET=1
	-5.0	-1.0		dBm	IP SET=0
电流		6.5		mA	IP SET=1
		4.5		mA	IP SET=0
隔离		20		dB	
混频器 LO 输入电平为 -4dBm					
增益	16.0	18.0	20.5	dB	外置 IF 负载可减少其值
噪声系数		5.5	7.5	dB	高边 LO 注入
		7.0	8.5	dB	低边 LO 注入
输入 IP3	-7.5	-5.5		dB	
电流		15.5		mA	
LO 频率范围	1350		1800	MHz	低和高边 LO 注入
IF 频率范围	80	183.6	400	MHz	典型 IF 频率 85.38MHz, 109.80 MHz, 111.85MHz, 183.6MHz
LO 输入功率范围	-10	-4	0	dBm	
LO 到 RF 隔离				dB	
其 他					
LO-IF 隔离	36			dB	
RF-IF 隔离	40			dB	
LNA 输出到混频器隔离	30	40		dB	
LO-LNA 隔离,任何状态	35			dB	
控制线电容			1	pF	BAND SEL, IF SEL, IP

表 4-31 本地振荡器在不同频带的特性

参 数	最小值	典型值	最大值	单 位	条 件
蜂窝 CDMA/FM:本地振荡输入端					
输入功率	-10	-4	0	dBm	低和高边 LO 注入
输入频率	600		1078	MHz	低和高边 LO 注入
	1200		2156	MHz	
PCS:本地振荡输入端					
输入功率	-10	-4	0	dBm	
输入频率	1600		2300	MHz	低和高边 LO 注入
本地振荡输入端(GPS)					
输入功率	-10	-4	0	dBm	
输入频率	1350		1800	MHz	低和高边 LO 注入
TX(本地振荡器)缓冲器(蜂窝-CDMA/FM)					
输出频率 输出功率	600		1078	MHz	单端 50Ω 负载 低和高边 LO 注入
	-11	-8		dBm	
输出频率 输出功率	1200		2156	MHz	单端 50Ω 负载 低和高边 LO 注入
	-11	-6.5		dBm	
电流消耗		2		mA	
TX(本地振荡器)缓冲器(PCS)					
输出功率	-11	-8		dBm	单端 50Ω 负载 低和高边 LO 注入
输出频率	1600		2300	MHz	
电流消耗		2		mA	

4.5.3 RF2498 内部结构与引脚功能

RF2498 芯片采用 LCC(Leadless Chip Carrier)-32 封装,引脚封装形式如图 4-45 所示。RF2498 引脚内部电路结构如图 4-46 至图 4-62 所示。

RF2498 引脚功能如下。

引脚 1:GPS+,GPS IF 输出端,集电极开路形式。如图 4-46 所示。

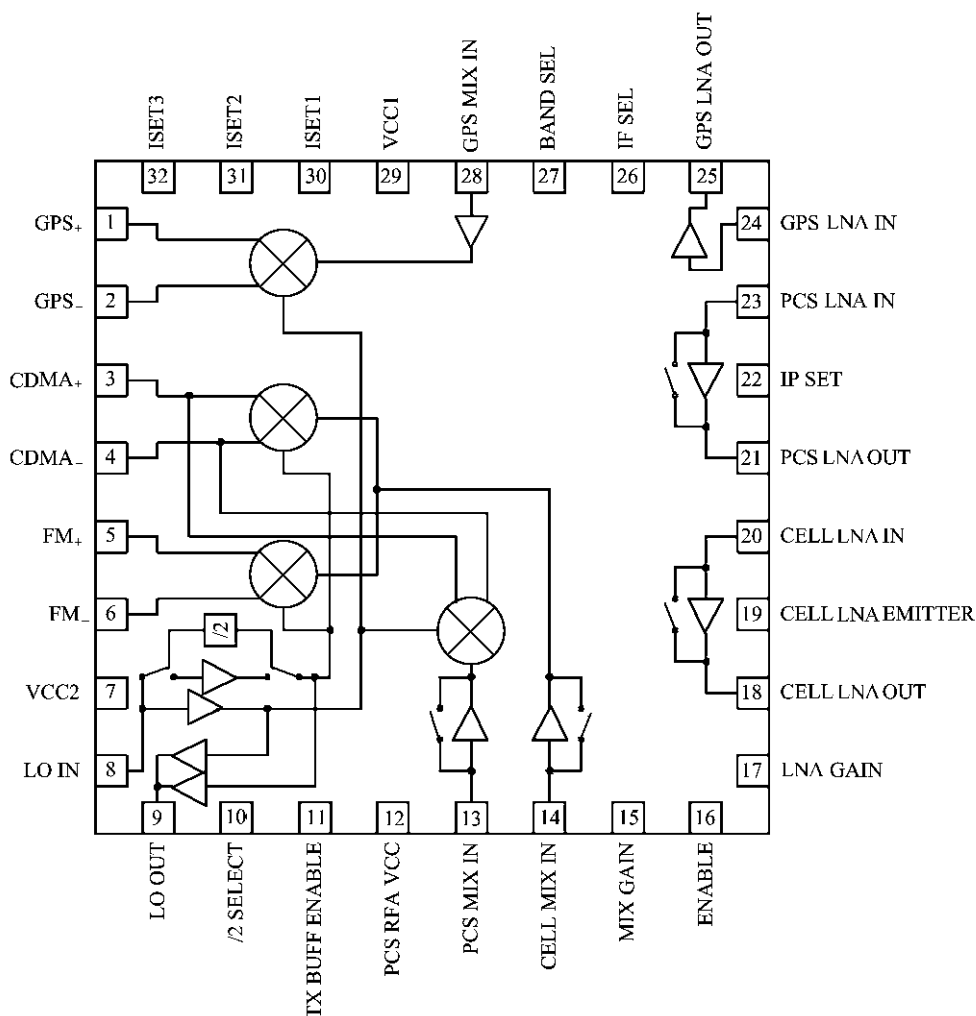


图 4-45 RF2498 引脚封装形式

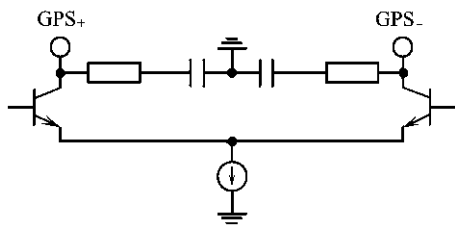


图 4-46 GPS+和 GPS IF 输出端内部电路结构

引脚 2:GPS-,GPS IF 输出端,集电极开路形式。2 引脚内部电路结构同引脚 1。

引脚 3:CDMA+,CDMA IF 输出端,集电极开路形式。如图 4-47 所示。

引脚 4:CDMA-,CDMA IF 输出端,集电极开路形式。同引脚 3。

引脚 5:FM+,FM IF 输出端,集电极开路。电流合成器 IF 接口与推荐的 SAW 滤波器相连。如图 4-48 所示。

引脚 6:FM-,FM IF 输出端,集电极开路。电流合成器 IF 接口与推荐的 SAW 滤波器相

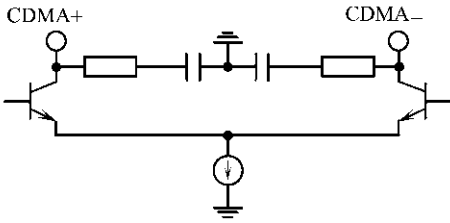


图 4-47 CDMA+ 和 CDMA IF 输出端内部结构

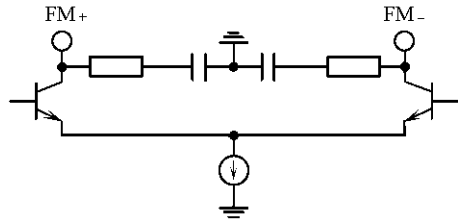


图 4-48 FM+ 和 FM IF 输出端内部结构

连。同引脚 5。

引脚 7: VCC2, 内置 LO 放大器电源。内置 RF 旁路电容, 需外置一个 $1\text{nF} \sim 47\text{nF}$ 的旁路电容。

引脚 8: LO IN, LO 单端输入(见图 4-49)。与 50Ω 电阻匹配。

引脚 9: LO OUT, LO 输出。内置 DC 功能块。

引脚 10: /2 SELECT, 逻辑输入端。在蜂窝模式中, /2 电路使能端为低电平。当 BAND SEL 为高电平时, 无论引脚 10 /2 SELECT 的状态如何, 分频器失效。只有当 BAND SEL 为低电平, 而且引脚 10 /2 SELECT 为低电平时, 分频器有效。引脚 10 /2 SELECT 可固定为低, 这样, 当用一个单 LO 输入源时, BAND SEL(引脚 27)能控制 LO 分频器功能。参见引脚 11。

引脚 11: TX BUFF ENABLE, 逻辑输入(见图 4-50)。TX BUFF ENABLE 端电平为高, 使能 TX LO 缓冲放大器。

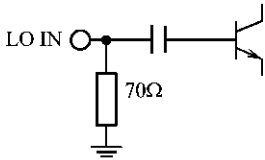


图 4-49 LO 单端输入端内部结构

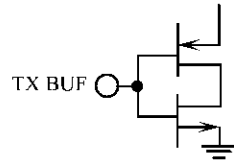


图 4-50 TX BUFF ENABLE 端内部结构

引脚 12: PCS RFA VCC, PCS 前置混频器的电源。

引脚 13: PCS MIX IN, PCS 混频器 RF 单输入端。如图 4-51 所示。

引脚 14: CELL MIX IN, 蜂窝混频器 RF 单输入端(见图 4-52)。与 50Ω 电阻匹配。

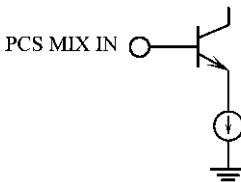


图 4-51 PCS MIX IN 端内部结构

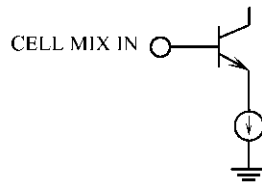


图 4-52 CELL MIX IN 端内部结构

引脚 15: MIX GAIN, 逻辑输入(见图 4-53)。逻辑输入高电平时开启 PCS 或蜂窝前置混频器, 并且提供最大增益。逻辑输入低电平时使 PCS 或蜂窝前置混频器旁路。

引脚 16: ENABLE, 逻辑输入(见图 4-54)。ENABLE 为逻辑低电平时关闭 IC。

引脚 17: LNA GAIN, 逻辑输入(见图 4-55)。在这两种频带中, 高电平时选择蜂窝或 PCS LNAS 带, 低电平时选择 LNA 旁路模式。

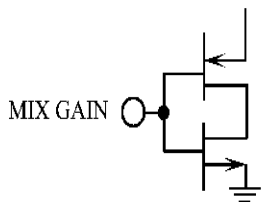


图 4-53 MIX GAIN 端内部结构

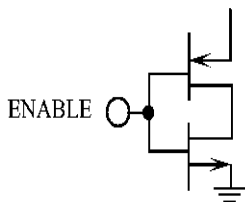


图 4-54 ENABLE 端内部结构

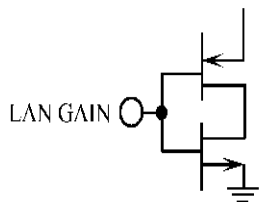


图 4-55 LNA GAIN 端内部结构

引脚 18:CELL LNA OUT,蜂窝 LNA 输出端。需一个简单的外部 LC 匹配网络。参见引脚 20。

引脚 19:CELL LNA EMITTER,蜂窝 LNA 发射器。这个管脚通过一个小电感接地,通过改变电感可调节蜂窝 LNA 的增益。参见引脚 20。

引脚 20:CELL LNA IN,蜂窝 LNA 输入端。如图 4-56 所示。

引脚 21:PCS MIX OUT,PCS LNA 输出端(见图 4-57)。需一个简单外部 LC 匹配网络。

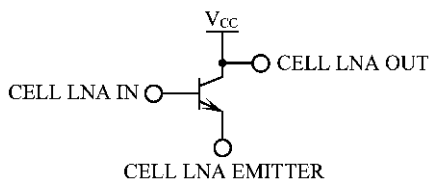


图 4-56 CELL LNA IN 端内部结构

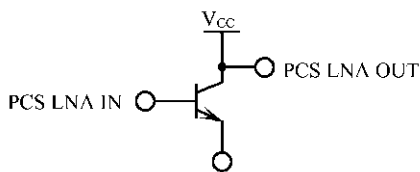


图 4-57 PCS MIX OUT 端内部结构

引脚 22:IP SET, GPS,在蜂窝和 PCS CDMA 方式中,高电平为高 IIP3 LNA 模式,低电平为“标准”的 LNA IIP3 模式。在高 IIP3 LNA 模式中,引脚 31 的旁路设置电阻可以调节 LNA 的 IIP3。如图 4-58 所示。

引脚 23:PCS LNA IN,PCS LNA 输入端。为使性能更佳,需简单的外部匹配。同引脚 21。

引脚 24:GPS LNA IN, GPS LNA 输入端。为使性能更佳,需简单的外部匹配。如图 4-59 所示。

引脚 25:GPS LNA OUT, GPS LNA 输出端。需一个外部的 LC 网络。同引脚 24。

引脚 26:IF SET,逻辑输入端(见图 4-60)。低电平选择 FM 或 GPS IF 输出端,高电平选择 CDMA IF 输出端。

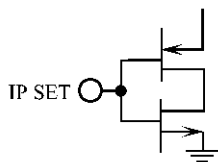


图 4-58 IP SET 端内部结构

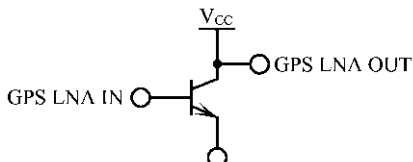


图 4-59 GPS LNA IN 端内部结构

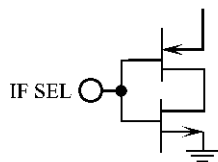


图 4-60 IF SET 端内部结构

引脚 27: BAND SEL, 逻辑输入端(见图 4-61)。高电平选择 PCS 频段或 GPS 频段, 低电平选择蜂窝频段。当 BAND SEL 为高电平时, 无论引脚 10 的状态如何, LO 分频电路失效。当 BAND SEL 为低电平时, 引脚 10 可选高或低电平。引脚 10 也可以固定为低电平, 这样, 当用一个单 LO 输入源时, BAND SEL(引脚 30)能控制 LO 分频器功能。

引脚 28: GPS MIX IN, GPS 混频器 RF 单端输入。如图 4-62 所示。

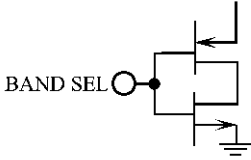


图 4-61 BAND SEL 端内部结构

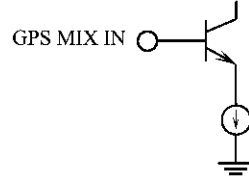


图 4-62 GPS MIX IN 端内部结构

引脚 29: VCC1, 内置电感, 逻辑器件和蜂窝前置混频器和 GPS 前置混频器的公共 DC 电源端。需外置 $1\text{nF} \sim 47\text{nF}$ 的旁路电容。

引脚 30: ISET1, 内置参考电压的设定电阻, 推荐值 $5.1\text{k}\Omega$ 。

引脚 31: ISET2, 在高 IIP3 LNA 模式中设置 LNA 电流的接地电阻。高阻抗产生低电流。

引脚 32: ISET3, 在所有频段中, 设置前置混频器电流的接地电阻。高阻抗产生低电流。

4.5.4 RF2498 电路应用

RF2498 应用电路如图 4-63 和图 4-64 所示, 印制电路板图如图 4-65 所示。

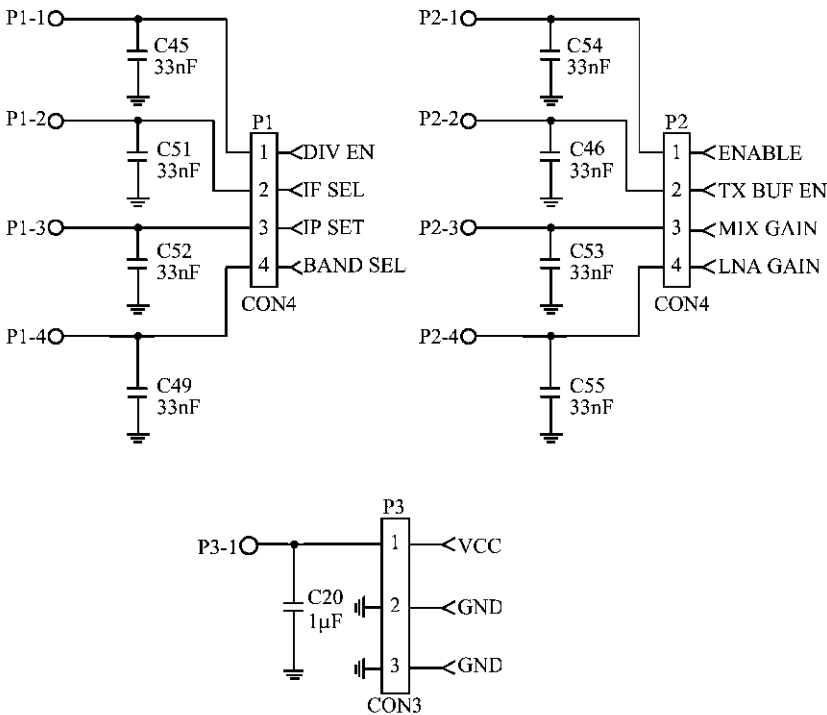
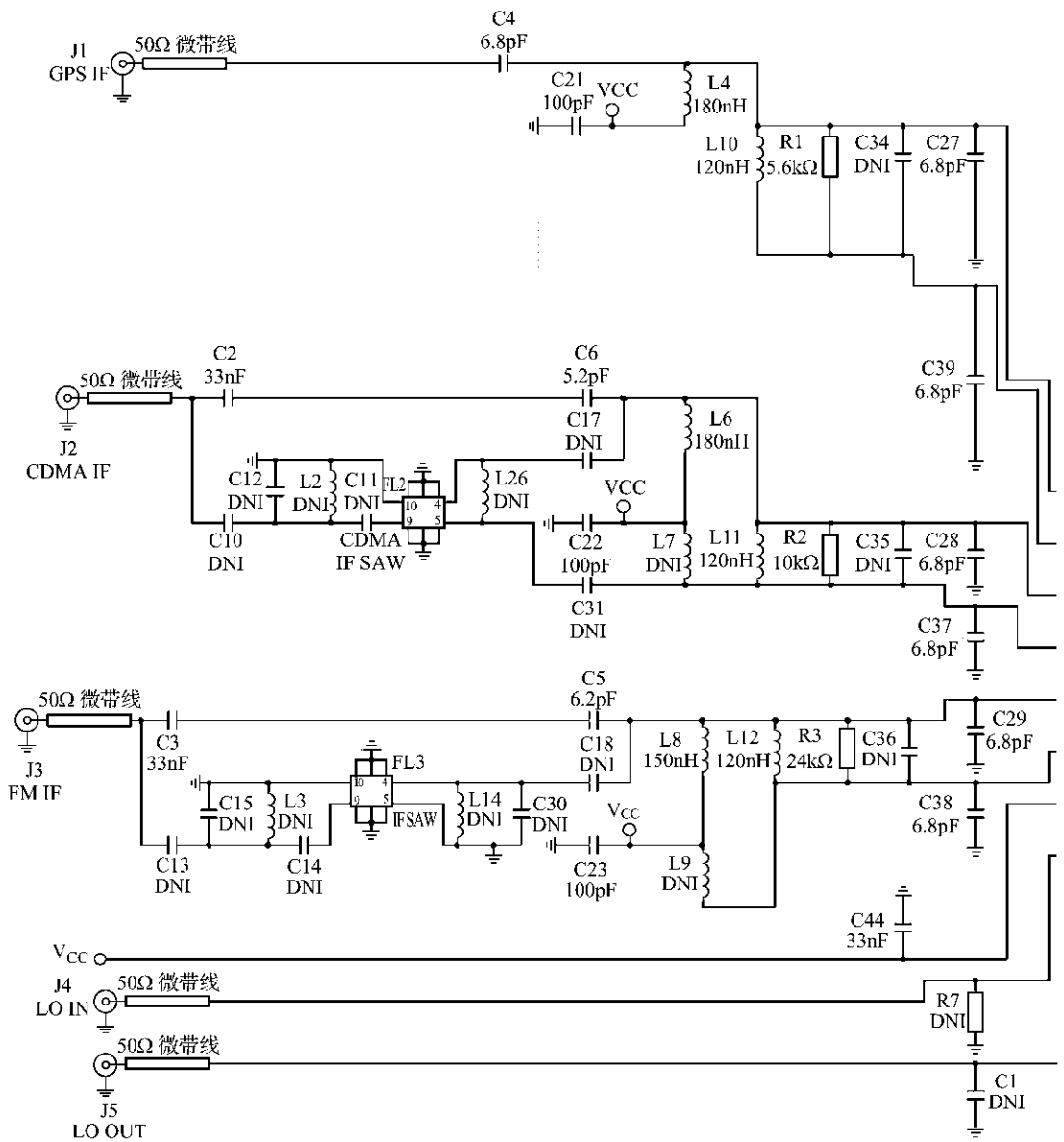
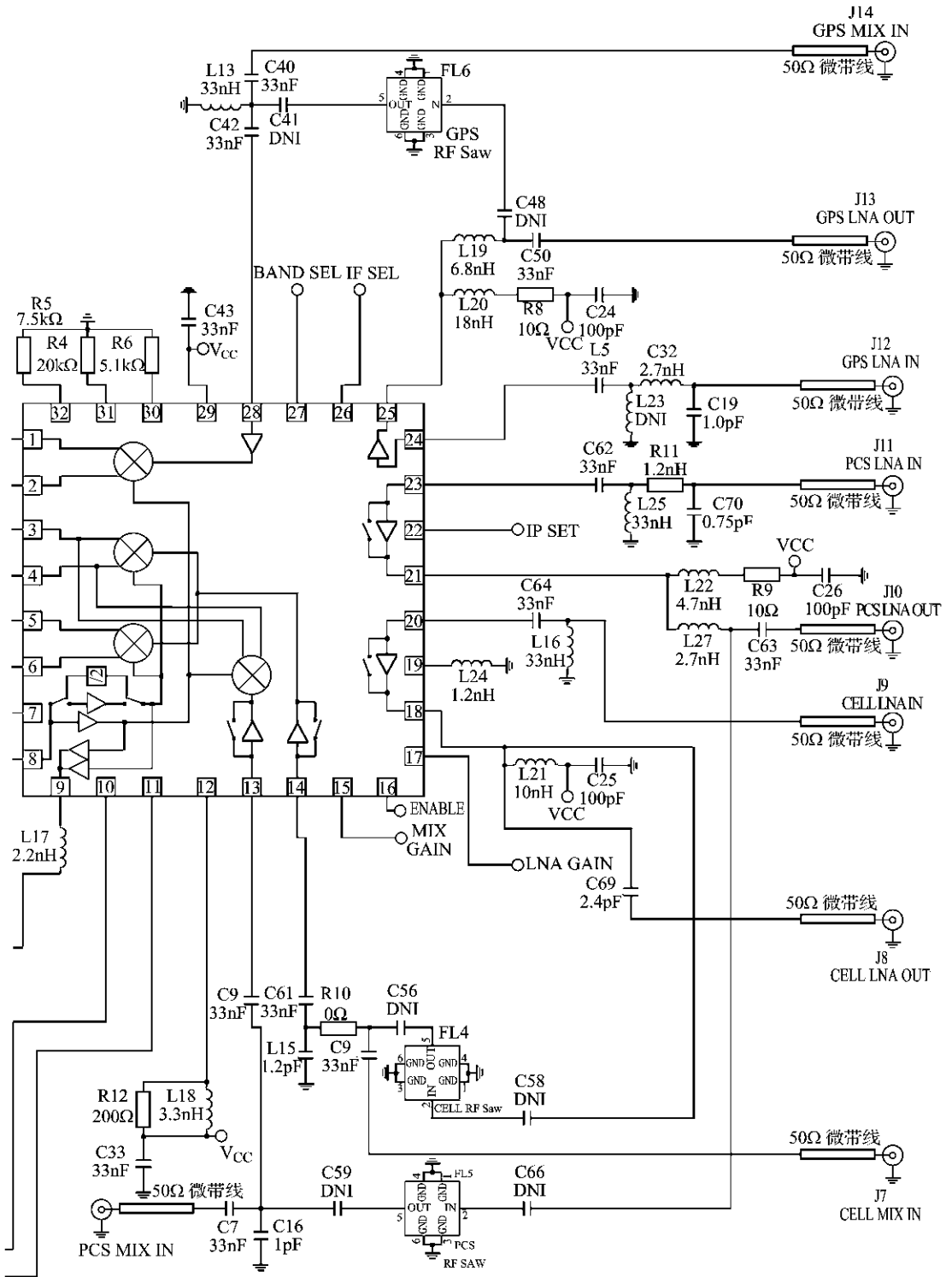


图 4-63 RF2498 应用电路部分 1

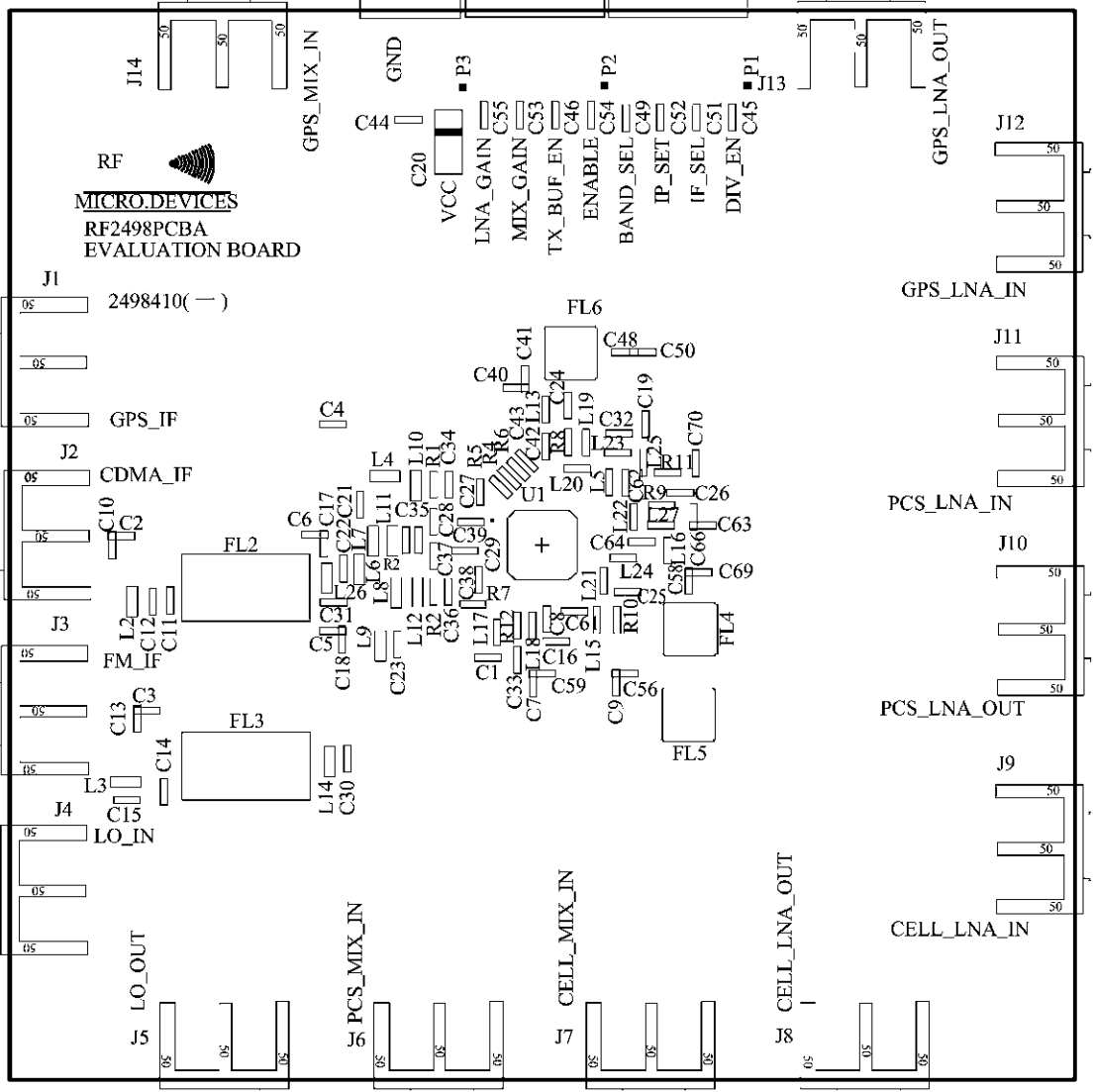


DIV ENO _____
 X BUF ENO _____

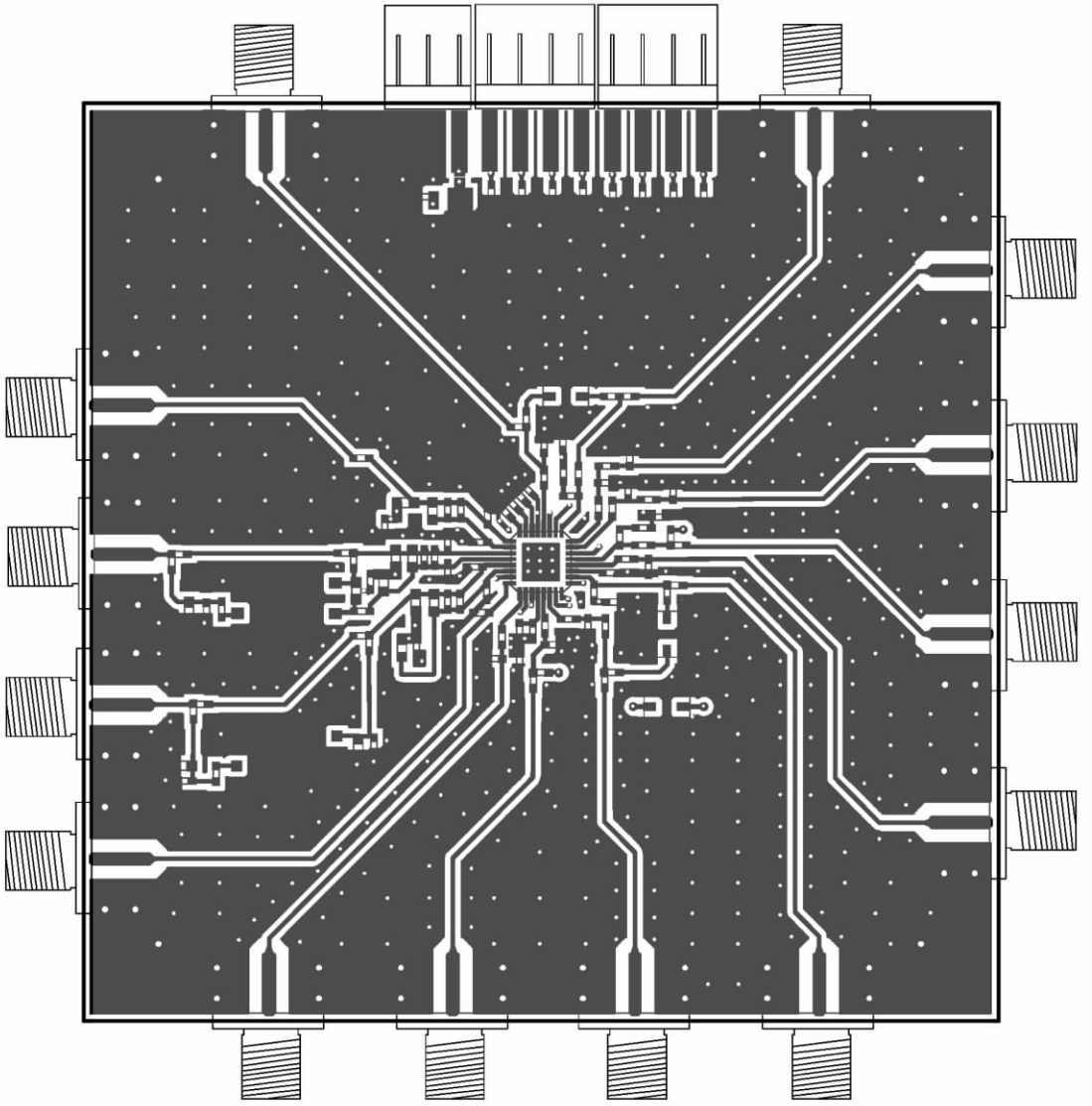
图 4-64 RF2498 应用



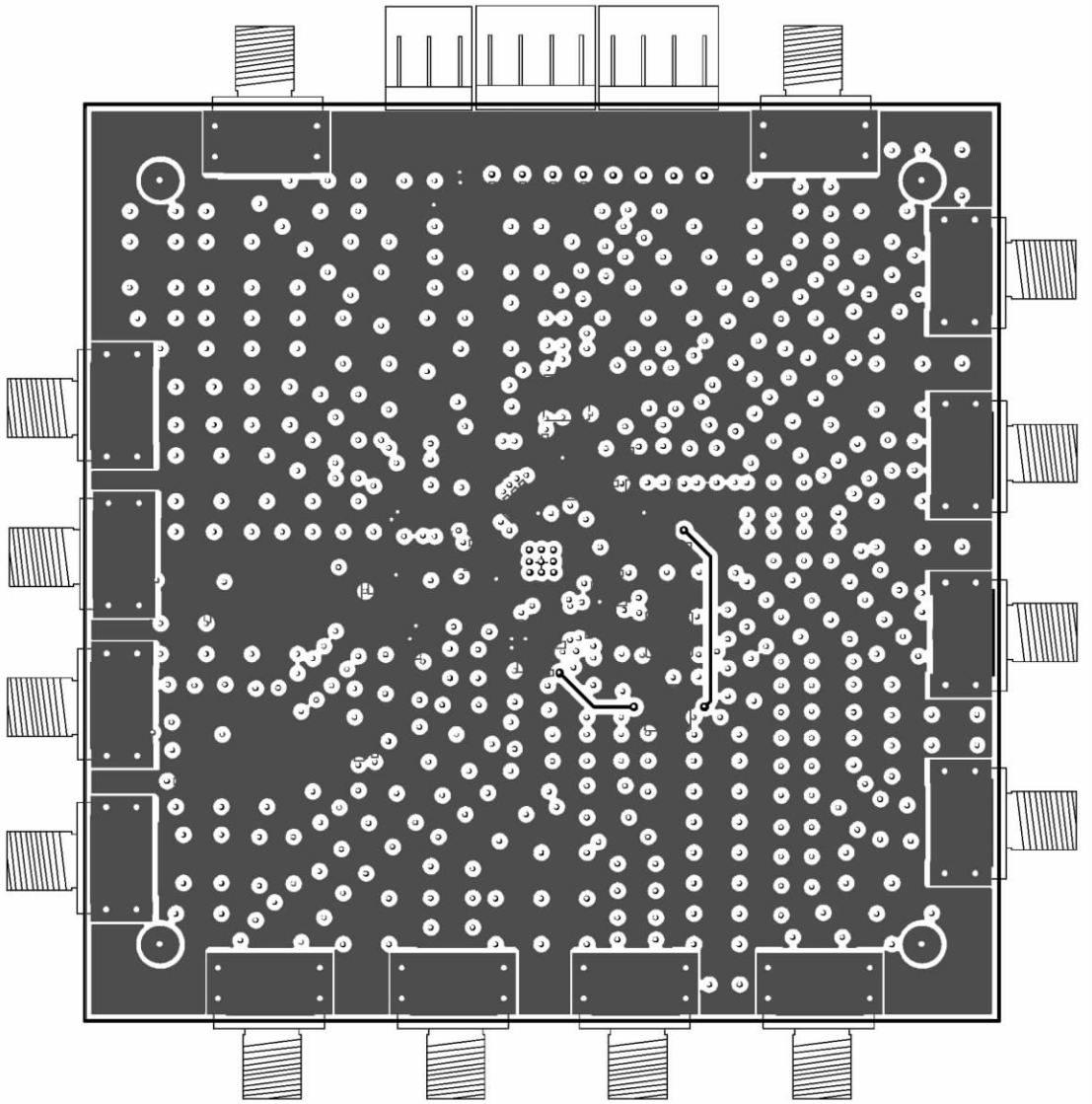
电路部分 2



(a)



(b)



(c)

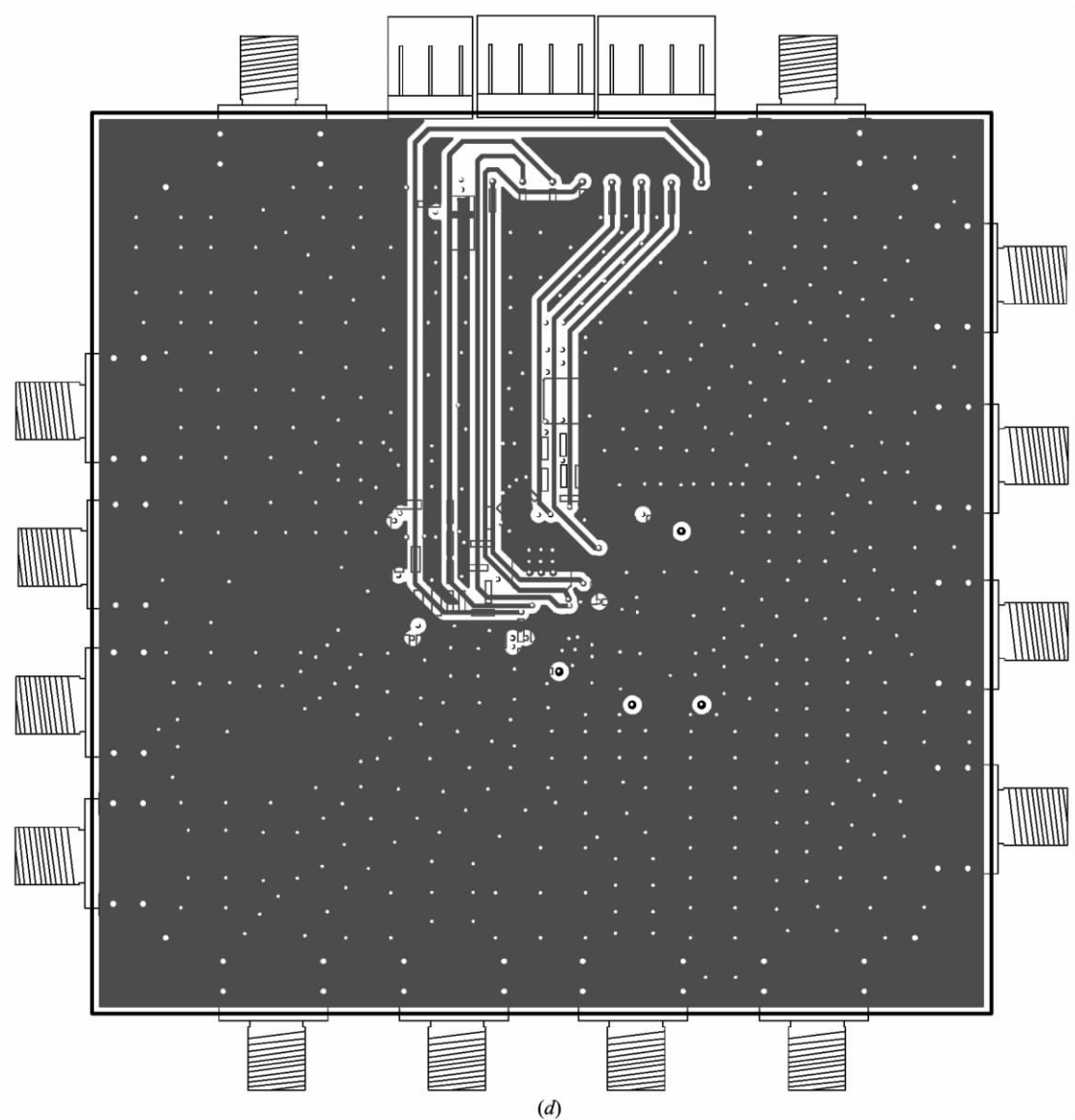


图 4-65 RF2498 应用电路印制电路板图

(a) 元器件布局图; (b) 印制电路板图(正面布线);
(c) 印制电路板图(接地面); (d) 印制电路板图(背面布线)。

4.5.5 RF2498 封装尺寸

RF2498 采用 LCC-32(5mm×5mm)封装,封装尺寸如图 4-66 所示。所有尺寸单位为 mm。

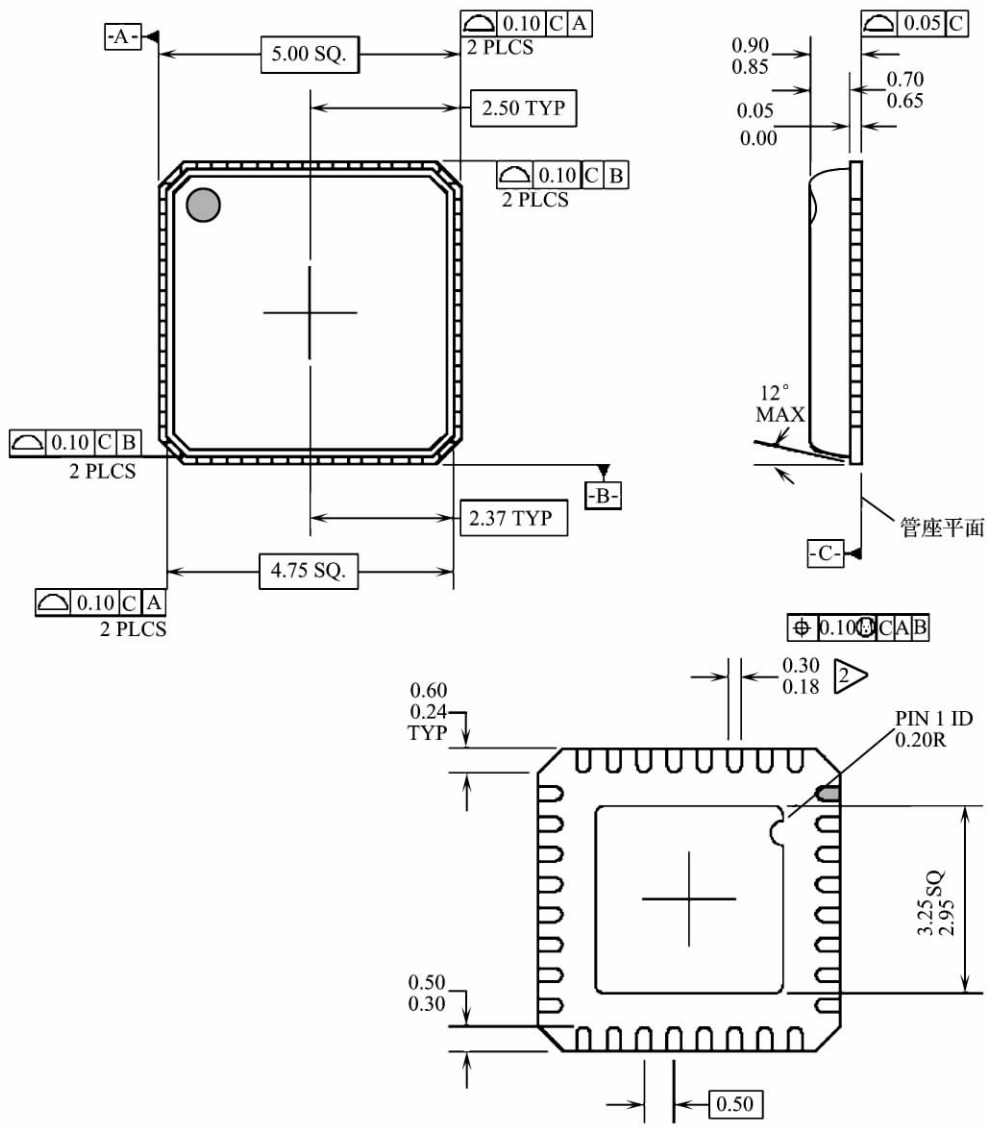


图 4-66 RF2498 封装尺寸(单位:mm)

4.6 基于 TQ5139 的 A-GPS 接收机下变频器电路

4.6.1 TQ5139 简介

TQ5139 是一个蜂窝 CDMA 和 A-GPS 双模下变频器。IF 范围为 80MHz~230MHz, 使用外部调谐。蜂窝电话 LNA IIP3 为 10 dBm, 蜂窝电话混频器 IIP3 为 7.5 dBm。低噪声放大器(LNA)有一个可调节的 3 阶截点(IP3), 使互调和交调的影响降低到最小。混频器是差分 IF 输出形式(对于 GPS 模式, 可以是单端或者差分输出形式), 具有极好的线性和低噪声系数。TQ5139 采用 4mm×4mm MLF-24 封装。TQ5139 符合 TIA/EIA 98-C 无线通信标准, 适合蜂窝频带/A-GPS CDMA (IS-95/98)移动电话应用。

4.6.2 TQ5139 主要性能指标

TQ5139 的主要性能指标如表 4-32 至表 4-36 所列。

表 4-32 绝对最大额定值范围

参 数	符 号	数 值	单 位
电源电压	VDD_LNA, VDD_LO, Vdd_MIX, VDD_DIG	-0.5~4.0	V
逻辑控制引脚	GAIN, LIN, BUFFEN/GPS	-0.5~4.0	V
电源电流	Icc_LNA, Icc_LO, Icc_MIX, Icc_DIG	50	mA
LO 输入电平	GLO_IN, CLO_IN	+5.0	dBm
LNA 输入	CLNA_IN, GLNA_IN	+5.0	dBm
LNA IP3 调节输入	Iset	1	mA
环境温度	T _c	-40~+100	°C
存储温度	T _{STG}	-40~+150	°C

表 4-33 常规的电气特性

参 数	条 件	最小值	典型值	最大值	单 位	
射频频率范围	蜂窝频带	869	881.5	894	MHz	
	A-GPS 频带		1575.42		MHz	
LO 频率范围	蜂窝频带, IF=85.38MHz	低端	783		809	MHz
		高端	954		970	MHz
	GPS 频带, IF=85.38MHz	低端		1490.04		MHz
		高端		1660.80		MHz
IF 范围	蜂窝和 GPS 频带	80	85.38	230	MHz	
LO 输入功率电平	蜂窝和 GPS 频带	-10	-5	0	dBm	
LO Tx 缓冲器输出功率电平	蜂窝 频带	-8	-5.5		dBm	

表 4-34 级联射频特性

参 数	条 件	最小值	典型值	最大值	单 位
PCS 频带, CDMA 调制(高增益, 高线性模式)					
级联转换增益	Gain =1, LIN=1		28.5		dB
级联噪声系数			2.3		dB
级联输入 IP3			-6.5		dBm
电源电流			26		mA
GPS 模 式					
级联转换增益	Gain=0, LIN=0, BUFFEN/GPS=1		333		dB
级联噪声系数			1.9		dB
级联输入 IP3			-19		dBm
电源电流			17.5		mA

表 4-35 LNA 和混频器特性

参 数	条 件	最小值	典型值	最大值	单位
蜂窝频带(高增益,高线性模式)					
蜂窝 LNA 增益	Gain = 1, LIN=1		16.2		dB
蜂窝 LNA NF			1.6		dB
蜂窝 LNA IIP3			10		dBm
蜂窝混频器 增益			14.5		dB
蜂窝混频器 NF			6.5		dB
蜂窝 混频器 IIP3			6.5		dBm
A-GPS 模式					
GPS LNA 增益	Gain=0, LIN=0, BUFFEN/GPS=1		18		dB
GPS LNA NF			1.6		dB
GPS LNA IIP3			-1.8		dBm
GPS 混频器增益			16		dB
GPS 混频器 NF			5.5		dB
GPS 混频器 IIP3			-1.4		dBm

表 4-36 直流电源特性

参 数	条 件	最小值	典型值	最大值	单位
电源电压		2.7	2.75	3.3	V
控制电压高电平		1.7			V
控制电压低电平				0.5	V
LO 接收缓冲器电源电流			8		mA
LO 发射缓冲器电源电流			5		mA
逻辑电平电流		-5		100	μ A
低功耗电流	BUFFEN/GPS=0, Gain=0, LIN=0			10	μ A

4.6.3 TQ5139 内部结构与引脚功能

TQ5139 芯片内部包含有:一个 PCS 通道,PCS LNA、LO 输入缓冲器、PCS 混频器;另一个 GPS 通道, GPS LNA 和 GPS 混频器;以及控制逻辑电路。TQ5139 的内部结构与引脚封装形式如图 4-67 所示。TQ5139 的引脚功能如表 4-37 所列。

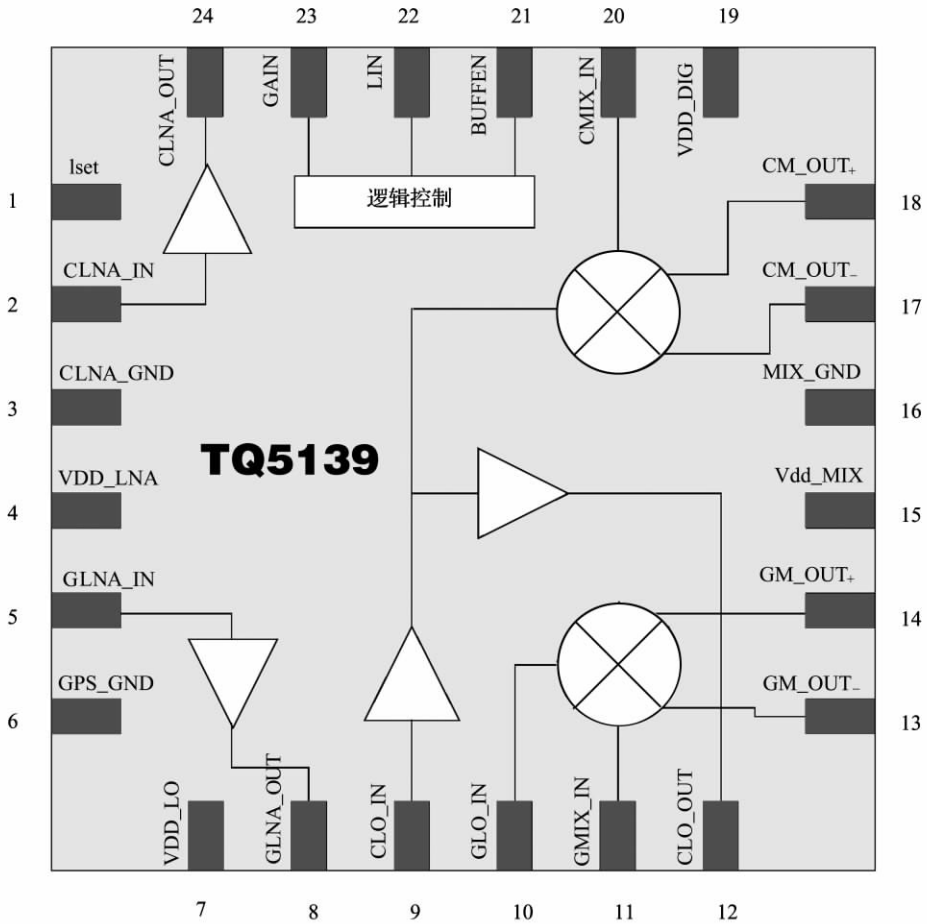


图 4-67 TQ5139 的内部结构与引脚封装形式

表 4-37 TQ5139 的引脚功能

引脚	符号	功 能
1	Iset	蜂窝 LNA 偏置电阻。连接一个 390Ω 的电阻到地,设置偏置电流为高模式
2	CLNA_IN	蜂窝 LNA 输入。需要一个隔直电容,隔直电容可以是输入匹配网络中的一个元件
3	CLNA_GND	蜂窝 LNA 发射极地
4	VDD_LNA	蜂窝和 GPS LNA 电源电压引脚。需要一个旁路电容,旁路电容尽可能的靠近这个引脚连接
5	GLNA_IN	GPS LNA 输入。需要 LC 匹配网络
6	GPS_GND	GPS 地
7	VDD_LO	LO 缓冲器电源电压
8	GLNA_OUT	GPS LNA 输出
9	CLO_IN	蜂窝 LO 输入
10	GLO_IN	GPS LO 输入

(续)

引脚	符号	功 能
11	GMIX_IN	GPS 混频器输入
12	CLO_OUT	蜂窝 LO 缓冲器输出。不需要隔直电容
13	GM_OUT-	GPS IF 输出负端
14	GM_OUT+	GPS IF 输出正端
15	Vdd_MIX	所有混频器的电源电压
16	MIX_GND	混频器地
17	CM_OUT-	蜂窝混频器输出负端
18	CM_OUT+	蜂窝混频器输出正端
19	VDD_DIG	逻辑控制电路电源电压
20	CMIX_IN	蜂窝混频器射频输入
21	BUFFEN/GPS	LO 输出缓冲器或者 GPS 使能。设置 BUFFEN/GPS 引脚为高电平,使能蜂窝 LO 缓冲器输出。当引脚 Gain 和 LIN 为低电平,BUFFEN/GPS 为高电平,GPS 模式使能
22	LIN	高/低线性选择。逻辑高电平选择高线性模式
23	GAIN	蜂窝频带增益选择控制。逻辑高电平选择高增益
24	CLNA_Out	蜂窝 LNA 输出。需要上拉电感到 V_{CC} 和串联隔直电容,上拉电感和隔直电容可以是输出匹配网络中的元件

4.6.4 TQ5139 电路应用

TQ5139 的应用电路如图 4-68 所示。工作模式控制如表 4-38 所列。

表 4-38 工作模式控制

模 式	模 式	逻辑电平输入		
		Gain	LIN	BUFFEN/GPS
低功耗模式	所有电路关闭	0	0	0
蜂窝模式	高增益、高线性模式	1	1	×
	高增益、低线性模式	1	0	×
	低增益	0	1	×

GPS 模式		0	0	1
--------	--	---	---	---

4.6.5 TQ5139 封装尺寸

TQ5139 采用 $4\text{mm} \times 4\text{mm}$ MLF-24 封装,封装尺寸如图 4-69 所示。推荐的引脚印制电路板设计尺寸如图 4-70 所示。

4.7 基于 TQ5638 的 GPS 接收机下变频器电路

4.7.1 TQ5638 简介

TQ5638 是一个 KPCS CDMA 和 GPS 双模下变频器。IF 范围为 $80\text{MHz} \sim 230\text{MHz}$,使用外部调谐。低噪声放大器(LNA)有一个可调节的 3 阶截点(IP3),使互调和交调的影响降低到最小。混频器是差分 IF 输出形式(对于 GPS 模式,可以是单端或者差分输出形式),具有极好的线性和低噪声系数。TQ5638 采用 $4\text{mm} \times 4\text{mm}$ MLF-24 封装。TQ5638 符合 TIA/EIA 98-C 无线通信标准,适合 KPCS CDMA 和 A-GPS 应用。

4.7.2 TQ5638 主要性能指标

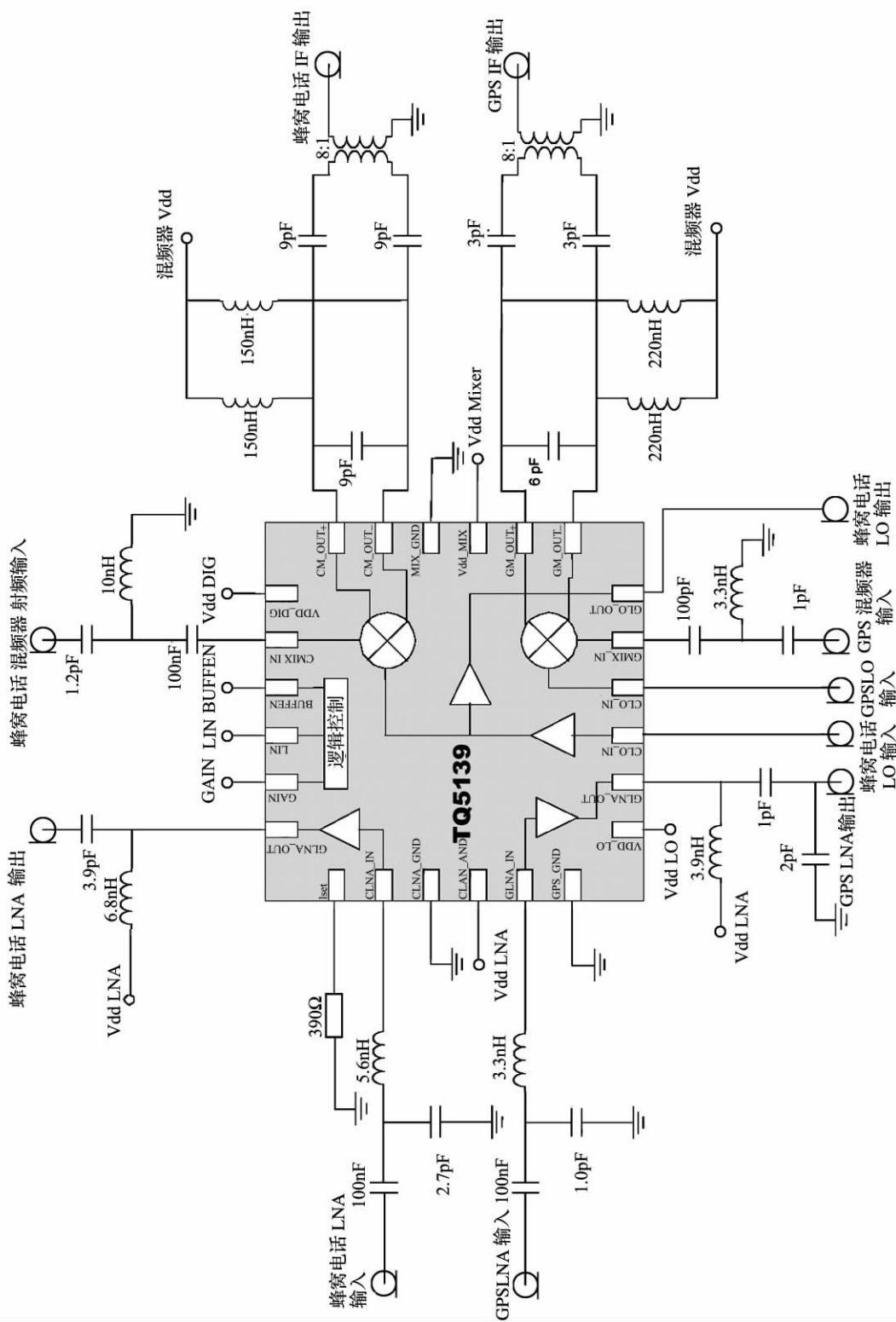


图 4-68 TQ5139 的应用电路

TQ5638 的主要性能指标如表 4-39~表 4-43 所列。

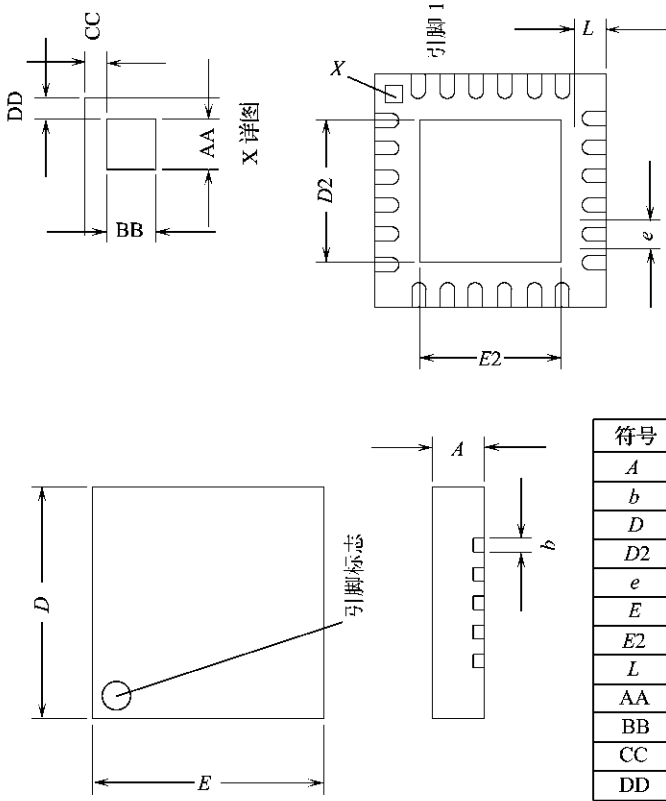


图 4-69 TQ5139 的封装尺寸

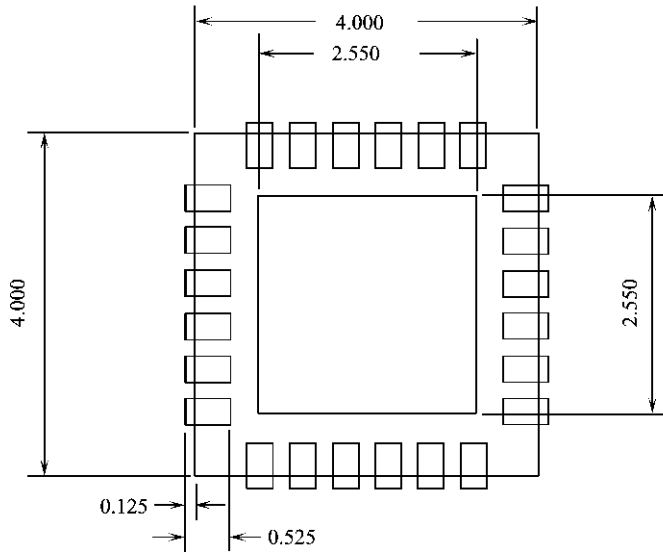


图 4-70 推荐的引脚印制电路板设计尺寸(单位:mm)

表 4-39 绝对最大额定值范围

参数	符号	数值	单位
电源电压	V_{CC-LNA} , $V_{CC-LO-Tx}$, V_{CC-MIX} , V_{CC-DIG}	-0.5~4.0	V

逻辑控制引脚	PCS_ON, LIN/GPS, BUFFEN	-0.5~4.0	V
电源电流	I _{CC-LNA} , I _{CC-LO-Tx} , I _{CC-MIX} , I _{CC-DIG}	50	mA
LO 输入电平	PLO-IN, GLO-IN	+5.0	dBm
LNA 输入	PLNA-IN, GPS-LNA-IN	+5.0	dBm
LNA IP3 调节输入	ISSET-PCS	1	mA
环境温度	T _C	-40~+100	°C
存储温度	T _{STG}	-40~+150	°C

表 4-40 常规的电气特性

参 数	条 件	最小值	典型值	最大值	单位	
LO 频率范围	PCS 频带	1840	1855	1870	MHz	
	A-GPS 频带		1575.42		MHz	
	KPCS 频带, IF=220.38MHz	低端	1620		1650	MHz
		高端	2060		2090	MHz
	GPS 频带, IF=220.38MHz	低端		1355.04		MHz
高端			1795.80		MHz	
IF 范围	PCS 和 GPS 频带	80	220.38	230	MHz	
LO 输入功率电平	PCS 和 GPS 频带	-10	-5	0	dBm	
LO Tx 缓冲器输出功率电平	PCS 频带	-8	-3		dBm	

表 4-41 级联射频特性

参 数	条 件	最小值	典型值	最大值	单位
PCS 频带, CDMA 调制(高增益, 高线性模式)					
级联转换增益	BAND_SEL=低电平, Gain=高电平, LIN/GPS=高电平		26.3		dB
级联噪声系数			2.2		dB
级联输入 IP3			-2		dBm
电源电流			28		mA
GPS 模式					
级联转换增益	BAND_SEL=低电平, Gain=低电平, LIN/GPS=高电平		37.0		dB
级联噪声系数			1.7		dB
级联输入 IP3			-17.5		dBm
电源电流			18.5		mA

表 4-42 LNA 和混频器特性

参 数	条 件	最小值	典型值	最大值	单位
PCS 频带(高增益, 高线性模式)					

PCS LNA 增益	PCSon=高电平, LIN/GPS=高电平		15.5		dB
PCS LNA NF			1.6		dB
PCS LNA IIP3			8.3		dBm
PCS 混频器 增益			13.7		dB
PCS 混频器 NF			6.2		dB
PCS 混频器 IIP3			11		dBm
A-GPS 模式					
GPS LNA 增益	PCSon=低电平, LIN/GPS=高电平		20.0		dB
GPS LNA NF			1.5		dB
GPS LNA IIP3			-3.8		dBm
GPS 混频器增益			17.6		dB
GPS 混频器 NF			5.9		dB
GPS 混频器 IIP3			0		dBm
电源电压		2.7	2.75	3.3	V
控制电压高电平		1.7			V
控制电压低电平				0.5	V
LO 接收缓冲器电源电流			7		mA
LO 发射缓冲器电源电流			6		mA
逻辑电平电流		-5		100	μ A
低功耗电流	PCS_ON=低电平, LIN/GPS=低电平			10	μ A

表 4-43 直流电源特性

参 数	条 件	最小值	典型值	最大值	单 位
电源电压		2.7	2.75	3.3	V
控制电压高电平		1.7			V
控制电压低电平				0.5	V
LO 接收缓冲器电源电流			7		mA
LO 发射缓冲器电源电流			6		mA
逻辑电平电流		-5		100	μ A
低功耗电流	PCS_ON=低电平, LIN/GPS=低电平			10	μ A

4.7.3 TQ5638 内部结构与引脚功能

TQ5638 芯片内部包含有:一个 PCS 通道,PCS LNA、LO 输入缓冲器、PCS 混频器;另一个 GPS 通道,GPS LNA 和 GPS 混频器;以及控制逻辑电路。TQ5638 的内部结构与引脚封

装形式如图 4-71 所示。TQ5638 的引脚功能如表 4-44 所列。

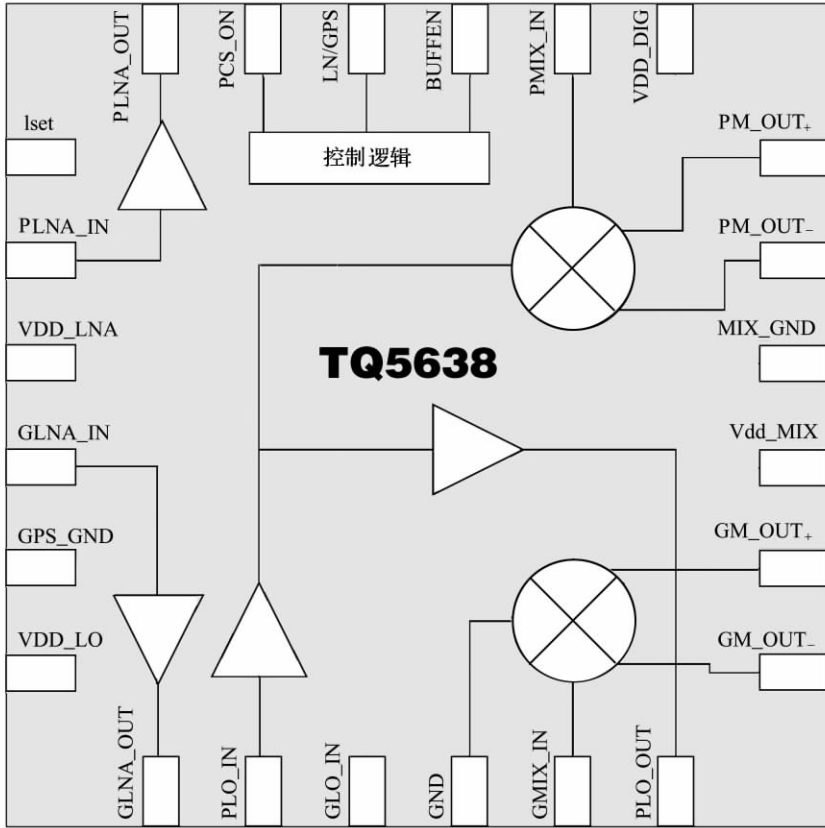


图 4-71 TQ5638 的内部结构与引脚封装形式

表 4-44 TQ5638 的引脚功能

引脚	符号	功 能
1	Iset_PCS	PCS LNA 偏置电阻
2	PLNA_IN	PCS LNA 输入。需要一个隔直电容,隔直电容可以是输入匹配网络中的一个元件
3	Vdd_LNA	PCS和 GPS LNA 电源电压引脚。需要一个旁路电容,旁路电容尽可能的靠近这个引脚连接
4	GLNA_IN	GPS LNA 输入。需要 LC 匹配网络
5	GPS_GND	GPS 地
6	Vdd_LO	LO 缓冲器电源电压
7	GPS_LNA_OUT	GPS LNA 输出
8	PLO_IN	PCS LO 输入
9	GLO_IN	GPS LO 输入
10	GND	地
11	GPS_Mix_IN	GPS 混频器输入
12	PLO_OUT	PCS LO 缓冲器输出。不需要隔直电容
13	GPS_Mix_OUT-	GPS IF 输出负端
14	GPS_Mix_OUT+	GPS IF 输出正端

15	Vcc_Mix	所有混频器的电源电压
16	MIX_GND	混频器地
17	PCDMA_OUT-	CDMA 输出负端
18	PCDMA_OUT+	CDMA 输出正端
19	Vdd_DIG	逻辑控制电路电源电压
20	PM_IN	PCS 混频器射频输入
21	BUFFEN	LO 输出缓冲器使能。设置 BUFFEN 引脚为高电平,使能 PCS LO 缓冲器输出
22	LIN/GPS	高/低线性选择。逻辑高电平选择高线性模式
23	PCS_ON	PCS 电源导通控制。逻辑高电平选择 PCS 频带
24	PLNA_OUT	PCS LNA 输出。需要上拉电感到 V_{CC} 和串联隔直电容,上拉电感和隔直电容可以是输出匹配网络中的元件

4.7.4 TQ5638 电路应用

TQ5638 的应用电路如图 4-72 所示。工作模式控制如表 4-45 所列。

表 4-45 工作模式控制

模 式		逻辑电平输入		
		PCSon	LIN/GPS	BUFFEN
低功耗模式	所有电路关闭	0	0	×
PCS 模式	高增益、高线性模式	1	1	×
	高增益、低线性模式	1	0	×
	PCS LO 输出缓冲器有效	1	×	1
GPS 模式		0	1	×

4.7.5 TQ5638 的封装尺寸

TQ5638 采用 4mm×4mm MLF-24 封装,封装尺寸和推荐的引脚印制板设计尺寸与 TQ5139 相同,参见图 4-69 和图 4-70 所示。

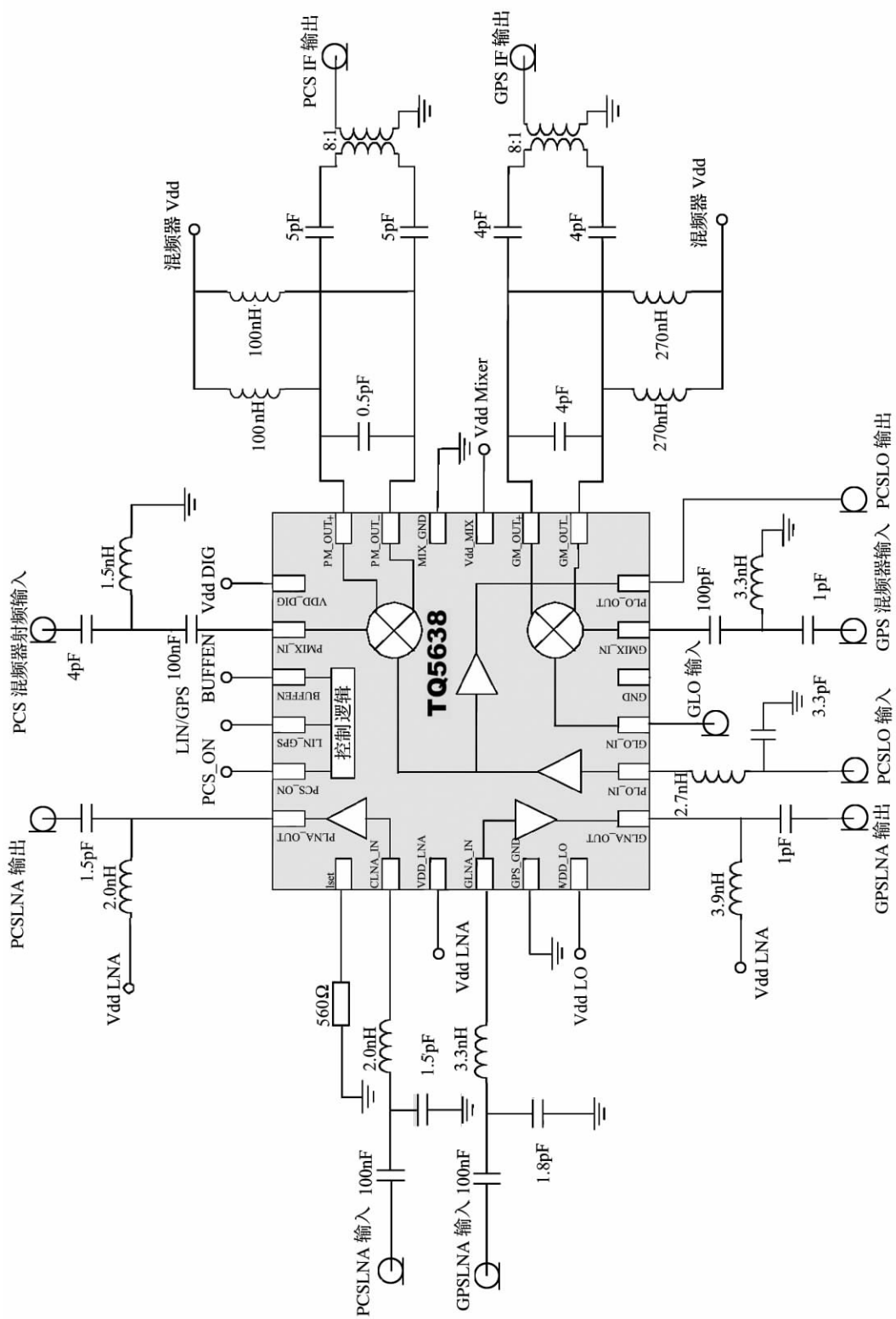


图 4-72 TQ5638 的应用电路

第 5 章 GPS 接收机射频前端电路设计

5.1 基于 ATR0600 的 GPS 接收机射频前端电路

5.1.1 ATR0600 简介

ATR0600 是一个 GPS 接收机射频前端 IC 芯片,采用单 IF 结构,芯片上包含有混频器、IF 放大器、2bit 的模数转换器(ADC)、晶体振荡器等电路,芯片具有极高的集成度,很小的功耗(约 50mW),采用 5mm×5mm VFQFP-N28 封装,构成 GPS 接收机射频前端电路只需要很少的外部器件,适合移动式导航系统应用。

5.1.2 ATR0600 主要性能指标

ATR0600 主要性能指标如表 5-1 和表 5-2 所列。

表 5-1 推荐的工作条件

参 数	符 号	数 值	单 位
电源电压	V_s	2.7~3.3	V
温度范围	T_{emp}	-40~+85	°C
输入频率	$f_{in,mixer}$	1575.42	MHz
基准频率	f_{ref}	23.104	MHz
数字接口电源电压(引脚 27)	V_{DD}	1.65~2.0	V

表 5-2 主要性能指标

参 数	符 号	引 脚	测 试 条 件	最 小 值	典 型 值	最 大 值	单 位
总 体 参 数							
电源电流	I_s	3,6,11,19,23	$P_1 = P_2 = VPU_{on}$		18		mA
XTO 电源电流	I_{XTO}	6	$P_1 = VPU_{on}$ $P_2 = VPU_{on}$		2		mA
数字接口电源电流	I_{DD}	27	$P_1 = P_2 = VPU_{on}$		250		μA
低功耗模式电源电流	$I_{s,pd}$	3,6,11,19,23,27	$P_1 = P_2 = VPU_{off}$			20	μA
总增益	G	1	RFIN, RNIN 匹 配到 50Ω 电阻, $V_{GC} = 2.2V$		95		dB
噪声系数	N_F					6.9	dB
混频器和第 1 级中频滤波器							
输出频率	f_{IF}	15,16	$f_{ref} = 23.104MHz$		96.76		MHz
输入阻抗	$Z_{in,IF}$	12,13	$f_{ref} = 1575MHz$		13-j80		Ω

(续)

参数	符号	引脚	测试条件	最小值	典型值	最大值	单位
VGA 和第 2 中频滤波器							
带通滤波器中心频率	$f_{in,VGA}$		$f_{ref}=23.104MHz$		96.76		MHz
最小增益	G_{VGAmin}		$V_{GC}=1.0V$		0		dB
最大增益	G_{VGAmax}		$V_{GC}=2.2V$		75		dB/V
控制电压灵敏度	N_{VGAmin} N_{VGAmax}		$V_{GC}=2.2V$ $V_{GC}=1.0V$		6.6 150		dB/V
增益控制输出截止频率	$F_{AGC-OUT}$		无外部负载		100		kHz
增益控制输出电压	$V_{AGC-OUT}$	1	50pF 负载	1.0		2.2	V
基准振荡器							
在 100Hz 时的 XTO 相位噪声	P_{n100}	28			-80		dBc/Hz
在 1kHz 时的 XTOX 相位噪声	P_{n1k}	28			-100		dBc/Hz
时钟和数据驱动器							
时钟驱动器频率	f_{clk}	28			23.104		MHz
时钟输出高电平	$V_{clkhigh}$	28	$C_{load}=10pF$		$0.8 \times V_{DD}$		V
时钟输出低电平	V_{clklow}	28	$C_{load}=10pF$		$0.2 \times V_{DD}$		V
数据输出高电平	$V_{datahigh}$	25,26	$C_{load}=10pF$		$0.8 \times V_{DD}$		V
数据输出低电平	$V_{datalow}$	25,26	$C_{load}=10pF$		$0.2 \times V_{DD}$		V
电源导通控制(引脚 P1、P2)							
电源导通控制电压	V_{PUon}	9,10		0.9			V
电源关断控制电压	V_{PUoff}	9,10				0.3	V
电源导通延迟时间	TPU_{on-off}	9,10				6	μs

5.1.3 ATR0600 芯片封装与引脚功能

ATR0600 采用 VFQFP-N28 封装,引脚封装形式如图 5-1 所示,引脚功能如表 5-3 所列。

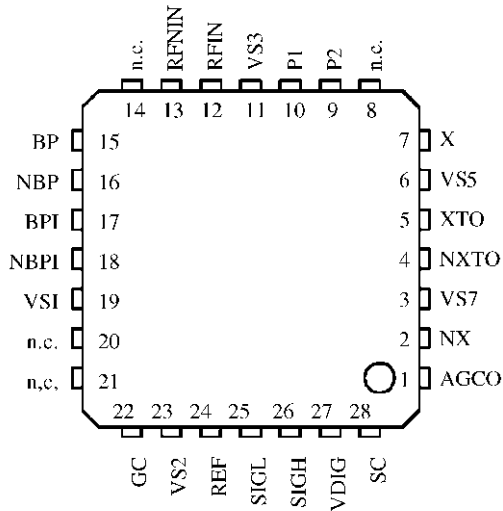


图 5-1 ATR0600 引脚封装形式

表 5-3 ATR0600 引脚功能

引脚	符号	类型	功 能	保护级
1	AGCO	O	信号电平输出	ESD3
2	NX	OB	X 的互补端	ESD3
3	VS7	P	ECL 功能块电源	ESD2
4	NXTO	IB	XTO 的互补端	ESD3
5	XTO	IB	晶体振荡器输入	ESD3
6	VS5	P	XTO 电源	ESD2
7	X	OB	晶体振荡器中间输出端	ESD3
8	n. c.		空脚	
9	P2	I	晶体振荡器的电源导通控制	ESD3
10	P1	I	射频部分的电源导通控制	ESD3
11	VS3	P	基准电源	ESD2
12	RFIN	IB	1.575GHz 射频输入	ESD3
13	RFNIN	IB	RFIN 的互补端	ESD3
14	n. c.		空脚	
15	BP	IB	混频器集电极开路输出	ESD3
16	NBP	IB	BP 的互补端	ESD3
17	BPI	IB	中频滤波器输入	ESD3
18	NBPI	IB	BPI 的互补端	ESD3
19	VS1	P	VCO、混频器和 VGA 电源	ESD2
20	n. c.		空脚	
21	n. c.		空脚	
22	GC	I	增益控制输出	ESD3
23	VS2	P	辅助单元电源	ESD2
24	REF	O	定义的低电平阈值电压	ESD3
25	SIGL	O	数字接口二次采样输出的高电平阈值电压	ESD3
26	SIGH	O	数字接口二次采样输出的低电平阈值电压	ESD3
27	VDIG	P	数字接口电源电压, 1.8V	ESD2
28	SC	O	数字接口时钟输出	ESD3

5.1.4 ATR0600 内部结构与电路应用

ATR0600 的内部结构与电路应用形式如图 5-2 所示, 芯片内部包含混频器、中频放大器、A/D 转换器、晶体振荡器等电路。

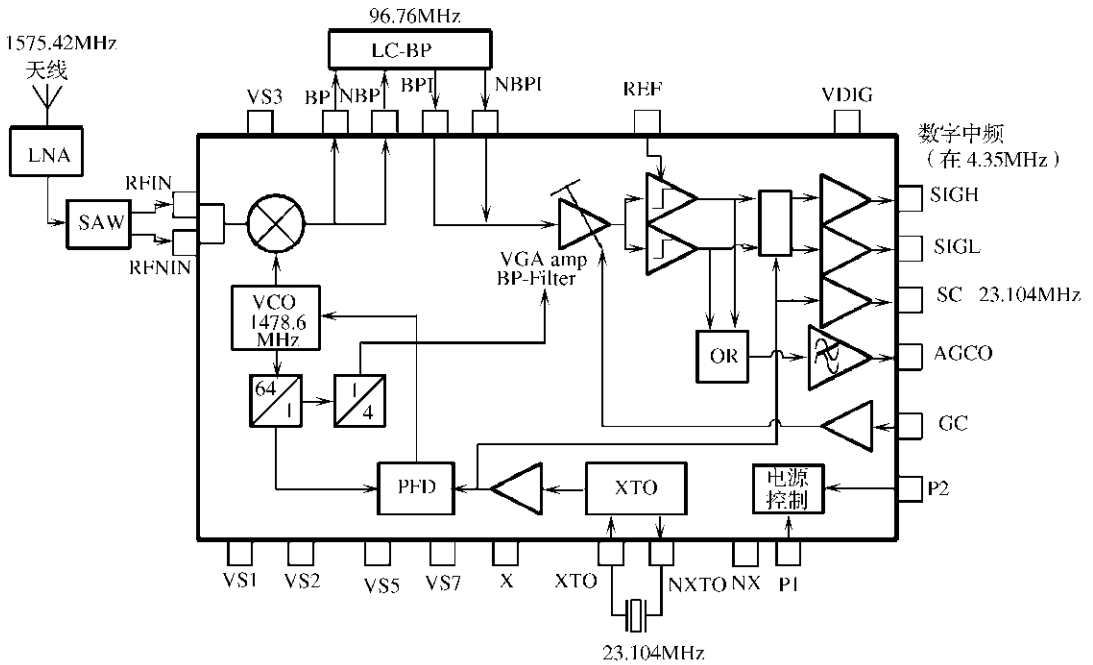


图 5-2 ATR0600 的内部结构与电路应用形式

ATR0600 GPS 射频前端 IC 芯片适合移动电话应用。ATR0600 采用低功耗的单 IF 结构,集成有完整的频率合成器,电源电压范围为 2.7V~3.3V。接收机的输入信号是频率为 1575.42MHz、1.023Mb/s BPSK(Bi-Phase-Shift-Keying) 调制编码的直接序列扩频信号(Direct Sequence Spread Spectrum, DSSS)。在天线端的输入信号功率是 -140dBm。

1. LNA/混频器级(LNA/Mixer Stage)

ATR0600 通过外部的 LNA 接收 L1 GPS 信号。LNA 要尽可能采用窄带形式,以避免来自带外信号的干扰(特别是来自 1800MHz GSM 频带的干扰)。与天线连接的 LNA 对 GPS 信号进行第 1 级滤波。LNA 具有低功耗控制功能,低功耗控制信号由 GPS 接收机的数字电路部分产生。LNA 输出驱动一个外部 SAW 滤波器,对混频器频率进行镜像抑制和对 1800MHz GSM 频带信号进行隔离。SAW 滤波器的输出驱动高线性的混频器,混频器将 GPS 信号下变频到 97.76MHz 中频。

2. 中频级(IF Stage)

混频器直接驱动外部 LC 带通滤波器。在 A/D 转换器前,为了更好的选择 GPS 的频率,ATR0600 利用外部滤波器和集成的滤波器。外部滤波器通常使用 2 级滤波器,其品质因数 $Q > 25$ 。IF 滤波器接口与滤波器结构如图 5-3 所示。

3. 可变增益放大器(VGA)级(VGA Amplifier Stage)

LC 滤波器的输出驱动芯片上可变增益放大器(Variable Gain-Controlled amplifier, VGA),与片上集成的中频带通滤波器组合,完成对 GSM 干扰信号的滤波。AGC 对信号进行控制,为后面的 A/D 转换器提供最佳的信号范围。AGC 控制回路可以选择片上闭环或者开环模式。将 AGC_OUT 输出直接连到 AGC_CNTRL 输入,可激活内部控制回路。VGA 控制信号经过集成缓冲器级输入到 VGA,其中缓冲器包含所有必须的滤波(低通滤波)。外部控

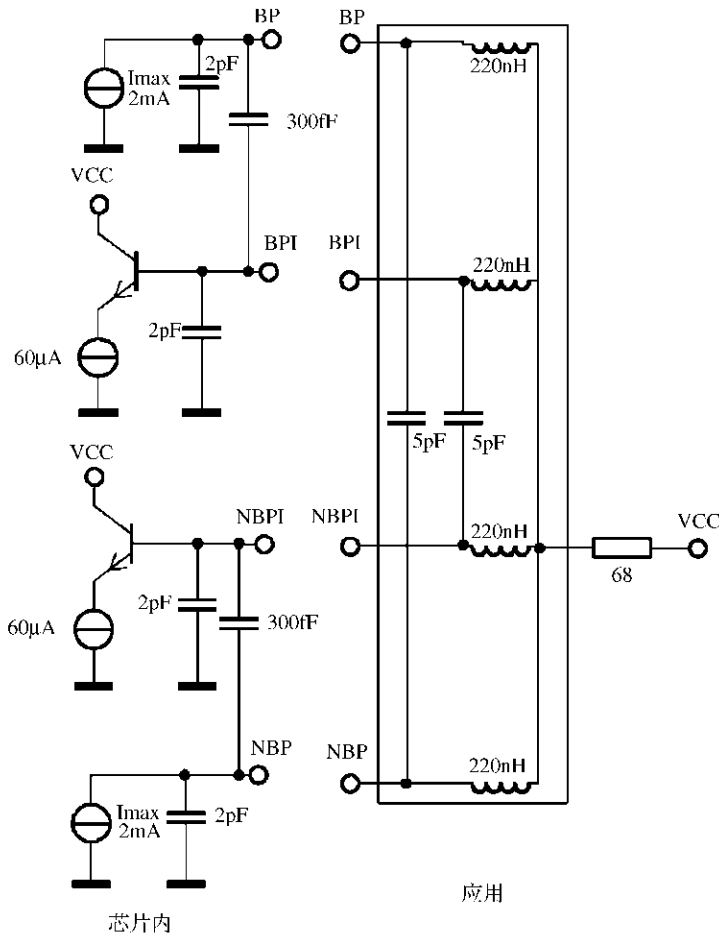


图 5-3 IF 滤波器接口与滤波器结构

制回路靠近 ATR0620 基带处理器。AGC 接口电路如图 5-4 所示。

4. A/D 转换器级 (A/D Converter Stage)

VGA 输出驱动集成的 1.5bit A/D 转换器(analog-to-digital converter), 包含两个比较器和两个输出驱动器, 输出符号和量级的数据位到 ATR0620 基带处理器。比较器的高电平和低电平阈值由外部电阻来调整。或门关闭内部 AGC 控制回路。SIGH 接口如图 5-5 所示, SIGL 接口如图 5-6 所示。

5. 低功耗控制

集成的低功耗设置控制级由 ATR0620 基带处理器通过 P1 引脚和 P2 引脚来控制。P2 控制信号控制基准晶体振荡器的关闭, P1 控制信号控制整个射频部分的关闭, 如图 5-7 至图 5-9 所示。

图 5-9 A/D 基准电平控制接口 Ref

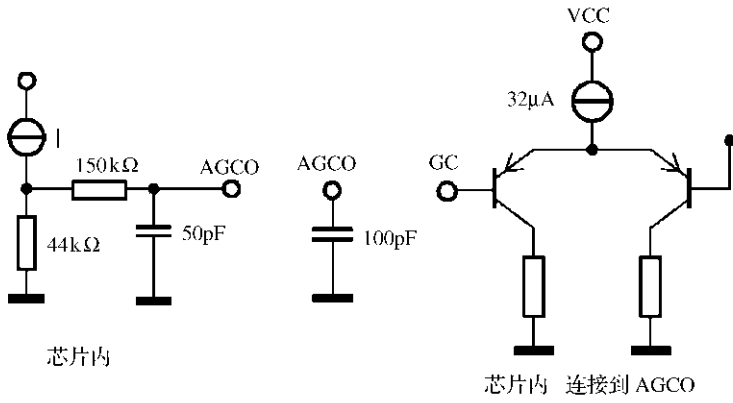


图 5-4 AGC 接口

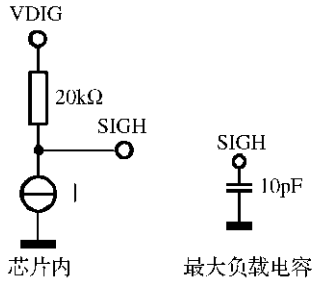


图 5-5 SIGH 接口

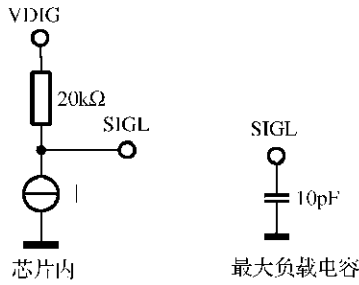


图 5-6 SIGL 接口

6. 其他接口电路

时钟接口电路如图 5-10 所示。XTO 接口电路 5-11 所示。

5.1.5 ATR0600 封装尺寸

ATR0600 采用 5mm×5mm VFQFP-N28 封装,封装尺寸如图 5-12 所示,尺寸单位为 mm。

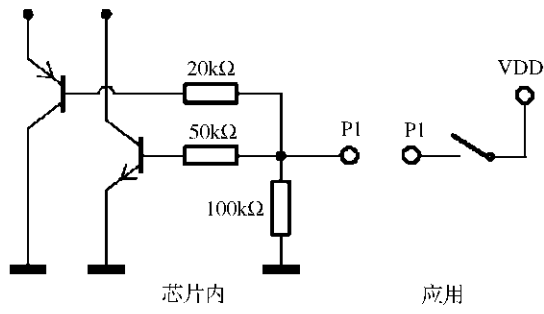


图 5-7 P1 引脚控制接口

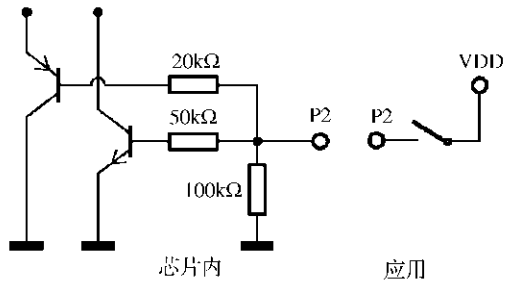


图 5-8 P2 引脚控制接口

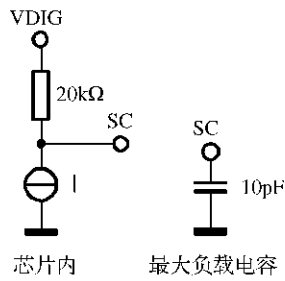
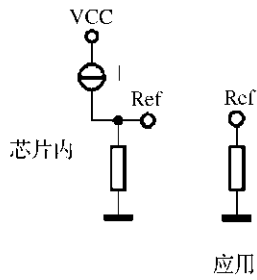


图 5-10 时钟接口

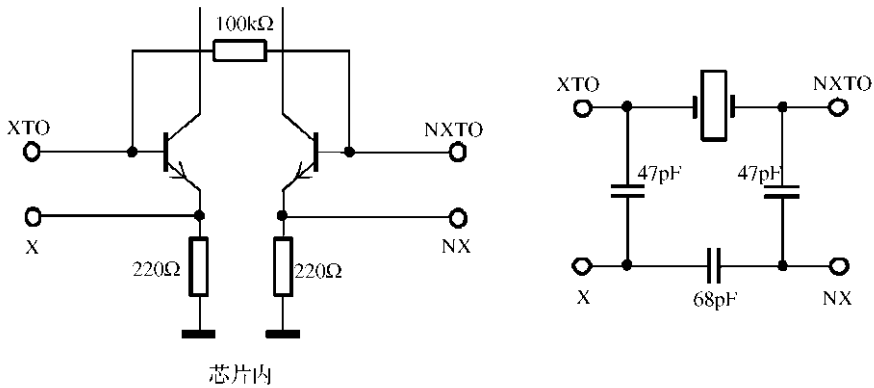


图 5-11 XTO 接口

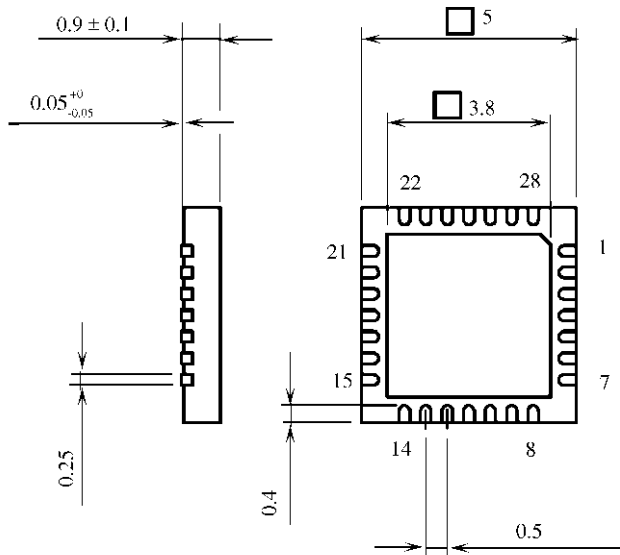


图 5-12 ATR0600 封装尺寸

5.2 基于 GP2010 的 GPS 接收机射频前端电路

5.2.1 GP2010 简介

GP2010 是第 2 代 GPS 接收机射频前端电路, 提供一个低功率、低成本和高可靠性的 GPS 射频前端解决方案。GP2010 工作电源电压 $3\text{V} \sim 5\text{V}$, 功耗 200mW (3V 电压)。L1 (1575.42MHz)C/A (Coarse-Acquisition) 码信号通过天线和低噪声放大器输入到 GP2010, GP2010 输出是一个 2bit 的数字信号。GP2010 包括一个片上合成器、混频器、自动增益控制 (AGC) 和一个提供符号和量级数字输出的量化器, 采用 MQFP-44 ($10\text{mm} \times 10\text{mm} \times 2.0\text{mm}$) 封装, 构成一个完整的 GPS 射频前端仅需要极少的外部元件, 可以与 GP2021 12 信道 GPS 相关器配套, 适合 C/A 代码全球定位的卫星接收机、时间标准、导航和测量应用。

5.2.2 GP2010 主要性能指标

GP2010 主要性能指标如表 5-4 和表 5-5 所列,参数测试电路如图 5-13 所示。

表 5-4 绝对最大额定值

参 数	数 值	单 位
最大输入电压	7	V
最大射频输入	+15	dBm
任意引脚最大电压(除了 LD(19 脚)和 Preset(9 脚)是 5.5V)	$V_{CC}/V_{DD}+0.5$	V
任意引脚最小电压	$V_{EE}-0.5$	V
存储温度	-65~+150	°C
工作接点温度	-40~+150	°C
10MHz 基准输入	1.5(峰峰值)	V

表 5-5 主要性能指标

(测试条件:除非另外规定,电源电压为 $V_{CC}=V_{DD}=+2.7V\sim+5.5V$,工业级产品测试温度为 +25°C)

参 数		最小值	典型值	最大值	单 位	条 件
电 源						
普通模式 接口电流	模拟接口		55	77	mA	引脚 5、23、26、32、35、42
	数字接口		9	14.5	mA	引脚 16
低功耗模式 接口电流	模拟接口		3	6	mA	引脚 5、23、26、32、35、42
	数字接口		3	5	mA	引脚 16
电源电压差				100	mV	V_{CC}/V_{DD} 任一电压对地 ^①
低功耗模式响应时间 ^②			3		μs	
前端/混频器 1						
转换增益(G1)		11	18	25	dB	$R_o=600\Omega$ ^② , $F_{IN}=1575.42MHz$
噪声系数			9		dB	$Z_s=50\Omega$

(续)

参 数	最小值	典型值	最大值	单 位	条 件	
输入压缩(1dB)	-22	-16		dBm		
输入阻抗		15		Ω	引脚 29 ^{⑦⑧}	
		3.6		nH		
差分输出阻抗		700		Ω	引脚 33,34 ^⑧	
射频输入像频干扰		8		dB	$F_{IN} = 1224.58\text{MHz}$ ^⑦	
第 2 级/混频器 2						
转换增益(G2)	22	27	33	dB	$F_{IN} = 175.42\text{MHz}$	
输入压缩(1dB)	5	14		mV		
差分输入阻抗		700		Ω	引脚 36,37 ^⑧	
差分输出阻抗		500		Ω	引脚 40,41 ^⑧	
第 3 级						
高增益 ^⑨	106-G1-G2			dB		
高增益(G3)		75		dB	$F_{IN} = 35.42\text{MHz}$	
增益控制范围 ^⑩		60		dB		
差分输入阻抗		1		k Ω	引脚 43,44 ^⑧	
中频输出幅度	60	85	120	mV	CW 输入 ^⑩	
中频输出阻抗		1		k Ω	引脚 1 ^⑧	
4.3MHz 滤波器响应						
平直度 4.3 \pm 1MHz	-1.5		+1.0	dB		
干扰 ^{⑦⑧}	在 0.5MHz		14	dB		
	在 50MHz	45	70	dB		
2 位(bit)量化器						
符号占空比 ^⑩	40	50	60	%		
量级占空比 ^⑩	20	30	40	%		
AGC 时间常数		2		ms	$C_{AGC} = 100\text{nF}$	
片上锁相环合成器						
相位噪声	$\pm 1\text{kHz}$		-68		dBc/Hz	15kHz 回路带宽 ^⑩
	$\pm 10\text{kHz}$		-75		dBc/Hz	
	$\pm 100\text{kHz}$		-88		dBc/Hz	
	$\pm 1\text{MHz}$		-110		dBc/Hz	
	$\pm 5\text{MHz}$		-120		dBc/Hz	
	$\pm 50\text{MHz}$		-120		dBc/Hz	
锁相环激励		-50		dBc		
VCO 最大锁定频率	1414			MHz		
VCO 最小锁定频率			1386	MHz		
VCO 调节器输出电压	3	3.3	3.5	V		
VCO 增益	50	150	240	MHz/V		

(续)

参 数	最小值	典型值	最大值	单 位	条 件
鉴相器增益		5.3		V/rad	
10MHz 基准输入幅度	0.1	0.6	1.2	V	引脚 24
10MHz 基准输入阻抗 ^①		5		kΩ	
锁相环锁定时间		6		ms	从上电开始 ^⑦
锁相环环路增益 ^②		120		dB	
数字接口(采样时钟,低功耗模式,引脚 11、17、18)					
输入高电平电压(V_{IH})	2		V_{DD}	V	
输入低电平电压(V_{IL})	0		0.5	V	
输入高电平电流(I_{IH})			10	μA	$V_{IH}=V_{DD}$
输入低电平电流(I_{IL})	-300			μA	$V_{IL}=V_{EE}$
符号/量级输出(引脚 13、12)					
符号/量级输出高电平 V_{OH}	$V_{DD}-1$			V	$I_O=-0.5mA$
符号/量级输出低电平 V_{OL}			0.5	V	$I_O=0.5mA$
采样时钟到符号/量级的延迟		20		ns	$CL=15pF, RL=15k\Omega$ ^⑦
40MHz 时钟输出					
高电平(V_{OH})	$V_{DD}-1.25$	$V_{DD}-1$	$V_{DD}-0.8$	V	引脚 14、15
低电平(V_{OL}) ^⑤		$V_{OH}-0.1$		V	
输出(差分)		220		mV(峰峰值)	$CL=15pF$ (接地,差分) ^⑦
占空因素 ^⑦		43		%	
LD(锁相环锁定)/PReset 输出(引脚 19、9)					
低电平(V_{OL})		0.2	0.5	V	$I_O=0.5mA$
高电平(V_{OH})	$V_{DD}-1$	V_{DD}		V	$I_O=-10\mu A$
上电复位比较器输入(引脚 8)					
电源复位基准电平	1.1		1.35	V	
电源复位基准输入电流	-10		10	μA	
<p>所有的射频测量要有合适的输入输出阻抗匹配,如平衡转换变压器。</p> <p>① 没有输入匹配元件的射频输入阻抗(串联),连接带有电抗性的电感值的实阻抗,在 1575.42MHz 测量。</p> <p>② 输入匹配到 50Ω,输出为 600Ω 的差分负载。</p> <p>③ 最大第 3 级输入信号,自动增益控制(AGC)操作 = 20mV(rms)。</p> <p>④ 压控振荡器(VCO)调节器电压测量, $V_{CC}(\text{OSC})$ 引脚 5。</p> <p>⑤ OPCLK 输出,差分形式。</p> <p>⑥ 最小增益要求表达式为</p> $-7dBm < -174dBm/Hz + 19dB + G1 + G2 + G3 - 21dB + 63dB$ <p>式中 -7dBm——典型中频输出电平,自动增益控制(AGC)有效(100mV(rms));</p> <p>-174dBm/Hz——在射频输入端的背景噪声电平;</p> <p>19dB——低噪声放大器(LNA)增益和噪声系数总和;</p> <p>-21dB——在 175MHz 和 35MHz 滤波器中总的损耗;</p> <p>63dB——覆盖 2MHz 带宽的噪声总和。</p> <p>重新整理上面的表达式,给出 $G1 + G2 + G3 > 106dB$。</p> <p>⑦ 该参数没有经过产品测试。</p> <p>⑧ 该阻抗允许误差在 $\pm 30\%$,且没有经过产品测试。</p> <p>⑨ 片上电容耦合中频输出到 ADC 电路的输入。在中频输出端不测量。</p> <p>⑩ 在引脚 43、44 的 CW 输入,35.42MHz(在 7mV 时)。</p> <p>⑪ 该输入阻抗应用于典型的输入级,且输入阻抗没有经过测试或保证</p>					

5.2.3 GP2010 芯片封装与引脚功能

GP2010 芯片采用 SMQFPP-44(44-Lead Surface Mount Quad Flat-Pack Package)封装, 引脚封装形式如图 5-14 所示, 引脚功能如表 5-6 所列。

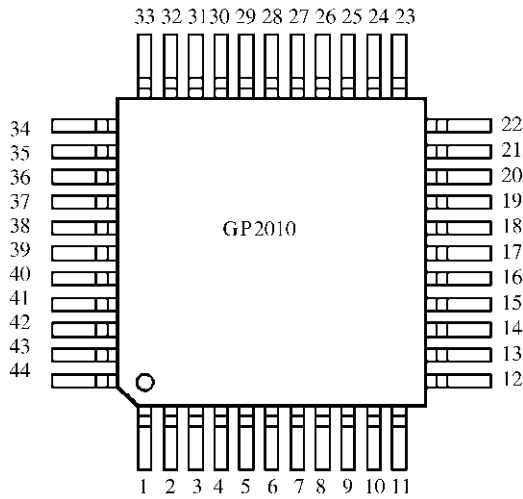


图 5-14 GP2010 引脚封装形式

表 5-6 GP2010 引脚功能

引脚	符号	I/O 类型	功能
1	IOutput	输出	中频测试输出。连接第 3 级输出到模数转换器。串联一个 1k Ω 电阻用于缓冲
2	PLL Filt1	输出	锁相环(PLL)滤波器 1。连接到在内部片上压控振荡器(VCO)中的偏置网络。在这个引脚和 PLL Filt2 引脚之间必须连接一个外部锁相环(PLL)环路滤波网络
3	PLL Filt2	输出	锁相环(PLL)滤波器 2。连接到在内部片上压控振荡器(VCO)中变容二极管; 在这个引脚和 PLL Filt1 之间必须连接一个外部锁相环(PLL)环路滤波网络。
4,6	$V_{EE}(\text{OSC})$	输入	片上压控振荡器(VCO)负电源 ^①
5	$V_{CC}(\text{OSC})$	输入	片上压控振荡器(VCO)正电源
7	$V_{EE}(\text{REG})$	输入	压控振荡器(VCO)调节器负电源,这个引脚必须接地
8	PRef	输入	上电复位基准输入。当 PRef 输入电压超过 +1.21V 时,片上的比较器产生一个逻辑高电平
9	PReset	输出	上电复位输出。上电复位比较器控制的一个与 TTL 兼容的输出。当芯片低功耗模式时,这个输出仍然有效(见引脚 17——PDn)
10	$V_{EE}(\text{IO})$	输入	数字接口负电源 ^②
11	CLK	输入	来自相关器芯片的采样时钟输入。输入与 TTL 兼容(如果使用 GP2021 相关器,工作在 5.714MHz)在 CLK 信号的上升沿时,对 MAG 和 SIGN 输出锁存
12	MAG	输出	量级位数据输出。一个与 TTL 兼容的信号,代表下混频中频信号的量级。产生于片上 2 位模数转换器,与 CLK 输入时钟信号同步
13	SIGN	输出	符号位数据输出。一个与 TTL 兼容的信号,代表下混频中频信号的极性。产生于片上 2 位模数转换器,与 CLK 输入时钟信号同步

(续)

引脚	符号	I/O 类型	功能
14	OPClk-	输出	40MHz 时钟反相输出。时钟平衡差分输出端的一端,与引脚 15——OPClk+ 极性相反。驱动在相关器芯片的一个主时钟信号
15	OPClk+	输出	40MHz 时钟同相输出。时钟平衡差分输出端的一端,与引脚 14——OPClk- 极性相反。驱动在相关器芯片的一个主时钟信号
16	V _{DD} (IO)	输入	数字接口的正电源 ^②
17	PDn	输入	低功耗控制输入。输入与 TTL 兼容,当设置成高电平时,将使所有的 GP2010 功能失效,除上电复位模块外。用来减少 GP2010 的总功耗。如果不需要这个特性,这个引脚必须连接到 0V(V _{EE} /GND)
18	TEST	输入	测试控制输入—禁止锁相环(PLL)。输入与 TTL 兼容,当设置成高电平时,通过断开下变频压控振荡器(VCO)和鉴相器的连接将使片上锁相环(PLL)失效。如果不需要这个特性,这个引脚必须连接到 0V(V _{EE} /GND)
19	LD	输出	锁相环(PLL)锁定检测输出。一个与 TTL 兼容的输出,表示如果锁相环锁定到锁相环基准晶体振荡器频率。当相位锁定时将变为高电平
20	V _{EE} (DIG)	输入	锁相环和模数转换器负电源
21	AGC-	输出	自动增益控制电容反相输出。连接一个外部电容,用来设置自动增益控制时间常数
22	AGC+	输出	自动增益控制电容同相输出。连接一个外部电容用来设置自动增益控制时间常数
23	V _{CC} (DIG)	输入	锁相环和模数转换器正电源
24	REF2	输入	10.000MHz 锁相环基准信号输入。如果使用一个外部锁相环参考频率源(例如 TCXO),交流耦合输入外部产生的 10.000MHz 锁相环基准信号。如果不使用外部基准频率源,这个引脚连接一个 10.000MHz 晶体振荡器
25	REF1	输入	锁相环基准晶体振荡器辅助连接。与引脚 24(REF2)一起,用来连接一个 10.000MHz 的外部晶体振荡器,提供锁相环基准信号。如果使用一个外部 TCXO,这个引脚不要连接
26,32	V _{CC} (RF)	输入	射频输入和第 1 级中频混频器的正电源
27,28,30,31	V _{EE} (RF)	输入	射频输入和第 1 级中频混频器的负电源
29	RF input	输入	射频输入。来自外部天线的 1575.42MHz GPS 射频信号输入,通过一个低噪声放大器(LNA)和滤波器,经由一个输入匹配网络连接到这个引脚
33	O/P1-	输出	第 1 级混频器反相输出(在 175.42MHz)。第 1 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 V _{CC} (RF),数值取决于所使用的滤波器
34	O/P1+	输出	第 1 级混频器同相输出(在 175.42MHz)。第 1 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 V _{CC} (RF),数值取决于所使用的滤波器
35	V _{CC} (2)	输入	第 2 级中频混频器正电源
36	I/P2-	输入	第 2 级混频器反相输入(在 175.42MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端
37	I/P2+	输入	第 2 级混频器同相输入(在 175.42MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端
38,39	V _{EE} (IF)	输入	第 2 级中频混频器和第 3 级中频混频器的负电源

(续)

引脚	符号	I/O 类型	功能
40	O/P2-	输出	第 2 级混频器反相输出(在 35.42MHz MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 V_{CC}
41	O/P2+	输出	第 2 级混频器反相输出(在 35.42MHz MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 V_{CC} ③
42	$V_{CC}(3)$	输入	第 3 级中频混频器正电源
43	I/P3-	输入	第 3 级混频器反相输入(在 35.42MHz)。第 3 级中频混频器的一个平衡输入端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端③
44	I/P3+	输入	第 3 级混频器同相输入(在 35.42MHz)。第 3 级中频混频器的一个平衡输入端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端
<p>① 引脚 4、6(V_{EE}(OSC))都在内部连接。如果使用压控振荡器(VCO)的调节器,那么引脚 4、6 必须是浮置的,每个引脚需要连接一个 100nF 的去耦电容到 $V_{CC}(OSC)$;</p> <p>② 数字接口电源独立于其他所有的电源引脚,允许电源分离,以减小不需要的数字信号对中频带影响的可能性;</p> <p>③ 35.42MHz 带通滤波器必须有一个大约 2.0MHz 的带宽</p>			

5.2.4 GP2010 内部结构与工作原理

GP2010 内部结构方框图如图 5-15 所示。

GP2010 接收从 GPS 卫星发射的 1575.42MHz 的 GPS L1 信号,然后使用 3 级下变频器把它转换为 4.309MHz 的中频信号。4.309MHz 的中频信号被采样并产生一个 2bit 数字信号(符号和量级)输出。如果 GP2010 与 GP2021 相关器连接,那么 GP2021 提供一个 5.714MHz 的采样时钟,把中频信号转换为一个 1.405MHz 的 2bit 数字输出(TTL 电平)。

1. 中频带(IF STRIP)

GPS L1 信号是一个用 1.023Mb/s BPSK 调制的、1575.42MHz 的扩频信号。在天线接收的信号电平大约是一 130dBm、2.046MHz 的带宽,因此需要的信号实际隐藏在噪声中。GP2010 的高射频输入压缩点,意味着需要使用后级的中频滤波器,滤去大量的带内干扰信号,特别是手机使用的 900MHz 频率。片上锁相环(PLL)产生的第 1 级本振信号是 1400MHz。前端混频器(第 1 级)输出 175.42MHz 中频信号,因此在加到第 2 级之前已被滤波。双平衡第 1 级混频器输出是集电极开路形式,需要外部直流偏置连接到 V_{CC} 。

第 2 级混频器提供一定的增益,使用 140MHz 的本振信号,产生一个 35.42MHz 的第 2 级中频输出。第 2 级混频器也是一个双平衡集电极开路输出,需要外部直流偏置连接到 V_{CC} 。

从第 2 级混频器输出的信号通过一个 1.9MHz 1dB 带宽的外部滤波器。这个滤波器的性能对系统的性能是关键性的,推荐使用一个声表面波滤波器 SAW(型号为 SAF-JA35M4WC0Z00

Murata)。SAW 滤波器的输出馈送到主中频放大器。主中频放大器包括 2 级自动增益控制

(AGC)放大器和一个使用 31.111MHz 本振信号产生一个 4.309MHz 末级中频信号的第 3 级混频器。在第 3 级混频器有一个片上滤波器,中心频率为 4.309MHz。中频输出阻抗为 1k Ω 。为了减少共模干扰,在中频放大器内部的所有信号是差分形式的(除 IF output,引脚 1 外),包括滤波器输入和输出。

中频信号馈送到一个 2bit 量化器(2 bit quantiser),2bit 量化器提供符号和量级输出。量级数据控制自动增益控制(AGC)环路,自动增益控制(AGC)时间常数由一个外部电容设置。

符号(SIGN,引脚 13)和量化(MAG,引脚 12)数据,通常在来自相关器的采样时钟 CLK(引脚 11)的上升沿时锁存。GP2021 提供 1 个 5.714MHz 的采样时钟,给出一个中心在 1.405MHz 的采样中频。

数字接口电路使用独立的电源电压 VDD(IO),以减少芯片数字和模拟电路之间的干扰。

2. 片上锁相环合成器

所有本振信号由片上锁相环合成器产生。片上锁相环合成器包括一个带有片上谐振回路、分频器、鉴相器、带有环路滤波元件的完整的一个 1400MHz 的压控振荡器。锁相环需要外部连接一个 10.000MHz 的基准频率。但是在大多数应用中,使用者连接一个外部信号源,例如像一个温度补偿晶体振荡器(TCXO)来提供更高的频率稳定性。一个外部基准频率信号必须交流耦合到 REF2(24 脚),REF1(25 脚)必须断开。

1400MHz、140.0MHz 和 31.11MHz 3 个本振信号由 1400MHz 合成器产生。这个 1400MHz 合成器也提供 40MHz 平衡差分输出时钟(引脚 14 和 15),用于 GP2021 相关器计时。这个时钟是一个低电平有效的差分信号,能够使电路模拟部分的干扰最小化。LD(引脚 19)提供一个锁相环(PLL)锁定检测输出,当锁相环(PLL)相位锁定到 10.000MHz 基准频率信号时,LD(引脚 19)为高电平。

压控振荡器(VCO)电源利用一个片上的电压稳压器来改善锁相环(PLL)的抗干扰性。这种特性只有当工作电压在 5V 时才被用到,内部电压稳压器输出为 3.3V。

3. 低功耗控制

GP2010 提供一个低功耗控制功能来限制功耗,这样可以减少电路的主要功耗(除“上电复位”功能外)。如果不需要低功耗控制功能,低功耗控制输入端 PDn(引脚 17)必须连接到 0V(V_{EE} /Ground)。

5.2.5 GP2010 电路应用

GP2010 的一个典型的应用电路如图 5-16 所示。GP2010 射频前端电路与 GP2021 12 信道相关器电路连接。射频输入匹配元件 C_s 和 C_p 必须安装得尽量靠近射频输入端, V_{EE} (RF)的导线也必须尽量短。175.42MHz 滤波器可以采用一个声表面波滤波器 SAW,也可以用简单双调谐 LC 滤波器所取代。第 1 级混频器的直流偏置经由电感 L1、L2 提供,电感 L1、L2 可以是 175.42MHz 滤波器的一部分。第 2 级混频器的输出也需要一个外部直流偏置,通过电感 L3、L4 提供,电感 L3、L4 也可用来调谐 35.42MHz 声表面波滤波器 SAW 的输入电容。声表面波滤波器的输出由电感 L5 调谐。AGC 电容(C_{AGC})决定自动增益控制时间常数。选择锁相环(PLL)环路滤波器元件,确定一个大约 10kHz 的锁相环(PLL)环路带宽。中频输出通常只用于测试。

晶体振荡器基准连接电路如图 5-17 所示。TCXO 基准连接电路如图 5-18 所示。压控振荡器电源连接电路如图 5-19 所示。

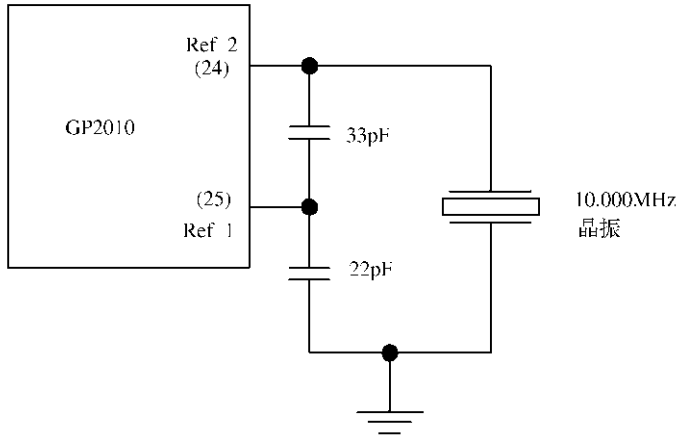


图 5-17 晶体振荡器基准连接电路

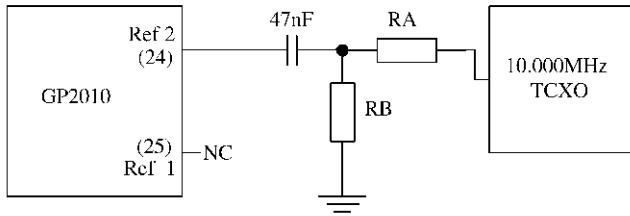


图 5-18 TCXO 基准连接电路

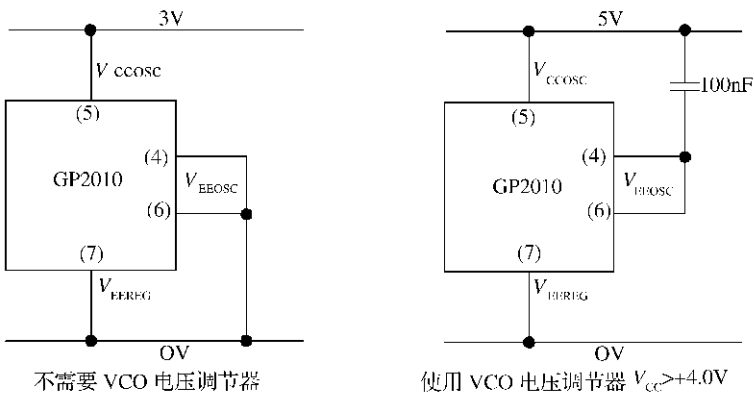
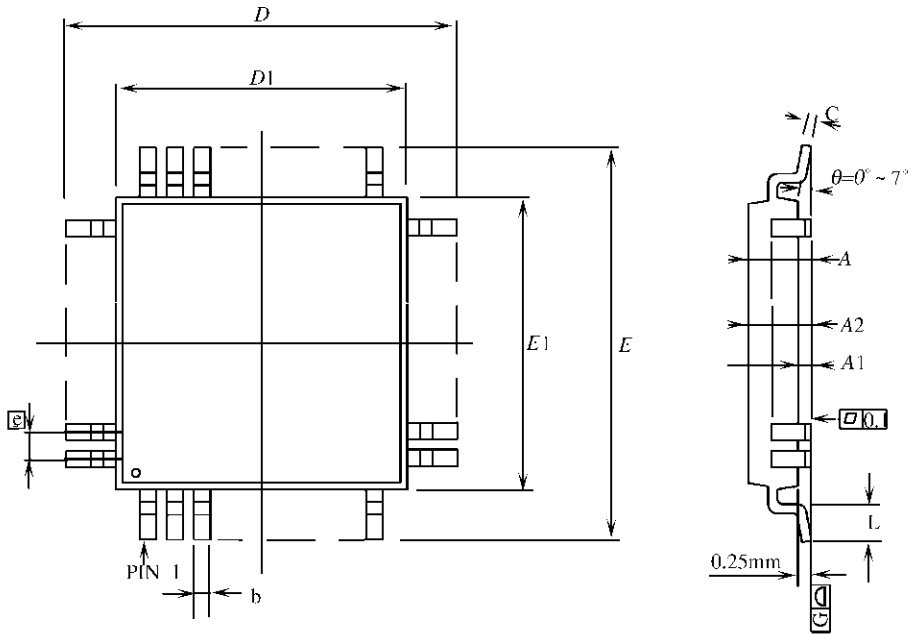


图 5-19 压控振荡器电源连接电路

5.2.6 GP2010 封装尺寸

GP2010 采用 MQFP-44 10mm×10mm×2.0mm 封装,封装尺寸如图 5-20 所示。



符号	最小值/mm	最大值/mm	最小值/英寸	最大值/英寸
A	—	2.45	—	0.096
A1	0.00	0.25	0.000	0.010
A2	1.80	2.20	0.071	0.087
D	13.20	BSC	0.520	BSC
D1	10.00	BSC	0.394	BSC
E	13.20	BSC	0.520	BSC
E1	10.00	BSC	0.394	BSC
L	0.73	1.03	0.029	0.041
e	0.80	BSC	0.031	BSC
b	0.29	0.45	0.011	0.018
c	0.11	0.23	0.004	0.009

图 5-20 GP2010 封装尺寸

5.3 基于 GP2015 的 GPS 接收机射频前端电路

5.3.1 GP2015 简介

GP2015 是一个 GPS 接收机射频前端电路, 提供一个低功率、低成本和高可靠性的 GPS 射频前端解决方案。与 GP2010 性能相同, 采用 TQFP-48 封装, 工作电源电压为 3V~5V, 功耗 200mW(3V 电压)。L1(1575.42MHz)C/A(Coarse-Acquisition)码信号通过天线

和低噪声放大器输入到 GP2015,GP2015 输出是一个 2bit 的数字信号。GP2015 包括一个片上合成器、混频器、自动增益控制(AGC)和一个提供符号和量级数字输出的量化器,构成一个完整的 GPS 接收机射频前端电路仅需要极少的外部元件,可以与 GP2021 12 信道 GPS 相关器和 GP4020 GPS 基带处理器配套使用,适合 C/A 代码全球定位的卫星接收机、时间标准、导航和测量应用。

5.3.2 GP2015 主要性能指标

GP2015 主要性能指标与 GP2010 相同,见表 5-4 和表 5-5。

5.3.3 GP2015 芯片封装与引脚功能

GP2015 采用 TQFP-48 封装,引脚封装形式如图 5-21 所示,引脚功能如表 5-7 所列。

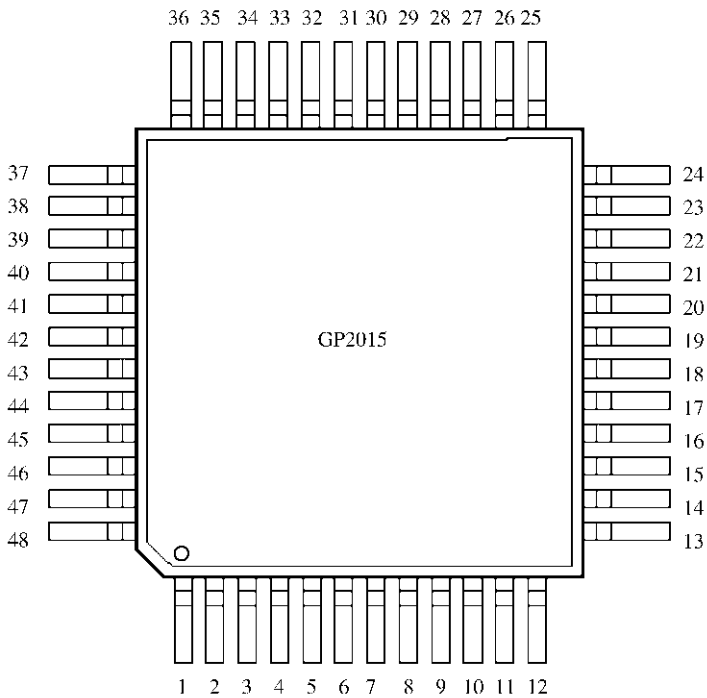


图 5-21 GP2015 引脚封装形式

表 5-7 GP2015 引脚功能

引脚	符号	I/O 类型	功能
1	IFOutput	输出	中频测试输出。连接第 3 级输出到模数转换器。串联一个 1kΩ 电阻用于缓冲
2	PLL Filt1	输出	锁相环(PLL)滤波器 1。连接到在内部片上压控振荡器(VCO)中的偏置网络。在这个引脚和 PLL Filt2 引脚之间必须连接一个外部锁相环(PLL)环路滤波网络
3	PLL Filt2	输出	锁相环(PLL)滤波器 2。连接到在内部片上压控振荡器(VCO)中变容二极管。在这个引脚和 PLL Filt1 之间必须连接一个外部锁相环(PLL)环路滤波网络
4,6	V _{EE} (OSC)	输入	片上压控振荡器(VCO)负电源 ^①

(续)

引脚	符号	I/O 类型	功 能
5	$V_{CC}(\text{OSC})$	输入	片上压控振荡器(VCO)正电源
7	$V_{EE}(\text{REG})$	输入	压控振荡器(VCO)电压调节器负电源。这个引脚必须接地
8	PRef	输入	上电复位参考输入。当 PRef 输入电压超过 +1.21V 时,片上的比较器产生一个逻辑高电平
9	PRReset	输出	上电复位输出。上电复位比较器控制的一个与 TTL 兼容的输出。当芯片低功耗模式时,这个输出仍然有效(见引脚 17——PDn)
10	$V_{EE}(\text{IO})$	输入	数字接口负电源 ^②
11	CLK	输入	来自相关器芯片的采样时钟输入。输入与 TTL 兼容(如果使用 GP2021 相关器,工作在 5.714MHz)在 CLK 信号的上升沿时,对 MAG 和 SIGN 输出锁存
12	N/C		未使用
13	N/C		未使用
14	MAG	输出	量级位数据输出。一个与 TTL 兼容的信号,代表下混频中频信号的量级。产生于片上 2bit 模数转换器,与 CLK 输入时钟信号同步
15	SIGN	输出	符号位数据输出。一个与 TTL 兼容的信号,代表下混频中频信号的极性。产生于片上 2bit 模数转换器,与 CLK 输入时钟信号同步
16	OPClk-	输出	40MHz 时钟反相输出。时钟平衡差分输出端的一端,与引脚 15——OPClk+ 极性相反。驱动在相关器芯片的一个主时钟信号
17	OPClk+	输出	40MHz 时钟同相输出。时钟平衡差分输出端的一端,与引脚 14——OPClk- 极性相反。驱动在相关器芯片的一个主时钟信号
18	$V_{DD}(\text{IO})$	输入	数字接口的正电源 ^②
19	PDn	输入	低功耗控制输入。输入与 TTL 兼容,当设置成高电平时,将使所有的 GP2010 功能失效,除上电复位模块外。用来减少 GP2010 的总功耗。如果不需要这个特性,这个引脚必须连接到 0V(V_{EE}/GND)
20	TEST	输入	测试控制输入,禁止锁相环(PLL)使能。输入与 TTL 兼容,当设置成高电平时,通过断开压控振荡器(VCO)和鉴相器的连接,使片上锁相环(PLL)不使能。如果不需要这个特性,这个引脚必须连接到 0V(V_{EE}/GND)
21	LD	输出	锁相环(PLL)锁定检测输出。输出端口与 TTL 兼容,当相位锁定时将变为高电平
22	$V_{EE}(\text{DIG})$	输入	锁相环和模数转换器负电源
23	AGC-	输出	自动增益控制电容反相输出。连接一个外部电容,用来设置 AGC 时间常数
24	AGC+	输出	AGC 电容同相输出。连接一个外部电容用来设置 AGC 时间常数
25	N/C		未使用
26	$V_{CC}(\text{DIG})$	输入	锁相环和模数转换器正电源
27	REF2	输入	10.000MHz 锁相环基准信号输入。如果使用一个外部锁相环基准频率源(例如 TCXO),交流耦合输入外部产生的 10.000MHz 锁相环基准信号。如果不使用外部基准频率源,这个引脚连接一个 10.000MHz 晶体振荡器
28	REF1	输入	锁相环基准晶体振荡器辅助连接。与引脚 24(REF2)一起,用来连接一个 10.000MHz 的外部晶体振荡器,提供锁相环基准信号。如果使用一个外部 TCXO,这个引脚不要连接
29,35	$V_{CC}(\text{RF})$	输入	射频输入和第 1 级中频混频器的正电源

(续)

引脚	符号	I/O 类型	功能
30,31,33,34	$V_{EE}(\text{RF})$	输入	射频输入和第 1 级中频混频器的负电源
32	RF input	输入	射频输入。来自外部天线的 1575.42MHz GPS 射频信号输入,通过一个低噪声放大器(LNA)和滤波器,经由一个输入匹配网络连接到这个引脚
36	N/C		未使用
37	O/P1-	输出	第 1 级混频器反相输出(在 175.42MHz)。第 1 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 $V_{CC}(\text{RF})$,数值取决于所使用的滤波器
38	O/P1+	输出	第 1 级混频器同相输出(在 175.42MHz)。第 1 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 $V_{CC}(\text{RF})$,数值取决于所使用的滤波器
39	$V_{CC}(2)$	输入	第 2 级中频混频器正电源
40	I/P2-	输入	第 2 级混频器反相输入(在 175.42MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端
41	I/P2+	输入	第 2 级混频器同相输入(在 175.42MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 175MHz 平衡带通滤波器的一个输入端
42,43	$V_{EE}(\text{IF})$	输入	第 2 级中频混频器和第 3 级中频混频器的负电源
44	O/P2-	输出	第 2 级混频器反相输出(在 35.42MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 V_{CC}
45	O/P2+	输出	第 2 级混频器反相输出(在 35.42MHz MHz)。第 2 级中频混频器的一个平衡输出端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端。外部直流偏置需要经由一个电感连接到 V_{CC} ^①
46	$V_{CC}(3)$	输入	第 3 级中频混频器正电源
47	I/P3-	输入	第 3 级混频器反相输入(在 35.42MHz)。第 3 级中频混频器的一个平衡输入端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端 ^②
48	I/P3+	输入	第 3 级混频器同相输入(在 35.42MHz)。第 3 级中频混频器的一个平衡输入端,连接到一个外部 35.42MHz 平衡带通滤波器的一个输入端

① 引脚 4、6($V_{EE}(\text{OSC})$)都在内部连接。如果使用压控振荡器(VCO)的调节器,那么引脚 4、6 必须是浮置的。每个引脚需要连接一个 100nF 的去耦电容到 $V_{CC}(\text{OSC})$;

② 数字接口电源独立于其他所有的电源引脚,允许电源分离,以减小不需要的数字信号对中频带影响的可能性。

③ 35.42MHz 带通滤波器必须有一个大约 2.0MHz 的带宽

5.3.4 GP2015 内部结构与工作原理

GP2015 内部结构方框图如图 5-22 所示。内部电路工作原理与 GP2010 相同,见 GP2010 相关部分。

5.3.5 GP2015 电路应用

1. 典型的应用电路

GP2015 的一个典型的应用电路如图 5-23 所示。GP2015 射频前端电路与 GP2021 12 信道相关器电路连接。射频输入匹配元件 C_s 和 C_p 必须安装得尽量靠近射频输入端, $V_{EE}(\text{RF})$ 的导线也必须尽量短。175.42MHz 滤波器可以采用一个声表面波滤波器 SAW,也可以用简单

双调谐 LC 滤波器所取代。第 1 级混频器的直流偏置经由电感 L1、L2 提供,电感 L1、L2 可以是 175.42MHz 滤波器的一部分。第 2 级混频器的输出也需要一个外部直流偏置,通过 L3、L4 提供,电感 L3、L4 也可用来调谐 35.42MHz 声表面波滤波器 SAW 的输入电容。声表面波滤波器的输出由电感 L5 调谐。自动增益控制电容(C_{AGC})决定自动增益控制时间常数。选择锁相环(PLL)环路滤波器元件,确定一个大约 10kHz 的锁相环(PLL)环路带宽。中频输出通常只用于测试。

晶体振荡器基准连接电路如图 5-24 所示,TCXO 基准连接电路如图 5-25 所示,压控振荡器电源连接电路如图 5-26 所示。

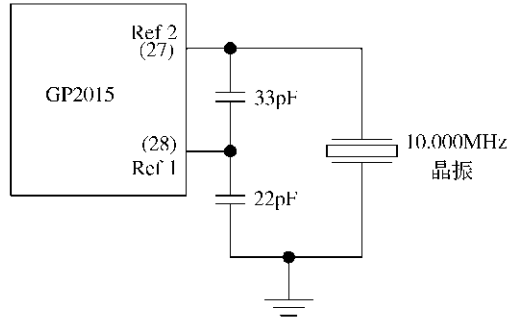


图 5-24 晶体振荡器基准连接电路

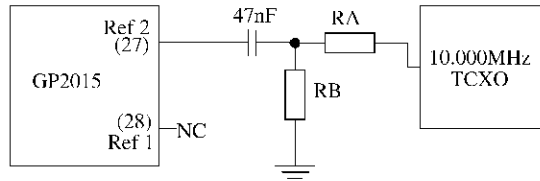


图 5-25 TCXO 基准连接电路

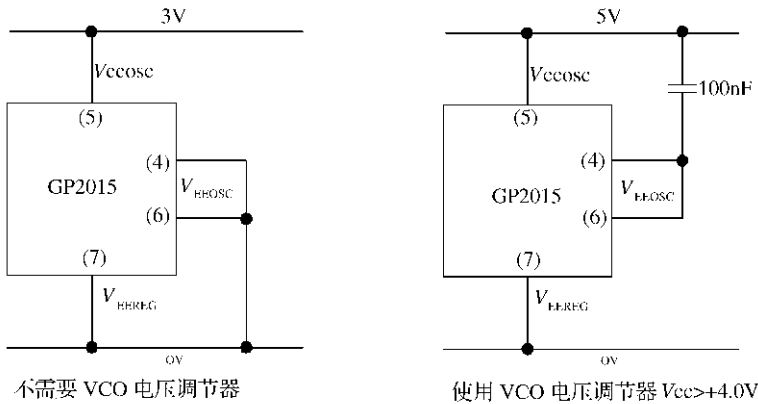


图 5-26 压控振荡器电源连接电路

2. Murata SAFJA35M4WC0Z00 声表面波滤波器的使用

Murata SAFJA35M4WC0Z00 声表面波(SAW)滤波器器件是适合 Zarlink GP2015 (或 GP2010) GPS 射频前端使用的、一个新型的 35.42MHz 的 SAW 滤波器,以前的型号是 SAF-CC35.42 MC00Z,可替代 Dynex DW9255 SAW 滤波器。

Murata SAFJA35M4WC0Z00 SAW 滤波器提供一个比 Dynex DW9255 更小的封装形

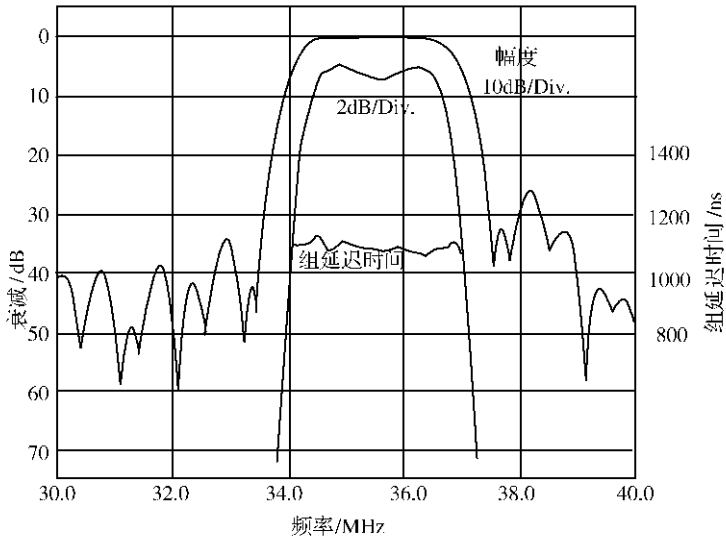


图 5-27 Murata SAFJA35M4WC0Z00 声表面波滤波器响应曲线

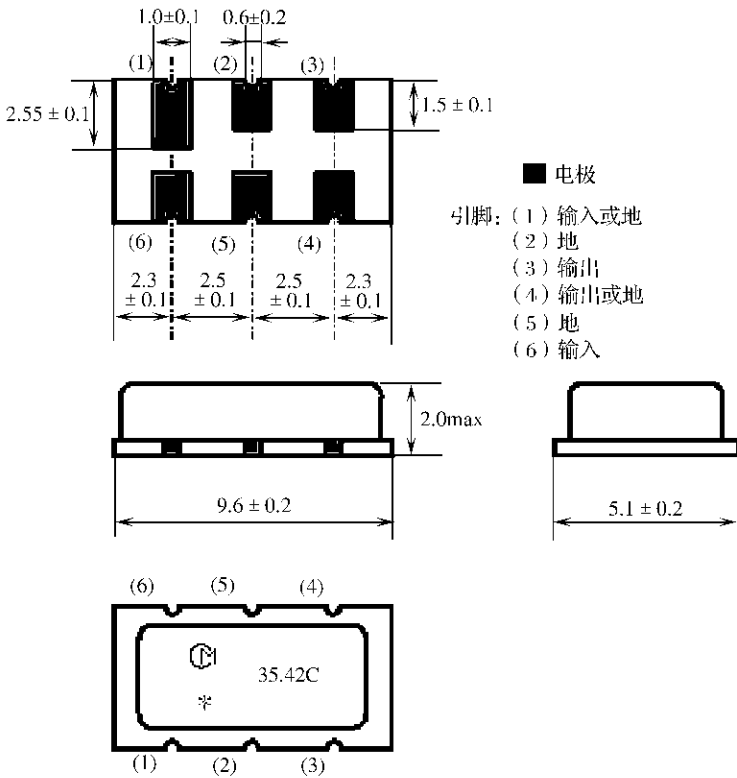


图 5-28 Murata SAFJA35M4WC0Z00 声表面波滤波器封装尺寸

式,需要不同的匹配元件。SAW 的频率响应如图 5-27 所示,SAW 滤波器的插入损失是 17.5dB。

Murata SAFJA35M4WC0Z00SAW 滤波器采用一个带有金属护罩的陶瓷基板封装,封装的尺寸大约是 9.6mm×5.1mm×2.0mm,如图 5-28 所示。推荐的 PCB 尺寸如图

5-39 所示,SAFJA35M4WC0Z00 声表面波滤波器应用电路如图 5-30 所示。

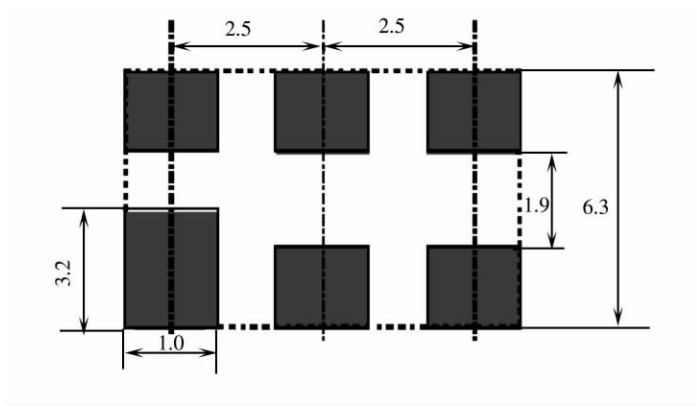


图 5-29 推荐的 PCB 尺寸

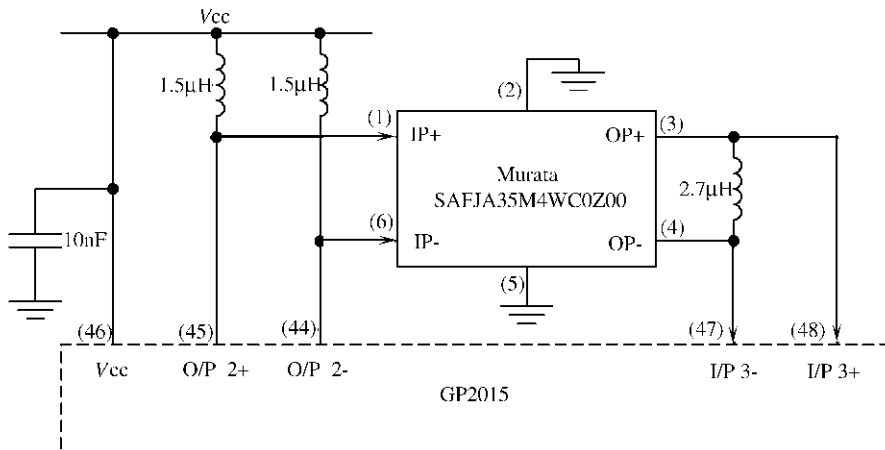


图 5-30 SAFJA35M4WC0Z00 声表面波滤波器应用电路

3. 减少与压控振荡器(VCO)有关的 EMC 辐射

在 GP2010 和 GP2015 芯片上的 1.4GHz VCO, 经由外部锁相环(PLL)的环路滤波部分(2 个电容和 1 个电阻), 能够辐射出相当级别的基频和二次谐波(2.8GHz)EMC 能量。锁相环环路滤波是一个低频网络, 用来设置片上锁相环的环路带宽达到大约 15kHz。这个网络也会出现大量 1.4GHz 和 2.8GHz 的频率辐射。通用的 GP2010 和 GP2015 GPS 射频前端的锁相环环路滤波器方案如图 5-31 所示。

为了减少 1.4GHz 和 2.8GHz 的频率辐射, 一个简单的解决问题的办法是在引脚 3(PLL-FILT2)和外部电容 C1 之间加一个串联电感(L1), 1μH 的 L1 必须是一个屏蔽型电感(如 TDK MLF2012D R56KT(尺寸 0805)、TDK MLF1608DR56KT(尺寸 0603) 或一个类似的电感)。L1 在实际要安装时, 要尽量靠近 GP2015 的引脚 3, 以充分抑制从这个引脚发出的 EMC 能量。修改后的电路如图 5-32 所示。

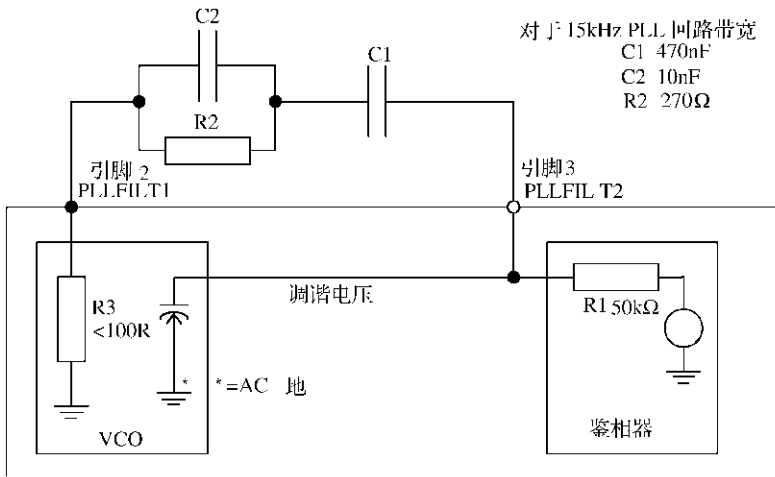


图 5-31 GP2010 和 GP2015 锁相环路滤波器电路

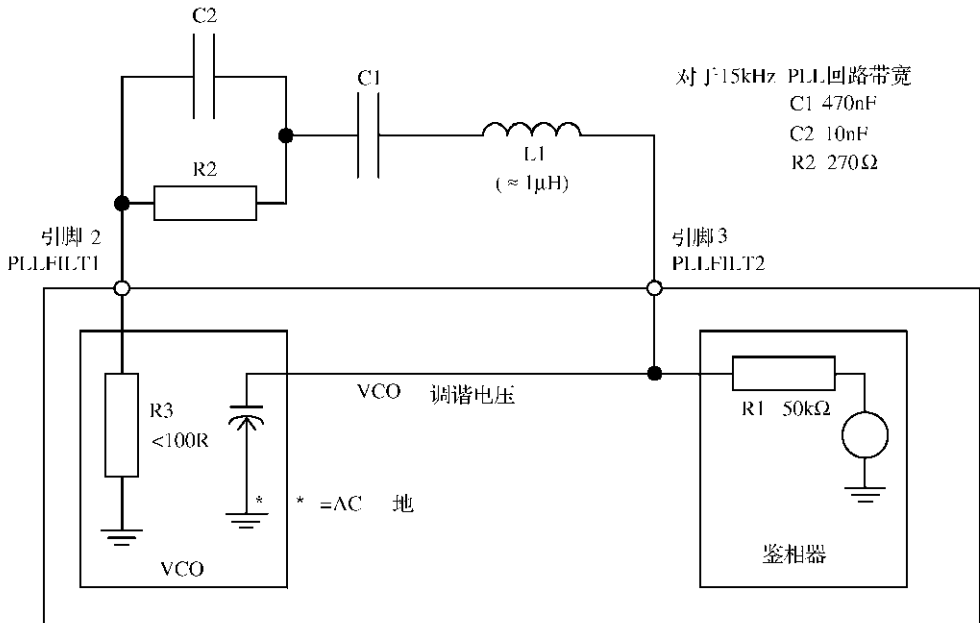


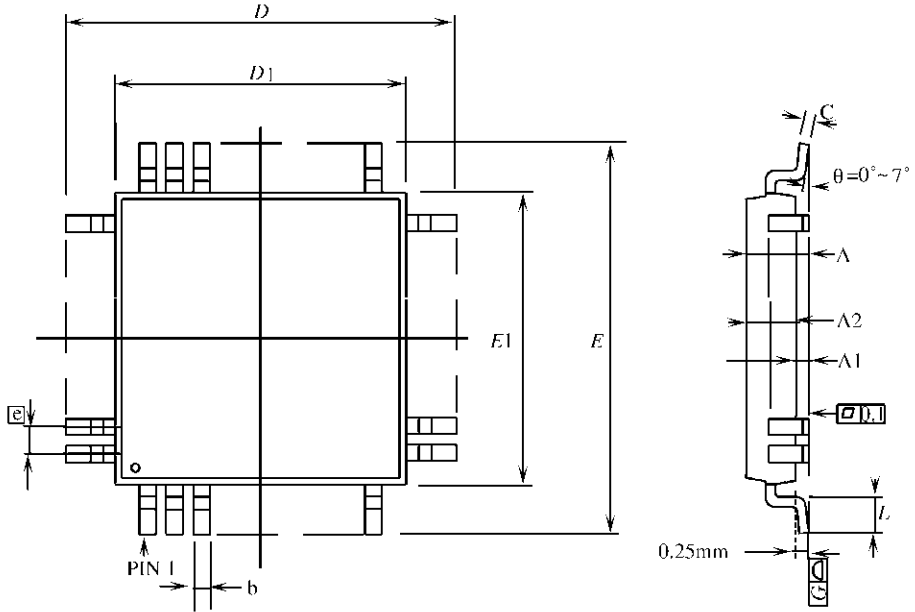
图 5-32 修改过的 GP2010 和 GP2015 锁相环路滤波器电路图

电感 L1 在 15kHz 的锁相环路频率带宽时为零阻抗，但在信号频率大于 1GHz 时有上千欧姆的高阻抗。对这个修改过的锁相环路滤波器测试，表明锁相环的稳定性不受这个电感的影响。另外，值得注意的是，加入电感 L1，在 2.8GHz 时产生大约 20dB 的辐射 EMC 能量的抑制。

在使用 GP2010 或 GP2015 GPS 射频前端的 GPS 接收机设计中，强烈推荐这种修改电路。

5.3.6 GP2015 封装尺寸

GP2015 采用 TQFP-48 封装,封装尺寸如图 5-33 所示。



符号	最小值/mm	最大值/mm	最小值/英寸	最大值/英寸
A	—	1.60	—	0.063
A1	0.05	0.15	0.002	0.006
A2	1.35	1.45	0.053	0.057
D	9.00 BSC		0.354 BSC	
D1	7.00 BSC		0.276 BSC	
E	9.00 BSC		0.354 BSC	
E1	7.00 BSC		0.276 BSC	
L	0.45	0.75	0.018	0.030
e	0.50 BSC		0.020 BSC	
b	0.17	0.27	0.007	0.011
c	0.09	0.20	0.004	0.008

图 5-33 GP2015 封装尺寸

5.4 基于 MRFIC1505R2 的 GPS 接收机射频前端电路

5.4.1 MRFIC1505R2 简介

MRFIC1505R2 是 1.575GHz GPS 下变频器芯片。芯片内部集成了混频器、VCO、PLL、晶体振荡器、A/D 转换器和回路滤波器等电路。MRFIC1505R2 的 IF 输出频率为 4.1MHz；具有 105dB 典型转换增益；2.7V 工作电压；28mA 典型电流消耗；LQFP-48 封装。

5.4.2 MRFIC1505R2 主要性能指标

MRFIC1505R2 的主要性能指标如表 5-8 和表 5-9 所列。

表 5-8 最大绝对值范围

参 数	符 号	数 值	单 位
直流电源电压	V_{DD}	5.0	V
直流电源电流	I_{DD}	60	mA
工作环境温度	T_A	-40~85	°C
存储温度范围	T_{stg}	-65~150	°C
引脚焊接温度范围(10s)	—	260	°C

表 5-9 主要电气特性

特 性	符号	最小值	典型值	最大值	单位
电 源					
电源电压	V_{CC}	2.7	3.0	3.3	V
电源电流($T_A=25^\circ\text{C}$, $V_{CC}=2.7\text{V}$, 使能=2.7V)	I_{CC}		28	36	mA
电源电流($T_A=25^\circ\text{C}$, $V_{CC}=2.7\text{V}$, 使能=0V)	I_{CC}		2.0	4.0	mA
射频(RF)放大器					
RF 输入频率	f_{in}		1575.42		MHz
输入阻抗	Z_{in}		50		Ω
输入 VSWR	$VSWR_{in}$		2.0		
增益	G	13	15		dB
噪声系数	NF		2.0		dB
1.0dB 压缩(在输出测量)	P_{1dB}		1.0		dBm
第 1 级混频器					
输入频率	f_{in}		1575.42		MHz
增益	G	10	14		dB
噪声系数	NF		13		dB
1.0dB 压缩(在输出测量)	P_{1dB}		-13		dBm
第 1 级本机振荡器(LO)频率	f_{LO1}		1636.8		MHz
第 1 级 IF(中频)频率	f_{IF1}		61.38		MHz
IF 通道的 LO 泄露			-40		dBm
RF 通道的 LO 泄露			-50		dBm
输出阻抗	Z_{out}		50		Ω
第 1 级 IF 放大器和第 2 级混频器					
输入频率	f_{in}		61.38		MHz

输入阻抗	Z_{in}		230		Ω
输出阻抗	Z_{out}		50		Ω
第 2 级本机振荡器 (LO) 频率	f_{LO2}		65.47		MHz

(续)

特 性	符号	最小值	典型值	最大值	单位
第 2 级 IF(中频)频率	f_{IF2}		4.092		MHz
在 IF 通道的 LO 泄露			-40		dBm
增益	G	40	43		dB
级联噪声系数	NF		9.3		dB
1.0dB 压缩(在输出测量)	P_{1dB}		-13		dBm
限幅放大器					
第 2 级 IF 频率	f_{IF2}		4.092		MHz
输入信号电平		4.0	11	31	mV
输出电压摆幅(负载 10pF,100k Ω)	V_{out}	800			mV(峰峰值)
直流输出电平			1.4		V
增益	G	-	50	-	dB
基准振荡器					
基准频率	f_r	-	16.368	-	MHz
基准频率输入电平(Crystal 引脚)	-	-	500	-	mV(峰峰值)
基准振荡器输出电压电平(负载 15pF,10k Ω)	-	750	-	-	mV(峰峰值)
基准时钟输入驱动电平	-	400	800	1500	mV(峰峰值)
PLL					
第 1 级 LO 频率	f_{LO1}	-	1636.8	-	MHz
第 2 级 LO 频率	f_{LO2}	-	65.47	-	MHz
VCO C/N(在 10kHz 偏移)	-	-	-80	-	dBc/Hz
VCO 增益(变容二极管 TBD)	-	-	20	-	MHz/V
使 能					
使能有效电平	-	$0.8 \times V_{CC}$	VCC	-	V
不使能有效电平	-	-	0	$0.2 \times V_{CC}$	V
电压调节器					
调节器输出电压($V_{CC}=2.7\sim 3.3V, I_{out}=3.0mA$)	V_o	2.1	2.3	2.5	V
温度检测					
温度传感器输出电压(25 $^{\circ}C$ 时)	-	1.2	1.28	1.375	V
温度传感器输出电压与温度关系	-	-	5.0	-	mV/ $^{\circ}C$

5.4.3 MRFIC1505R2 内部结构与引脚功能

MRFIC1505R2 的内部结构和引脚封装形式如图 5-34 所示,引脚功能如表 5-10 所列。MRFIC1505R2 芯片内部包含有混频器、VCO、PLL、晶体振荡器、A/D 转换器、回路滤波器等电路。

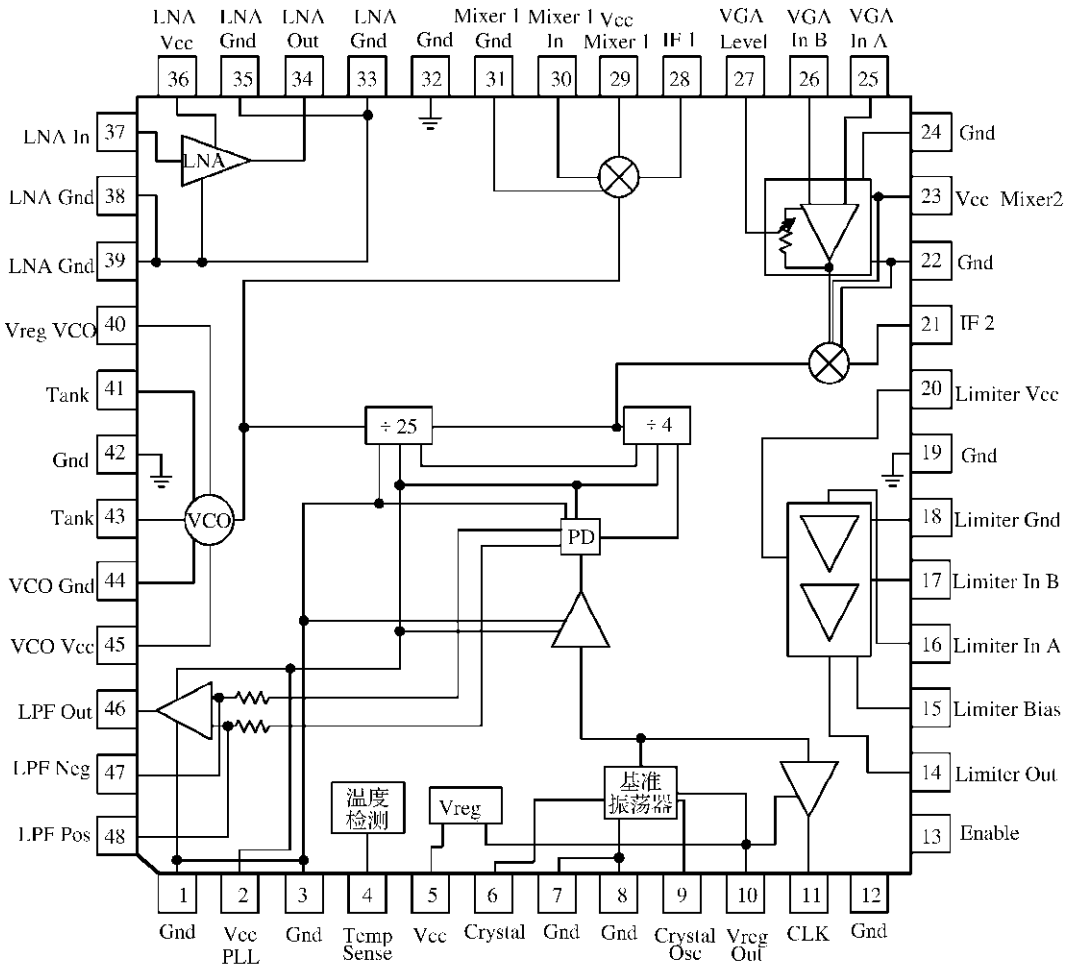


图 5-34 MRFIC1505R2 的引脚封装形式

表 5-10 MRFIC1505R2 的引脚功能

引脚	符号	功能	引脚	符号	功能
1	Gnd	地	25	VGA In A	VGA 输入 A
2	V _{CC} PLL	PLL 电源电压	26	VGA In B	VGA 输入 B
3	Gnd	地	27	VGA Level	VGA 控制电平
4	Temp Sense	温度检测	28	IF 1	IF 输出 1
5	V _{CC}	电源电压	29	V _{CC} Mixer 1	混频器 1 电源电压
6	Crystal	晶体振荡器输入	30	Mixer 1 In	混频器 1 输入
7	Gnd	地	31	Mixer 1 Gnd	混频器 1 地
8	Gnd	地	32	Gnd	地
9	Crystal Osc	晶体振荡器输入	33	LNA Gnd	LNA 地
10	Vreg Out	电压调节器输出	34	LNA Out	LNA 输出
11	Clk	时钟输出	35	LNA Gnd	LNA 地
12	Gnd	地	36	LNA V _{CC}	LNA 电源电压
13	Enable	使能控制	37	LNA In	LNA 输入 VCO 电源电压
14	Limiter Out	限幅器输出	38	LNA Gnd	LNA 地

引脚	符号	功能	引脚	符号	功能
15	Limiter Bias	限幅器偏置	39	LNA Gnd	LNA 地
16	Limiter In A	限幅器输入 A	40	V _{reg} VCO	VCO 基准电源
17	Limiter In B	限幅器输入 B	41	Tank	谐振回路输入
18	Limiter Gnd	限幅器地	42	Gnd	谐振回路地
19	Gnd	地	43	Tank	谐振回路输入
20	Limiter V _{CC}	限幅器电源电压	44	VCO Gnd	VCO 地
21	IF 2	IF 输出	45	VCO V _{CC}	VCO 电源
22	Gnd	地	46	LPF Neg	LPF 负端
23	V _{CC} Mixer 2	混频器 2 电源电压	47	LPF Out	LPF 输出
24	Gnd	地	48	LPF Pos	LPF 正端

5.4.4 MRFIC1505R2 电路应用

MRFIC1505R2 的应用电路如图 5-35 所示,元器件参数如表 5-11 所列。

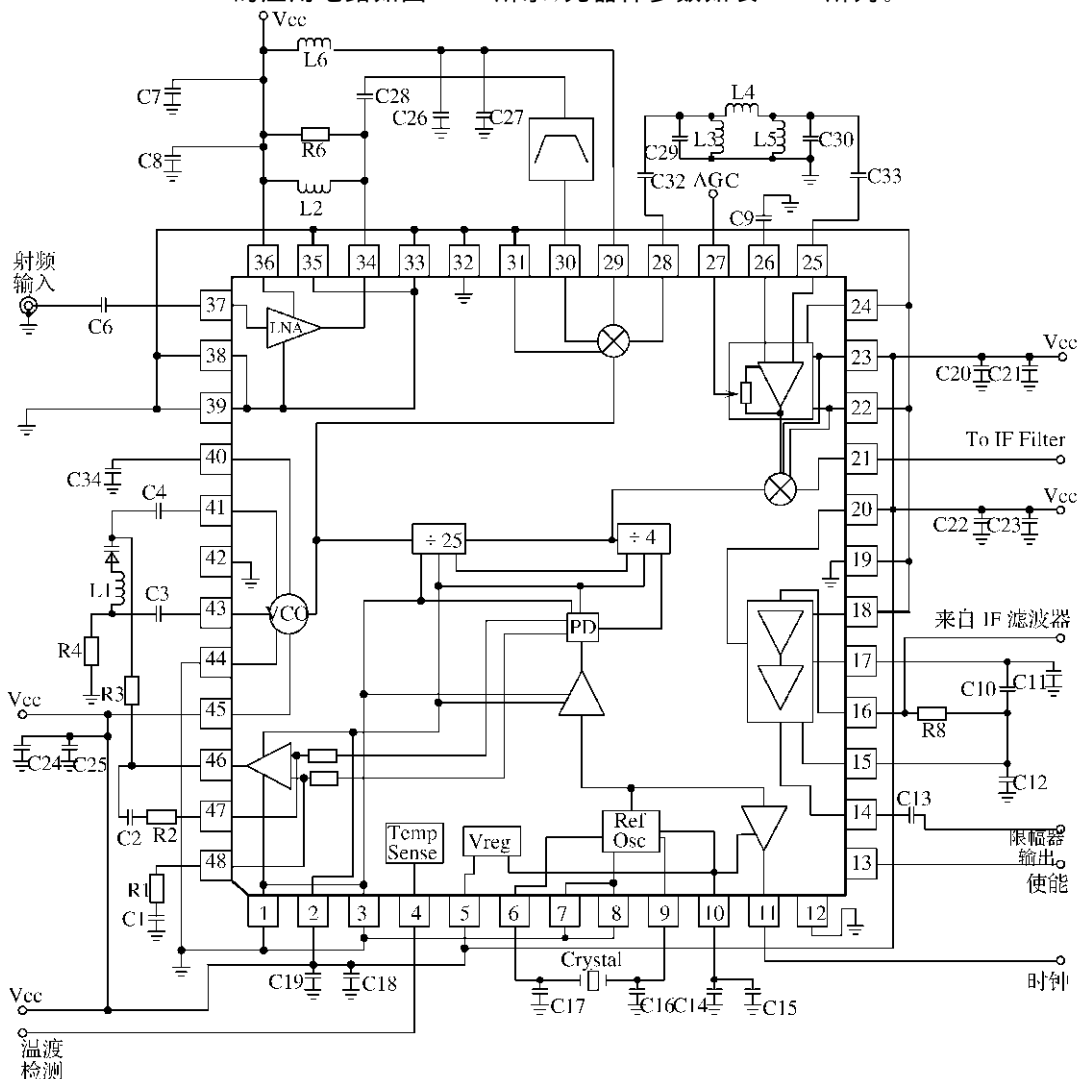


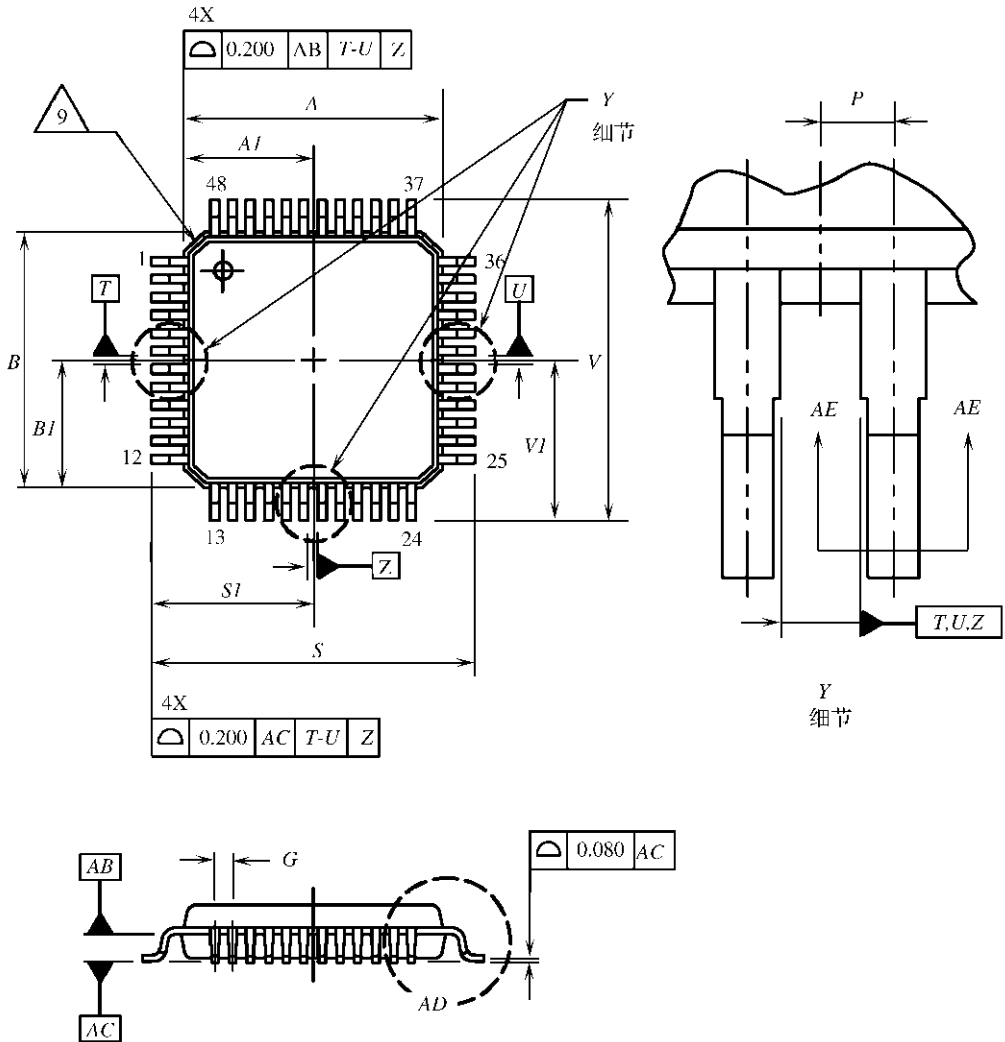
图 5-35 MRFIC1505R2 应用电路

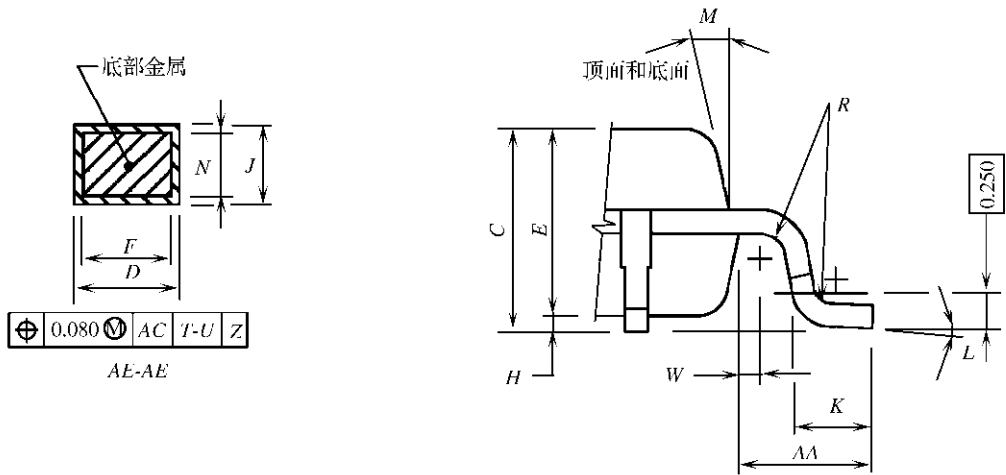
表 5-11 MRFIC1505R2 应用电路元器件参数

符 号	参 数	符 号	参 数
C1, C2	220pF	C29, C30	91pF
C3, C4	1.7pF	C32, C33	1.0nF
C6	10pF	L1	10nH
C7, C14, C18, C20, C22, C24, C34	0.01 μ F	L2	3.9nH
C8, C15, C19, C21, C23, C25, C27	1000pF	L3, L5	82nH
C9	1.0 μ F	L4	0.62 μ H
C10, C11, C12	1.0pF	L6	TBD
C13	2.7nF	R1, R2, R4	10k Ω
C16, C17	27pF	R3	2k Ω
C26	470pF	R6	1.2k Ω
C28	0.6pF	R8	5.0k Ω

5.4.5 MRFIC1505R2 封装尺寸

MRFIC1505R2 采用 LQFP-48 封装, 封装尺寸如图 5-36 所示。





符号	最小值/mm	最大值/mm	符号	最小值/mm	最大值/mm
A	7.000 BSC		L	0°	7°
A1	3.500 BSC		M	12°REF	
B	7.000 BSC		N	0.090	0.160
B1	3.500 BSC		P	0.250 BSC	
C	1.400	1.600	R	0.150	0.250
D	0.170	0.270	S	9.000 BSC	
E	1.350	1.450	S1	4.500 BSC	
F	0.170	0.230	V	9.000 BSC	
G	0.500 BSC		V1	4.500 BSC	
H	0.050	0.150	W	0.200 REF	
J	0.090	0.200	AA	1.000 REF	
K	0.500	0.700			

图 5-36 MRFIC1505R2 封装尺寸

5.5 基于 NJ1004 的 GPS 接收机射频前端电路

5.5.1 NJ1004 简介

Nemerix 公司推出的 NJ1004 是一个单片 GPS 接收机射频前端 IC, NJ1004 采用超外差结构, 下变频 1575.42MHz L1 GPS 信号, 通过 2bit A/D 转换器采样后, 输出数字信号到基带处理器。晶体振荡器和 PLL 产生所需要的全部时钟信号。芯片支持 3 个不同的基准频率。使用 16.368MHz 基准频率, 第 2 级 IF 频率为 4.092MHz, 适合大多数的基带处理器; 使用 16.384MHz 基准频率, 第 2 级 IF 频率为 2.556MHz, 适合在系统中使用 FFT(快速傅里叶变换算法)算法; 使用 13.000MHz 基准频率, 可以简化集成 GPS 接收机到 GSM 蜂窝电话中的设计。

NJ1004 工作电源电压为 2.2V~3.6V, 有效工作时电流消耗为 5.2mA, 待机模式电流消

耗为 3.5mA, 睡眠模式电流消耗为 $300\mu\text{A}$, 睡眠模式消耗为 10nA。工作温度范围 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。提供 3 个低功耗模式, 在 CPU 的控制下降低功率消耗。可以直接与 NJ1030 和 NP1016 处理器接口, 适合构成不同类型的 GPS 接收机。

5.5.2 NJ1004 主要性能指标

NJ1004 主要性能指标如表 5-12 所列。

表 5-12 NJ1004 主要性能指标

参 数	最小值	典型值	最大值	单 位
射频混频器(RF Mixer)				
转换增益	8.5	9.5	10.5	dB
SSB 噪声系数		12	14	dB
1dB 压缩点		-17		dBm
输入 VSWR		1.1 : 1	1.4 : 1	
差分输出阻抗	950	1200	1450	Ω
差分输出电容		1.0		pF
中频部分(IF Strip)				
电压增益	70	80		dB
增益控制范围	50	60		dB
差分输入阻抗	3800	4800	5800	Ω
差分输入电容		500		pF
AGC 灵敏度	5.4	6.8	8.0	mV/dB
在最大增益时的 AGC 电压	0.72	0.85	1.0	V
AGC 输出电流	12	16	20	μA
AGC 保持漏电流			10	nA
ADC 灵敏度	65	90	115	mV
ADC SGN 占空比		50		%
ADC MAG 占空比		33		%
本机振荡器和 PLL(Local Oscillator, PLL)				
VCO 增益		110		MHz/V
相位噪声		85		dBc/Hz
PLL 寄生抑制		<60		dBc
PFC 增益		1.6		$\mu\text{A}/\text{rad}$
PFC 输出电流	7.4	10	13.8	μA
PFC 电压摆幅	3.4	3.7	4.0	V
PFC 漏电流			10	nA
晶体振荡器(Crystal Oscillator)				
晶体振荡器驱动功率		10		μW
振荡器幅度	1.0	1.25	1.6	V(峰峰值)

(续)

参 数	最小值	典型值	最大值	单位	
电源电压	1.8	1.95	2.2	V	
工作电流		70		μA	
时钟占空比	40	50	60	%	
电压调节器 (Voltage Regulator)					
能隙基准电压		1.16	1.22	V	
能隙基准输出电流		200		A	
稳压器输出电压	1.85	1.95	2.05	V	
线性调节		4		mV	
稳压器输出电流	500			A	
数字接口 (Digital Interfaces)					
输入高电平	$0.8 \times \text{DVDD}$			V	
输入低电平			$0.2 \times \text{DVDD}$	V	
输出高电平	$0.9 \times \text{DVDD}$			V	
输出低电平			$0.1 \times \text{DVDD}$	V	
输出上升时间			10	ns	
输出下降时间			10	ns	
LNA 导通压降		150	250	mV	
LNA 导通低电平		200	400	mV	
电源电压 (Power Supply)					
模拟部分电源电压, AVDD	2.2	2.5	3.6	V	
数字部分电源电压, DVDD	1.6		AVDD-0.2	V	
电源电流					
全部有效模式	AVDD		4.7	7.5	mA
	DVDD		500		μA
待机模式	AVDD		3.3	5.5	mA
	DVDD		200		μA
瞌睡模式, 晶体振荡器导通	AVDD		150	400	μA
	DVDD		150		μA
瞌睡模式, 晶体振荡器关断	AVDD		75	130	μA
	DVDD		TBD		μA
睡眠模式	AVDD 和 DVDD		10	100	nA

5.5.3 NJ1004 芯片封装与引脚功能

NJ1004 芯片有 LPCC 和 Bare Die 两种封装形式, 如图 5-37 所示。引脚功能如表 5-13 所列。引脚内部电路如图 5-38~图 5-46 所示。

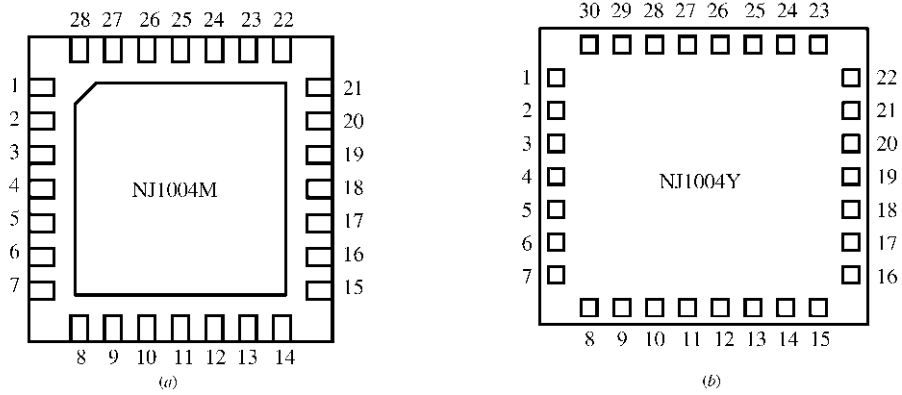


图 5-37 NJ1004 引脚封装形式

(a) LQFP 封装; (b) Bare Die 封装。

表 5-13 NJ1004 引脚功能

引 脚		符号	功 能
LQFP(M)	Die(Y)		
1	1	SGN	ADC 符号位数据输出。在 CP 的下降沿同步
2	2	MAG	ADC 大小(数量)位数据输出。在 CP 的下降沿同步
3	3	CP	时钟信号输入/输出
4	4	DVSS	数字电路部分电源电压负端
5	5	DVDD	数字电路部分电源电压正端。连接退耦电容到 DVSS
6	6	XVDD	到晶体振荡器的电源电压。通常连接到 VB
7	7	XI	晶体振荡器输入引脚
8	8	XO	晶体振荡器输出引脚
DAP	9	AVSS	模拟电路部分电源电压负端。必须连接或者焊接到 PCB 上
9	10	PLLout	PLL 相位比较器输出。连接到回路滤波器
10	11	AVSS	模拟电路部分电源电压负端
11	12	L1	连接到本机振荡器谐振回路
12	13	L2	连接到本机振荡器谐振回路
13	14	AVSS	模拟电路部分电源电压负端
14	15	VB	片上稳压器输出。连接退耦电容到 AVSS
15	16	Vbg	1.2V 能隙基准电压输出
16	17	LNAon	LNA 使能输出, 高电平有效
17	18	AVDD	模拟电路部分电源电压正端。连接退耦电容到 AVSS
18	19	AVSS	模拟电路部分电源电压负端, 用于射频输入屏蔽
19	20	RFIn	1575.42MHz GPS L1 信号输入。输入阻抗 50Ω
20	21	AVSS	模拟电路部分电源电压负端, 用于射频输入屏蔽
21	22	IFO	混频器的 IF 输出。连接到外部 LC 通道滤波器

引脚		符号	功能
LPC(M)	Die(Y)		
22	23	IFO	混频器的 IF 输出。连接到外部 LC 通道滤波器
DAP	24	AVSS	模拟电路部分电源电压负端。必须连接或者焊接到 PCB 上
23	25	IFI	IF 放大器输入。连接到外部 LC 滤波器
24	26	IFI	IF 放大器输入。连接到外部 LC 滤波器
25	27	Mode	选择 16.368MHz 和 16.384MHz(低电平)或者 13.000MHz(高电平)工作模式
26	28	AGCcap	连接到外部 AGC 电容,设置 AGC 时间常数
27	29	P1	电源控制引脚 1,选择低功耗模式
28	30	P0	电源控制引脚 2,选择低功耗模式

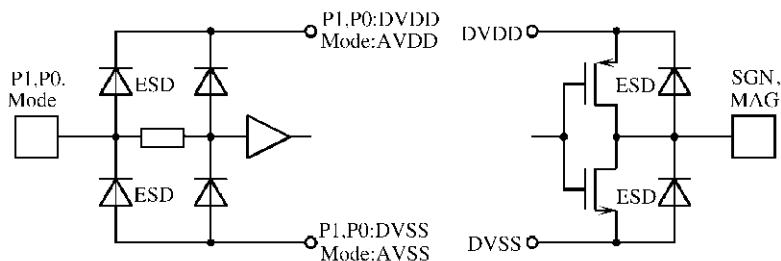


图 5-38 引脚 SGN、MAG、Mode、P1、P0 内部电路

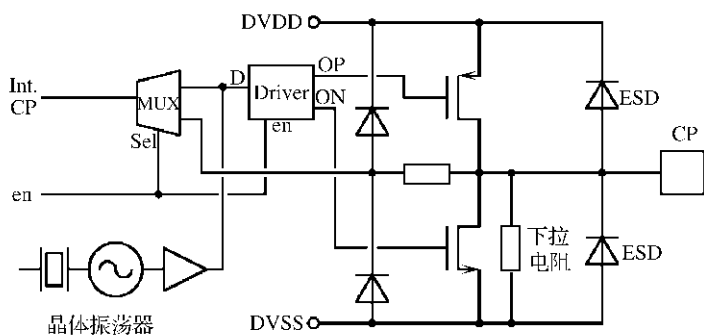


图 5-39 CP 引脚内部电路

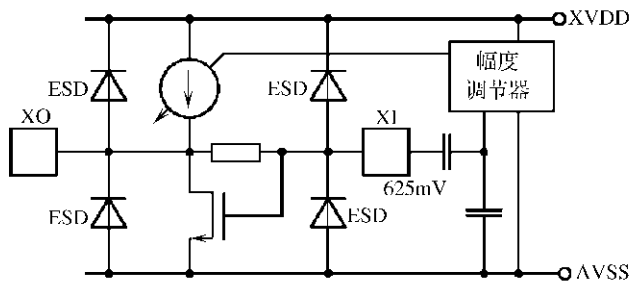


图 5-40 XI、XO 引脚内部电路

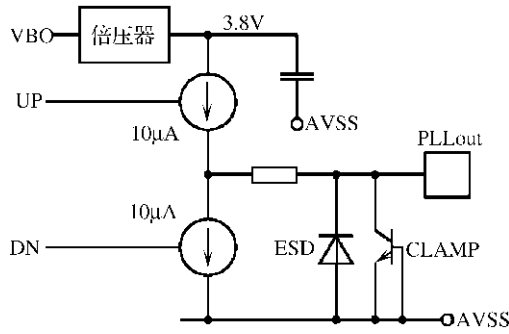


图 5-41 PLLout 引脚内部电路

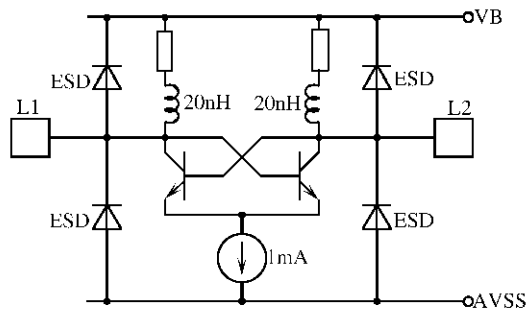


图 5-42 L1、L2 引脚内部电路

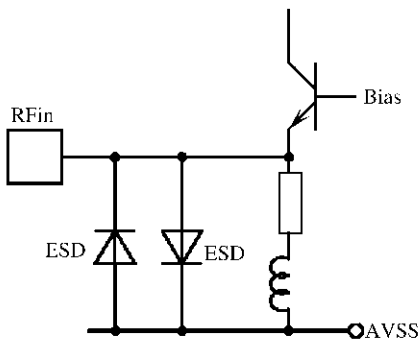


图 5-43 RFin 引脚内部电路

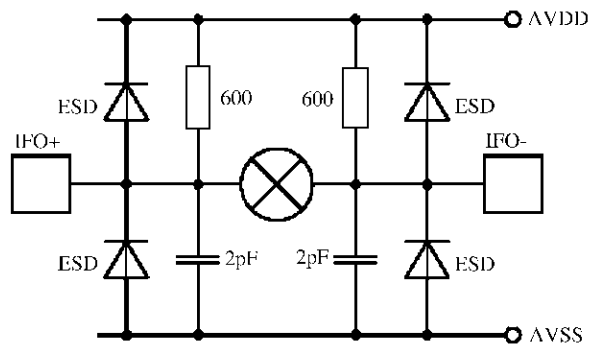


图 5-44 IFO+和 IFO- 引脚内部电路

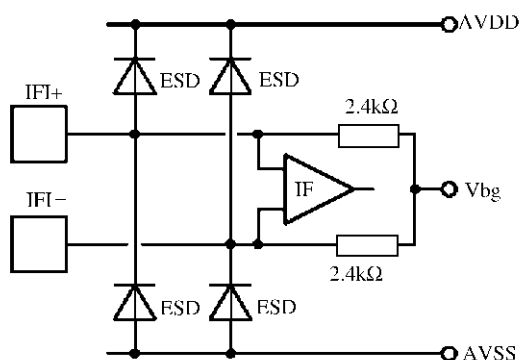


图 5-45 IFI+ 和 IFI- 引脚内部电路

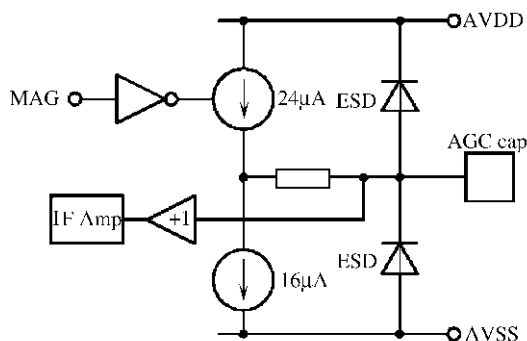


图 5-46 AGCcap 引脚内部电路

5.5.4 NJ1004 电路应用

NJ1004 的内部结构与应用电路形式如图 5-47 所示。

1. 电路描述

NJ1004 是一个超外差式结构的 GPS L1 频带接收机前端。其由 NJ1004、天线、LNA、RF 和 IF 滤波器、本机振荡器的 LC 谐振器和晶体振荡器组成。

NJ1004 的信号通道首先通过混频器将 RF 信号转换为第 1 级 IF 信号。混频器是单平衡结构,具有 50Ω 输入阻抗,可以与大多数的 GPS 滤波器匹配,混频器提供 9.5dB 典型增益。

混频器的输出直接连接到第 1 级 IF 滤波器,IF 滤波器采用 4 阶平衡的 LC 结构。滤波器输出信号通过 IF 放大器放大,IF 放大器受 AGC 控制。AGC 控制电路具有保持 AGC 电容上的电压的功能。通过 IF 放大器放大的第 1 级 IF 信号,由 ADC 转换为 2 位 bit 数字信号,形成第 2 级 IF 信号。2 位 bit 数字信号(符号和大小)适合与基带处理器直接接口。

本机振荡器信号由内部固定频率的 PLL 产生。本机振荡器是平衡的 VCO 结构,使用外部谐振回路。本机振荡器的输出通过 ECL 分频器分频后,加到相频比较器。这个功能模块具有一个保持功能,可以在低功耗模式时,维持 VCO 控制电压在接近正确的数值,以保证在电源恢复时最快的启动 VCO 和具有最小的锁定时间。基准频率由片上晶体振荡器提供。产生的时钟信号符合 A/D 转换器的采样时钟。

片上的稳压器提供 1.95V 的电压到 VCO 和 VB 引脚。连接 XVDD 引脚到 VB, 晶体振荡器被使能在 CP 引脚的基准时钟信号有效, 可以直接驱动基带处理器。在 XVDD 加上低电平时, 晶体振荡器不使能, 外部产生的基准时钟可以被加到 CP 引脚。

2 个功率控制引脚可以在 CPU 的控制下, 选择 3 个低功耗模式中的一个。

LNAon 输出可以用来作为高电平使能信号, 控制外部的 LNA, 可以提供足够的电源电流到外部 LNA。

2. 频率设计(Frequency Plans)

NJ1004 支持 3 个不同的基准频率(16.368MHz/16.384MHz /13.000MHz), 以适应不同的频率设计。使用 16.368MHz 基准频率, 第 2 级 IF 频率为 4.092MHz, 适合大多数的基带处理器; 使用 16.384MHz 基准频率, 第 2 级 IF 频率为 2.556MHz, 适合在系统中使用 FFT(快速傅里叶变换算法)算法; 使用 13.000MHz 基准频率, 可以简化集成 GPS 接收机到 GSM 蜂窝电话中的设计。不同的频率设计如表 5-14 所示。

表 5-14 不同的中心频率设计状态

基准频率/MHz	模式	第 1 级 IF 频率/MHz	第 2 级 IF 频率/MHz	LO 频率/MHz	镜像频率/MHz
16.368	0	20.46	4.092	1554.96	1534.50
16.384	0	18.94	2.556	1556.48	1537.54
13.000	1	24.58	1.420	1600.00	1624.58

3. 兼容性

NJ1004 可以与下面的基带处理器兼容。

- (1) Nemerix 公司的 NJ1030 和 NP1016(16.368MHz 和 13.000MHz)。
- (2) ARTi 公司的 AR2010(16.368MHz)。
- (3) Evermore 公司的基带处理器 BBP1202(16.368MHz)
- (4) Parthus 公司的 Navstream 1000/3000 基带处理器内核(BB Cores)(16.368MHz)。
- (5) STM 公司的 GP6、GP7 和 Vespucci(16.368MHz)

4. 工作模式控制

NJ1004 提供 4 种不同的工作模式, 其中 3 种是低功耗模式。

(1) 睡眠模式(Sleep): 在睡眠模式, NJ1004 的所有电路, 包括晶体振荡器电路都处在低功耗状态。在这个模式没有时钟信号产生, 仅有漏电流消耗。

(2) 瞌睡模式(Doze): 在瞌睡模式, 晶体振荡器、基准电压和稳压器是导通的, NJ1004 其他电路在关断状态。在这个状态, 时钟是有效的。

(3) 待机模式(Stand-by): 在待机模式, PLL 是导通的, 仅信号通道处于低功耗状态。

(4) 完全有效模式(Fully active): 在完全有效模式, NJ1004 在有效工作状态。LNAon 引脚可以用来使能外部的 LNA。

NJ1004 的工作模式可以通过 P1 引脚和 P0 引脚控制, 如表 5-15 所列。

表 5-15 工作模式控制

模式	P1	P0	反应时间
睡眠模式	0	0	
瞌睡模式	0	1	10ms(Xosc 关断), 50ms~100ms(Xosc 导通)

(续)

模 式	P1	P0	反 应 时 间
待机模式	1	1	5ms~10ms(取决于 PLL 回路滤波器)
有效模式	1	0	150 μ s~250 μ s

5. 射频输入

射频输入引脚 RFin 接收 1575.42MHz GPS L1 信号。射频输入引脚 RFin 内部匹配到 50 Ω ，偏置接近地(AVSS)电位，可以直接与大多数的 SAW 滤波器(SAW filters)连接。这个引脚不能够直流短路到地，也不能从外部接收任何直流偏置。如果出现这种情况，需要采用隔直电容。这样的电容也可以用来补偿芯片封装和 PCB 导线产生的电感。对于输入频率在 1GHz~2GHz 之间的典型 S11 参数和射频输入阻抗值如表 5-16 所列。

为了抑制混频器产生的镜像频率信号，在 NJ1004 的输入引脚需要使用滤波器。通常推荐使用 SAW 滤波器，如 MuRata 公司的 SAFSE1G57AB0T10。

表 5-16 射频输入引脚的 S11 参数

频率/MHz	S11(Mag)	相位/(°)	Re/ Ω	Im/ Ω
1000	97.41m	-145.18	42.352	4.7734
1050	101.25m	-141.02	42.357	5.4785
1100	104.63m	-141.31	42.113	5.5840
1150	108.34m	-143.65	41.703	5.4043
1200	111.77m	-145.82	41.203	5.3008
1250	113.18m	-148.52	40.928	4.9414
1300	115.17m	-152.16	40.498	4.4316
1350	113.54m	-155.98	40.426	3.7969
1400	111.71m	-161.03	40.395	2.9082
1450	109.34m	-167.07	40.324	2.0410
1500	105.37m	-170.65	40.479	1.4414
1550	95.69m	-176.33	41.262	0.4297
1600	91.28m	178.52	41.578	0.2246
1650	82.34m	174.87	42.309	0.7188
1700	70.81m	169.32	43.465	1.1855
1750	61.37m	162.52	44.426	1.6680
1800	51.42m	162.28	45.314	1.4063
1850	36.99m	160.61	46.670	1.1816
1900	26.01m	159.37	47.605	0.9160
1950	14.62m	176.13	48.578	0.0449
2000	9.13m	-104.35	49.818	0.8886

6. IF 滤波器 (IF Filter)

NJ1004 需要一个外部的 IF 滤波器，用于通道选择和 A/D 转换器的镜像频率滤波。

滤波器的带宽需要 2MHz,中心频率参见表 5-14。为了获得最好的性能,对于本机振荡器,滤波器将提供一个低的阻抗通道到地。推荐的一个滤波器结构如图 5-48 所示。电路参数是为 20.46MHz 中心频率、带宽为 4MHz 的状态设计的,元件的数值误差±5%。

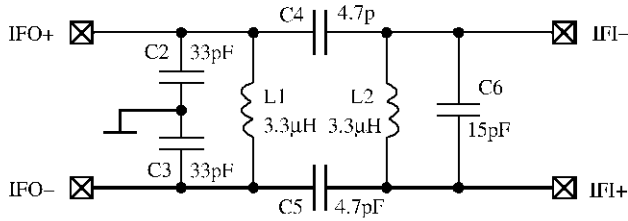


图 5-48 IF 滤波器结构(中心频率 20.46MHz)

7. 中频放大器和 AGC(IF Amplifier and AGC)

IF 放大器具有 80dB 增益,AGC 增益控制范围为 60dB。AGC 利用幅度信号进行增益调节,确保 IF 放大器的具有宽的工作范围。AGC 调节器使用一个比率电流源,提供 8μA 的源电流、与接收来自 AGCcap 引脚的 16μA 的反向电流。AGC 的时间常数由连接在 AGCcap 引脚的电容决定。内部的 AGC 调节器可以被加在 AGCcap 引脚的电压控制,即在 AGCcap 引脚加上控制电压,这将使内部的 AGC 调节器不使能。可以使用一个外部的 AGC 回路。

8. 数字 I/O(Digital I/O)

数字输出引脚 SGN、MAG 和 CP 是与 CMOS 兼容的,摆幅从 0V 到 DVDD。SGN 和 MAG 表示数字 IF 信号的符号与大小(数量)。4 个可能的电平编码如表 5-17 所列。

SGN 和 MAG 信号在 CP 的下降沿改变,在 CP 的上升沿被基带处理器读入,时序图如图 5-49 所示。

表 5-17 编码输出信号

SGN	MAG	数值
0	1	3
0	0	1
1	0	1
1	1	3

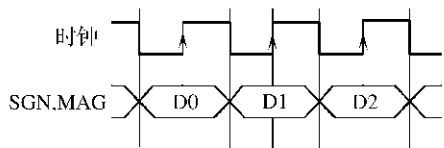


图 5-49 数字输出信号时序图

CP 引脚可以用来作为时钟输入或者时钟输出。使用片内基准晶体振荡器时,CP 引脚为输出状态,输出与基准振荡器频率相同的 CMOS 时钟信号,占空比为 50%。不使能片内晶体振荡器时,CP 引脚为输入状态,可接收逻辑电平为 DVSS 和 DVDD,占空比在 40%~60%之间的外部时钟信号。在电源电压为 1.8V 时,也可以使用 1V(峰峰值)的正弦波时钟信号。正弦波时钟信号采用 AC 耦合方式,CP 引脚利用电阻分压器分压进行偏置,偏置在 1.8V 电压的中间值。电路如图 5-50 所示。

9. 压控振荡器(Voltage Controlled Oscillator)

NJ1004 的 VCO 采用 2 个晶体管多谐振器结构,需要片外的谐振回路。推荐的外部谐振回路如图 5-51 所示。

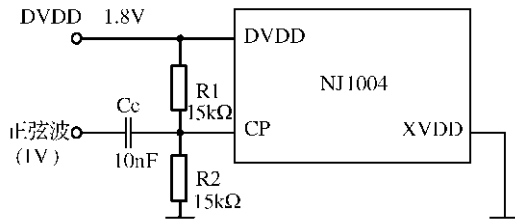


图 5-50 使用正弦波时钟信号 CP 输入电路

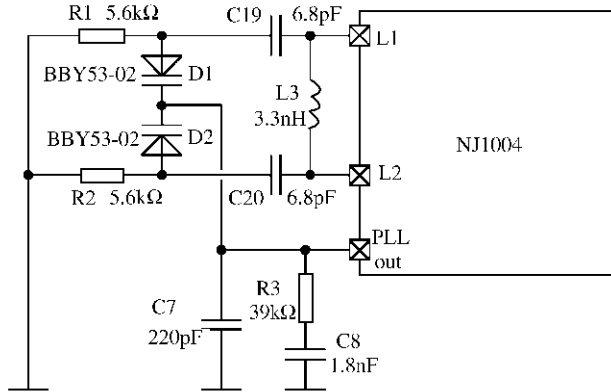


图 5-51 VCO 的 LC 谐振回路和滤波器电路

10. 频率合成器 (Frequency Synthesizer)

NJ1004 具有一个完整的固定频率的合成器,产生所需要的本机振荡器信号。2 个不同的分频率支持不同的频率设计,分频率通过模式控制引脚选择。PLL 回路滤波器是外接的,直接靠近 VCO 谐振回路安装,如图 5-51 所示。

11. 晶体振荡器 (Crystal Oscillator)

PLL 和时钟信号的基准频率由片上的晶体振荡器产生,或者由外部提供。片上晶体振荡器是一个 Pierce 振荡器。需要外部晶体振荡器和电容,电路如图 5-52 所示。晶体振荡器推荐使用 NDK 的 NX5032SA 或者 NX4025GA。电容推荐使用 NPO 陶瓷电容。

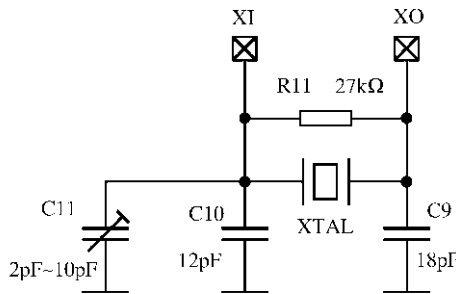


图 5-52 晶体振荡器谐振回路(假定 $C_L = 10pF$)

加电到 XVDD 引脚,使能片上晶体振荡器。一般电源由 VB 引脚提供。晶体振荡器的电源可以利用一个 RC 低通滤波器滤波(220Ω,100nF)。

连接 XVDD 引脚到 AVSS 引脚,内部晶体振荡器将不使能。外部时钟通过 CP 引脚输

入。

12. 电压基准和电压稳压器 (Voltage Reference and Regulator)

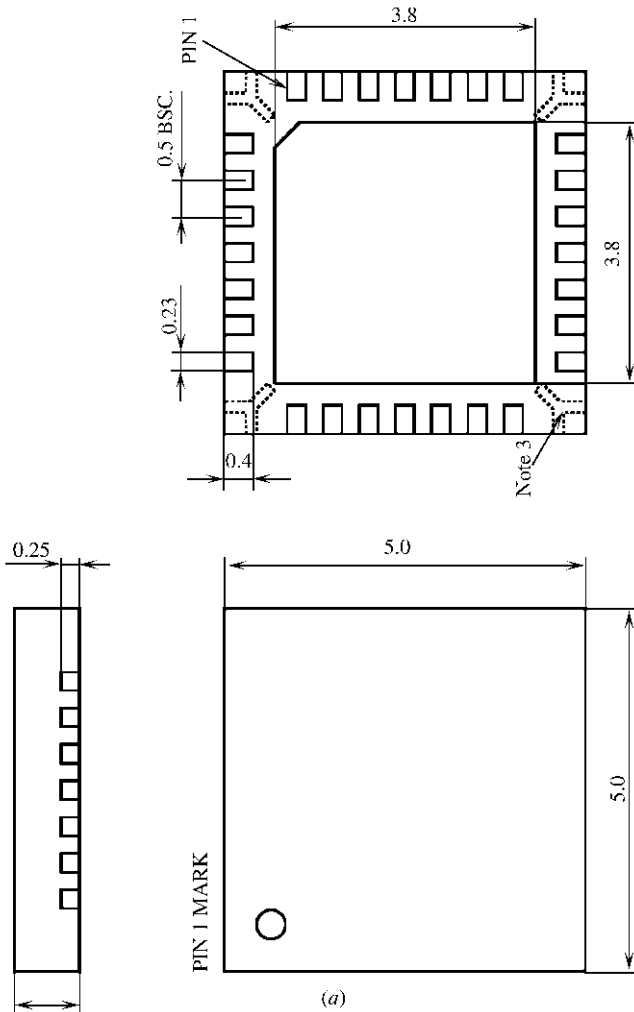
NJ1004 的偏置由片上 1.22V 能隙电压基准和 1.95V 电压稳压器提供。1.22V 和 1.95V 电压通过 V_{bg} 和 V_B 输出,最大负载电流 200 μ A 和 500 μ A。1.95V 电压稳压器提供电源到 VCO 和相位比较器。V_{bg} 和 V_B 在瞌睡模式也有效。V_{bg} 和 V_B 引脚需要连接退耦电容到地,推荐使用 10nF~100nF 电容。

13. 电源电压连接 (Power Supply Connections)

NJ1004 需要 2 个电源电压。推荐范围如表 5-18 所列。电源电压必须有很好的滤波,可以使用 RC 或者 LC 滤波器,推荐在 AVDD 和 DVDD 引脚连接 100nF~2.2 μ F 电容到地 AVSS 和 DVSS。AVSS 和 DVSS 引脚必须连接到 PCB 的接地板。

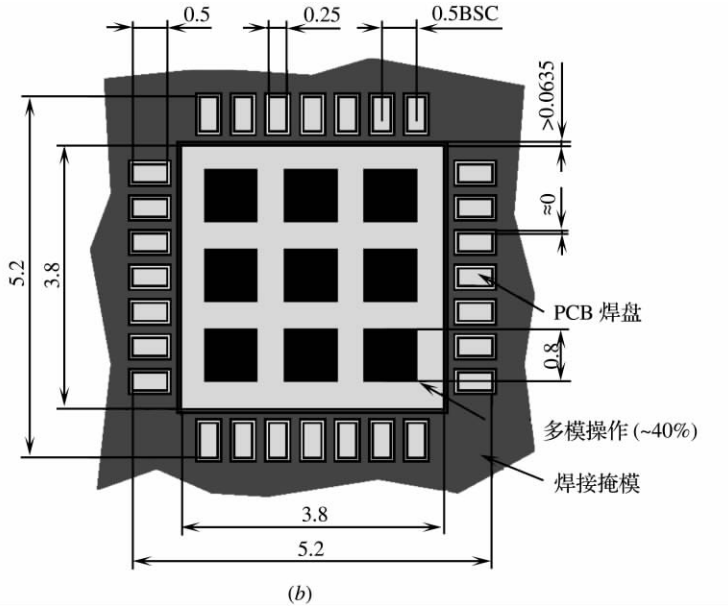
表 5-18 电源电压

电源电压	最小值	最大值
AVDD	2.2V	3.6V
DVDD	1.6V	AVDD 0.2V



5.5.5 NJ1004 封装尺寸

NJ1004 有 2 种封装形式, NJ1004M 采用 LPCC-28 封装, NJ1004Y 采用 Bare die 封装, 封装尺寸如图 5-53 所示, 尺寸单位为 mm。



5.6 基于 NJ1006 的 GPS 接收机射频前端电路

5.6.1 NJ1006 简介

NJ1006 是一个高集成度的单片 GPS 接收机射频前端 IC, 目标是满足对价格敏感的便携式和汽车的应用。NJ1006 集成了 LNA 和本机振荡器的谐振回路, 减少了外部元器件数量和 PCB 的面积。NJ1006 是采用双超外差结构, 接收 GPS L1 频带信号, 功能上与 NJ1004 兼容。片上的 LNA 允许连接无源的或者有源的天线到 NJ1006。具有灵活结构的 PLL 和晶体振荡器, 基准频率为 16.368MHz, 也支持在 3G、GSM、CDMA 和 PDC 电话中应用。天线检测器和开关支持系统在汽车等需要有源天线的的应用。天线检测器也可以检测有源天线开路或者短路, 限制所提供的电流, 保护天线和接收机。

NJ1006 下变频 1575.42MHz GPS L1 信号, 通过 2bit A/D 转换器采样后, 输出 2bit(符号和大小)数字信号到基带处理器。NJ1006 工作电源电压为 2.2V~3.6V, 有效工作时电流消耗为 11.4mA, 待机模式电流消耗为 6.2mA, 瞌睡模式电流消耗为 450 μ A, 睡眠模式消耗为 10nA。工作温度范围 -40 $^{\circ}$ C~85 $^{\circ}$ C。提供 3 个低功耗模式, 在 CPU 的控制下降低功率消耗。可以直接与 NJ1030 和 NP1016 处理器接口, 适合构成不同类型的 GPS 接收机。

5.6.2 NJ1006 主要性能指标

NJ1006 主要性能指标如表 5-19 所列 (AVDD=2.2V~3.6V, DVDD=1.6V~AVDD 0.2V, Tamb=40 $^{\circ}$ C~85 $^{\circ}$ C, 无负载, 晶体振荡器有效, 所有的电压是以 AVSS 为基准。典型值是在 AVDD=2.5V, DVDD=1.8V, Tamb=27 $^{\circ}$ C 情况下测得)。

表 5-19 NJ1006 主要性能指标

参 数	最小值	典型值	最大值	单位
低噪声放大器(LNA)				
增益		16.5		dB
噪声系数		2.4		dB
1dB 压缩点		-21		dBm
IP3		-10		dBm
输入 VSWR		3 : 1		
输出 VSWR		1.1 : 1		
射频混频器(RF Mixer)				
转换增益	14	15	16	dB
SSB 噪声系数		10	12	dB
1dB 压缩点		-18	-20	dBm
输入 VSWR		1.1 : 1	1.4 : 1	
差分输出阻抗	950	1200	1450	Ω
差分输出电容		1.5		pF
中频部分(IF Strip)				
第 1 级电压增益		15		dB

(续)

参 数	最小值	典型值	最大值	单位
差分输入阻抗	950	1200	1450	Ω
差分输入电容		500		pF
AGC 放大器增益		70		dB
增益控制范围		50	60	dB
AGC 灵敏度	5.4	6.8	8.0	mV/dB
在最大增益时的 AGC 电压	0.72	0.85	1.0	V
AGC 输出电流	13	20	29	μA
AGC 保持漏电流			10	nA
ADC 灵敏度	75	100	115	mV
ADC SGN 占空比		50		%
ADC MAG 占空比		33		%
本机振荡器和 PLL(Local Oscillator, PLL)				
VCO 频率范围	1.4		1.7	GHz
相位噪声		TBD		dBc/Hz
PLL 寄生抑制		< -60		dBc
PFC 增益		7.96		$\mu\text{A}/\text{rad}$
PFC 输出电流		50		μA
PFC 电压摆幅	0.2		2.0	V
PFC 漏电流			10	nA
晶体振荡器(Crystal Oscillator)				
晶体振荡器驱动功率		10		μW
工作电流		140		μA
时钟占空比	40	50	60	%
电压调节器(Voltage Regulator)				
能隙基准电压	1.16	1.22	1.28	V
能隙基准输出电流	200			μA
能隙基准负载调节		2	5	mV
稳压器输出电压	1.85	1.96	2.05	V
稳压器线性调节		4		mV
稳压器输出电流	500			μA
稳压器负载调节		7	10	mV
数字接口(Digital Interfaces)				
输入高电平	0.8 DVDD			V
输入低电平	-0.2		0.2 DVDD	V
输出高电平	0.9 DVDD			V
输出低电平			0.1DVDD	V
输出上升时间			10	ns
输出下降时间			10	ns

(续)

参 数	最小值	典型值	最大值	单位	
天线检测器和开关(Antenna Detector and Switch)					
低电压		36		mV	
高电压		300		mV	
最大开关电流(PVDD=2.2V)	12			mA	
最大开关电流(PVDD=4.5V)	32			mA	
电源电压(Power Supply)					
模拟部分, AVDD	2.2	2.5	3.6	V	
数字部分, DVDD	1.6		AVDD+0.2	V	
天线部分, PVDD	2.2		5.5	V	
电源电流					
全部有效模式	AVDD		10.9	mA	
	DVDD		500	μ A	
待机模式	AVDD		5.8	mA	
	DVDD		400	μ A	
瞌睡模式, 晶体振荡器导通	AVDD		300	μ A	
	DVDD		150	μ A	
瞌睡模式, 晶体振荡器关断	AVDD		120	μ A	
	DVDD DVDD		TBD	μ A	
睡眠模式	AVDD 和 DVDD		10	100	nA

5.6.3 NJ1006 芯片封装与引脚功能

NJ1006 芯片有 QFN 5mm×5mm 和 Bare Die 两种封装形式, 如图 5-54 所示。引脚功能如表 5-20 所列, 引脚内部电路如图 5-55~图 5-64 所示。

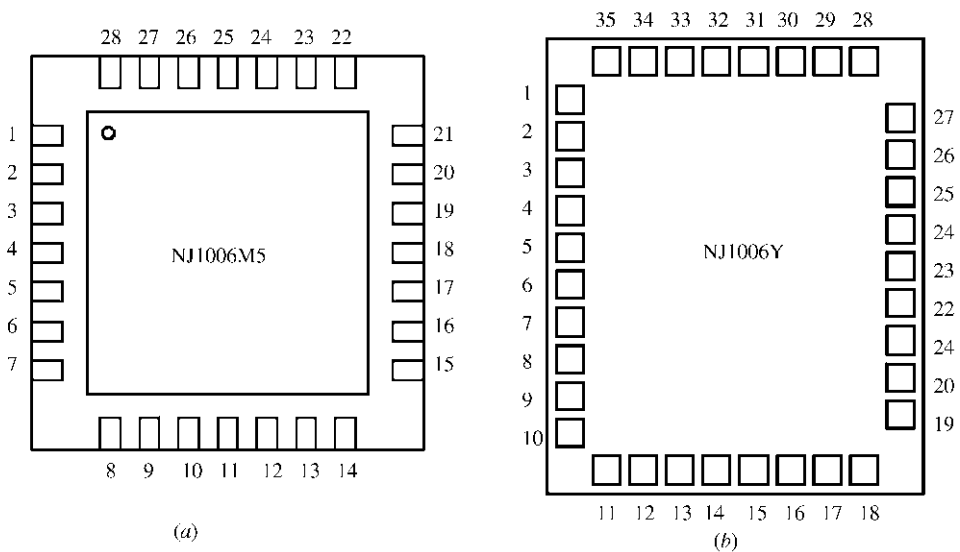


图 5-54 NJ1006 引脚封装形式
(a)QFN 5mm×5mm 封装; (b)Bare Die 封装。

表 5-20 NJ1006 引脚功能

引 脚		符号	功 能
QFN	Die (Y)		
1	1	SGN	ADC 符号位数据输出。在 CP 的下降沿同步
2	2	MAG	ADC 大小(数量)位数据输出。在 CP 的下降沿同步
3	3	AOK	天线 OK bit(位)数据输出。在 CP 的下降沿同步
4	4	CP	时钟信号输入/输出
5	5	DVSS	数字电路部分电源电压负端
5	6	DVSS	数字电路部分电源电压负端
内部连接	7	M2	选择基准频率工作模式
6	8	DVDD	数字电路部分电源电压正端。连接退耦电容到 DVSS
内部连接	9	M1	选择基准频率工作模式
7	10	XEN	晶体振荡器使能控制引脚,高电平有效
8	11	XO	晶体振荡器输出引脚
9	12	XI	晶体振荡器输入引脚
10	13	VB	片上电压稳压器输出。连接退耦电容到 AVSS
11	14	PLL	PLL 相位比较器输出。连接到回路滤波器
12	15	AON	到有源天线的电源电压
DAP	16	AVSS	模拟电路部分电源电压负端。必须连接或者焊接到 PCB 上
13	17	LNI	LNA 输入引脚,1575.42MHz GPS L1 信号输入
DAP	18	AVSS	模拟电路部分电源电压负端
14	19	ISNS	天线检测器检测电流引脚
15	20	PVDD	天线电源电压引脚
16	21	LNO	LNA 输出
17	22	AVDD	模拟电路部分电源电压正端。连接退耦电容到 AVSS
17	23	AVDD	模拟电路部分电源电压正端。连接退耦电容到 AVSS
18	24	AVSS	模拟电路部分电源电压负端,用于射频输入屏蔽
19	25	RFIN	射频混频器输入信号,阻抗 50Ω
20	26	VBG	1.2V 能隙基准电压输出
21	27	IF1P	IF 混频器输出,第 1 级 IF 放大器输入。连接到外部 LC 通道滤波器
22	28	IF1N	IF 混频器输出,第 1 级 IF 放大器输入。连接到外部 LC 通道滤波器
DAP	29	AVSS	模拟电路部分电源电压负端。必须连接或者焊接到 PCB 上
23	30	IF2P	第 1 级 IF 放大器输出,IF AGC 输入。连接到外部 LC 通道滤波器
24	31	IF2N	第 1 级 IF 放大器输出,IF AGC 输入。连接到外部 LC 通道滤波器
25	32	MODE	选择基准频率工作模式
26	33	ACAP	连接到外部 AGC 电容,设置 AGC 时间常数
27	34	P1	电源控制引脚 1,选择低功耗模式
28	35	P0	电源控制引脚 2,选择低功耗模式

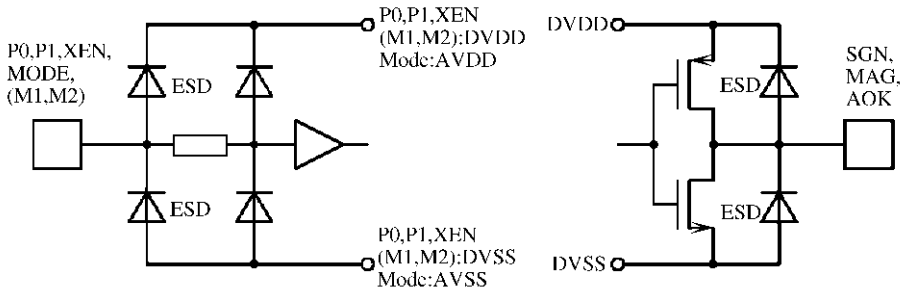


图 5-55 引脚 SGN、MAG、AOK、M2、M1、MODE 内部电路

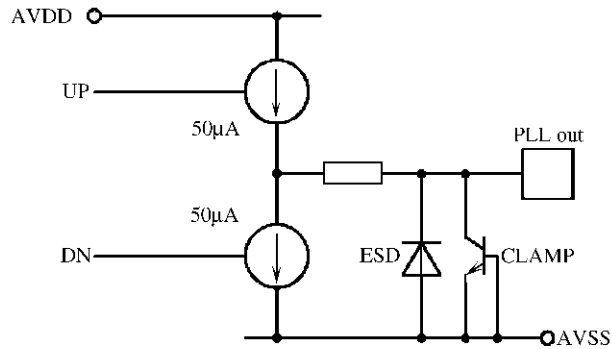


图 5-59 引脚 PLL 内部电路

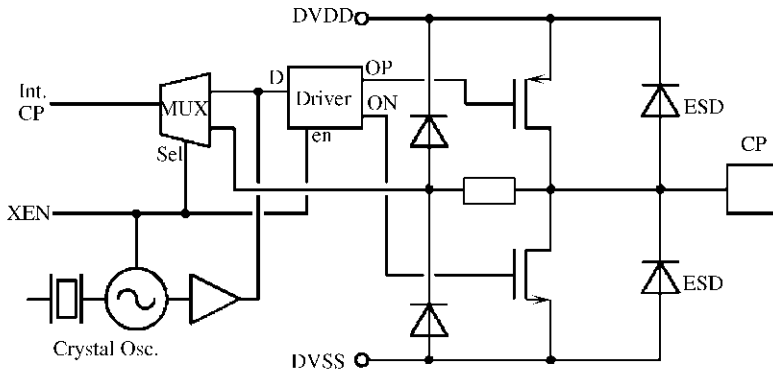


图 5-56 CP 引脚内部电路

5.6.4 NJ1006 电路应用

NJ1006 的内部结构与应用电路形式如图 5-65 所示。

1. 电路描述

NJ1006 是一个超外差式结构的 GPS L1 频带接收机前端。典型的接收机由 NJ1006、天

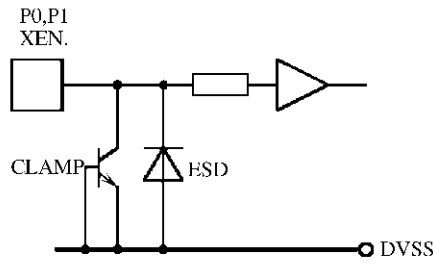


图 5-57 引脚 P0、P1、XEN 内部电路

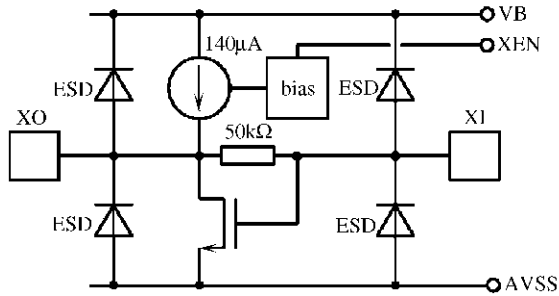


图 5-58 引脚 XI、XO 内部电路

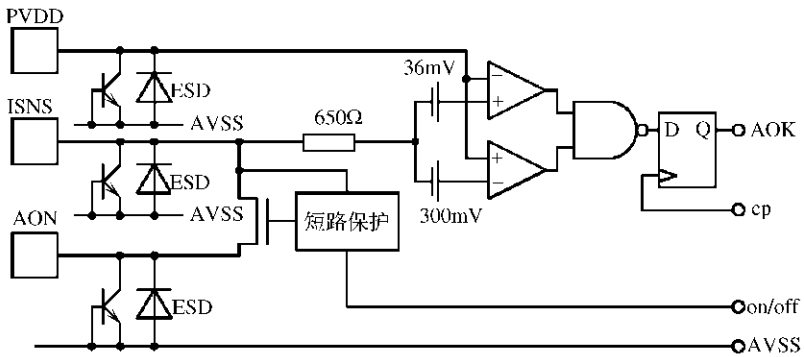


图 5-60 引脚 AON、ISNS、PVDD 内部电路

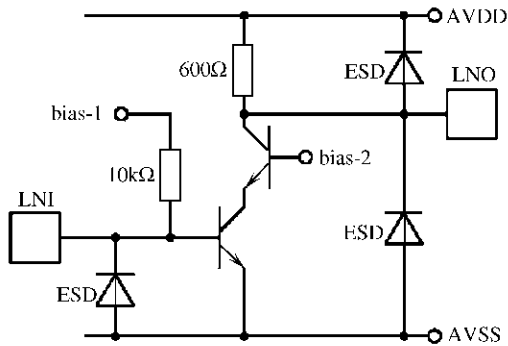


图 5-61 引脚 LNI、LNO 内部电路

线、RF 和 IF 滤波器、晶体振荡器组成。

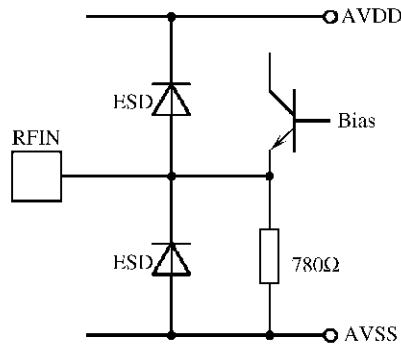


图 5-62 引脚 RFIN 内部电路

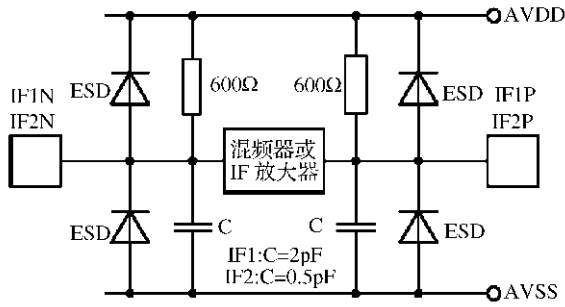


图 5-63 引脚 IF1P、IF1N、IF2P、IF2N 内部电路

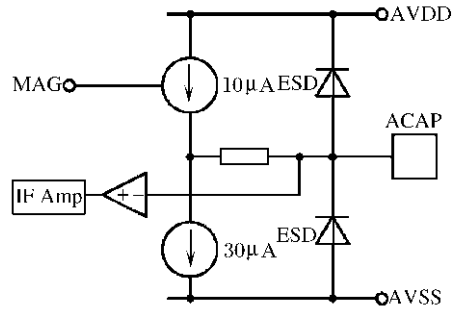


图 5-64 引脚 ACAP 内部电路

NJ1006 接收的信号通道首先通过 LNA 放大，LNA 是一个共发共基放大器，当输入和输出阻抗匹配时，LNA 具有 16.5dB 增益和 2.4dB 的噪声系数(NF)。

混频器将放大的 RF 信号转换为第 1 级 IF 信号。混频器是单平衡结构,具有 50Ω 输入阻抗,可以与大多数的 GPS 滤波器匹配,混频器提供 15dB 典型增益。

混频器的输出在内部直接连接到 IF 放大器。2 个 2 阶平衡的 LC IF 滤波器可以连接到第 2 级 IF 放大器的输入,用来选择所希望的信号带宽。滤波器输出信号通过 IF 放大器放大,IF 放大器受 AGC 控制。AGC 控制电路具有保持 AGC 电容上的电压的功能。通过 IF 放大器放大的第 1 级 IF 信号,由 ADC 转换为 2 位 bit 数字信号,形成第 2 级 IF 信号。2 位 bit 数字信号(符号和大小)适合与基带处理器直接接口。

本机振荡器信号由内部固定频率的 PLL 产生。本机振荡器是平衡的 VCO 结构,使用外部谐振回路。本机振荡器的输出通过 ECL 分频器分频后,加到相频比较器。这个功能模块具有保持功能,可以在低功耗模式时,维持 VCO 控制电压在接近正确的数值,以保证在电源恢复时最快地启动 VCO 和具有最小的锁定时间。基准频率由片上晶体振荡器提供。产生的时钟信号符合 A/D 转换器的采样时钟。

片上的稳压器提供 1.95V 的电压到 VCO 和 VB 引脚。连接 XEN 引脚到 DVDD,晶体振荡器被使能,在 CP 引脚的基准时钟信号有效,可以直接驱动基带处理器。在 XEN 加上低电平时,晶体振荡器不使能,外部产生的基准时钟可以被加到 CP 引脚。

2 个功率控制引脚可以在 CPU 的控制下,选择 3 个低功耗模式中的一个。

NJ1006 包含一个天线检测器和开关。天线检测器控制到有源天线的电源,也可以检测天线开路或者短路状态,限制所提供的电流,保护天线和接收机。

NJ1006 可以直接与 NJ1030 基带处理器接口。

2. 频率设计(Frequency Plans)

NJ1006 支持各种不同的基准频率,以适应不同的频率设计。使用 16.368MHz 基准频率,第 2 级 IF 频率为 4.092MHz,适合大多数的基带处理器。其他基准频率支持各种蜂窝电话应用,不同的频率设计如表 5-21 所列。

表 5-21 支持的不同的频率设计

器件	模式	基准频率/MHz	第 1 级 IF 频率/MHz	第 2 级 IF 频率/MHz	LO 频率/MHz	镜像频率/MHz
NJ1006H	0	16.368	20.46	4.092	1554.96	1534.50
	AVDD	13.000(GSM)	16.58	3.58	1592	1608.58
NJ1006I	0	19.800(CDMA)	24.42	4.62	1599.84	1624.26
	AVDD	19.200(CDMA)	23.25	4.051	1552.17	1528.92
	AVDD	19.680(CDMA)	15.55	4.127	1590.97	1606.52
NJ1006J	0	14.400(PDC)	18.18	3.78	1593.6	1611.78
	AVDD	12.600(PDC)	21.87	3.328	1597.29	1619.16
NJ1006K	0	16.368	20.46	4.092	1554.96	1534.50
	AVDD	15.360(WCDMA)	18.94	3.58	1556.48	1537.54

3. 兼容性

NJ1006 可以与下面的基带处理器兼容。

- (1) Nemerix 公司的 NJ1030 和 NP1016 (16.368MHz 和 13MHz)。
- (2) ARTi 公司的 AR2010 (16.368MHz)。
- (3) Evermore 公司的 BBP1202 (16.368MHz)。

(4) Parthus 公司的 Navstream 1000/3000 BB Cores (16.368MHz)。

(5) STM 公司的 GP6、GP7 和 Vespucci (16.368MHz)。

4. 工作模式控制

NJ1006 提供 4 种不同的工作模式,其中 3 种是低功耗模式。

(1) 睡眠模式(Sleep):在睡眠模式,NJ1006 的所有电路,包括晶体振荡器电路都处在低功耗状态。在这个模式没有时钟信号产生,仅有漏电流消耗。

(2) 瞌睡模式(Doze):在瞌睡模式,晶体振荡器、基准电压和稳压器是导通的,NJ1006 其他电路在关断状态。在这个状态,时钟是有效的。

(3) 待机模式(Stand-by):在待机模式,PLL 是导通的,仅信号通道处于低功耗状态。

(4) 完全有效模式(Fully active):在完全有效模式,NJ1006 在有效工作状态。

NJ1006 的工作模式可以通过 P1 和 P0 引脚控制,如表 5-22 所列。

表 5-22 工作模式控制

模 式	P1	P0	反应时间
睡眠模式	0	0	
瞌睡模式	0	1	10ms(Xosc 关断),50ms~100ms(Xosc 导通)
待机模式	1	1	5ms~10ms(取决于 PLL 回路滤波器)
有效模式	1	0	150 μ s~250 μ s

5. 低噪声放大器

LNA 的射频输入端(LNI)接收 1575.42MHz GPS L1 信号。在 LNA 的输入和输出引脚需要匹配网络,匹配阻抗为 50 Ω 。当使用无源天线时,在 LNA 输出推荐使用 SAW 滤波器。推荐的 LNA 的输入和输出匹配网络电路如图 5-66 所示。

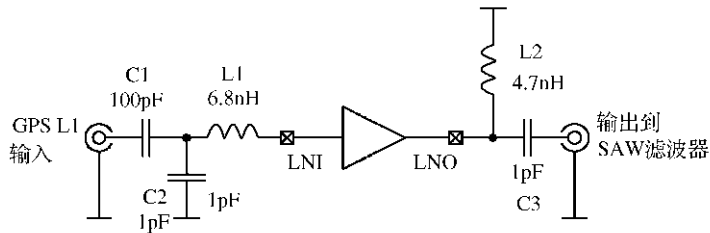


图 5-66 LNA 的输入和输出匹配网络

当使用低增益(10dB~15dB)的有源天线时,在 LNA 的输入和输出引脚需要匹配网络。如果使用高增益(25dB~30dB)的有源天线时,LNA 的输入引脚 LNI 连接到 AVSS,引脚 LNO 浮置。GPS 将直接从射频混频器输入(也可以通过 SAW 滤波器)。

6. 混频器射频输入

混频器的射频输入引脚 RFIN 接收由 LNA 放大的 1575.42MHz GPS L1 信号。射频输入引脚 RFIN 内部匹配到 50 Ω ,偏置电位大约为 400mV,可以直接与大多数的 SAW 滤波器(SAW filters)连接。这个引脚不能够直流短路到地,也不能从外部接收任何直流偏置。如果出现这种情况,需要采用隔直电容。这样的电容也可以用来补偿芯片封装和 PCB 导线产生的电感。

7. 射频滤波器 (RF Filter)

在 NJ1006 混频器的输入端总是需要滤波器用来抑制带外信号。选择滤波器要注意 2 个重要的滤波器参数,一个是镜像频率抑制(衰减),推荐值大于或等于 20dB;另一个是插入损耗,推荐值小于或等于 2.5dB。通常推荐使用 SAW 滤波器,如 MuRata 公司的 SAFSE1G57AB0T10。

8. IF 滤波器 (IF Filter)

NJ1006 需要一个外部的 IF 滤波器,用于通道选择和 A/D 转换器的镜像频率滤波。滤波器的带宽需要 2MHz,中心频率参见表 5-14。为了获得最好的性能,对于本机振荡器,滤波器将提供一个低的阻抗通道到地。推荐的一个滤波器结构如图 5-67 所示。电路参数是为 20.46MHz 中心频率、带宽 4MHz 的状态设计的,元件的数值误差 $\pm 5\%$ 。对于其他频率设计,为了避免高的插入损耗,要求电感的数值大于或等于 $1\mu\text{H}$ 。

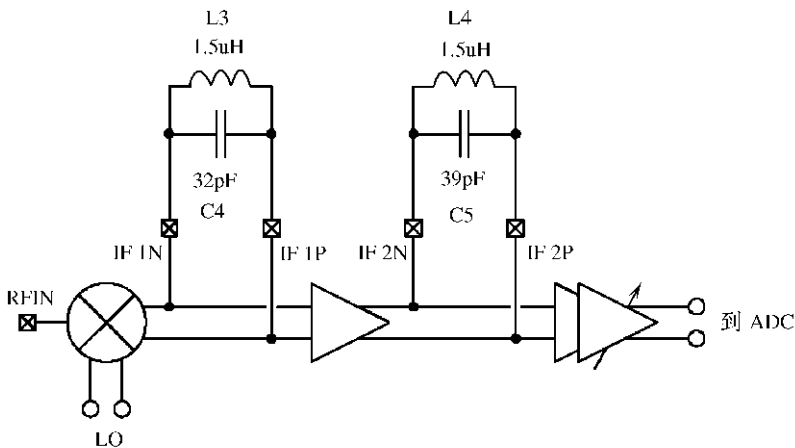


图 5-67 IF 滤波器结构(中心频率 20.46MHz)

9. 中频放大器 (IF Amplifier)

IF 放大器具有 70dB 增益,AGC 增益控制范围为 50dB。IF 放大器是差分放大器结构,具有高的共模抑制比。

10. 自动增益控制 (AGC)

AGC 利用幅度 (MAG) 信号进行增益调节,确保 IF 放大器具有宽的工作范围。AGC 调节器使用一个比率电流源,提供 $10\mu\text{A}$ 的源电流和接收来自 AGC cap 引脚的 $20\mu\text{A}$ 的反向电流。AGC 的时间常数由连接在 ACAP 引脚的电容决定。内部的 AGC 调节器可以被加在 ACAP 引脚的电压控制。

11. AD 转换器 (AD Converter)

IF 信号被 AD 转换器转换为 SGN 和 MAG 信号,SGN 和 MAG 表示数字 IF 信号的符号与大小(数量)。4 个可能的电平编码如表 5-23 所列。

12. 频率合成器 (Frequency Synthesizer)

NJ1006 具有一个完整的固定频率的合成器,产生所需要的本机振荡器信号。2 个不同的分频率支持不同的频率设计,分频率通过模式控制引脚选择。PLL 回路滤波器是外接的,直接靠近 VCO 谐振回路安装,如图 5-68 所示。

表 5-23 编码输出信号

SGN	MAG	数值
0	1	3
0	0	1
1	0	1
1	1	3

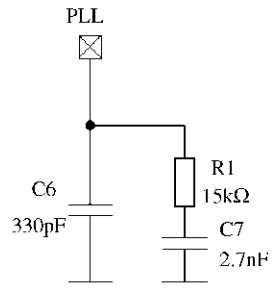


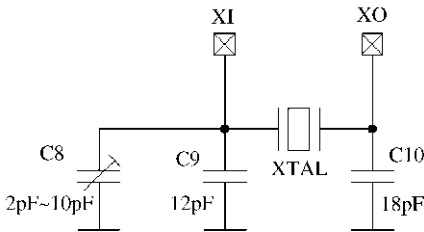
图 5-68 PLL 回路滤波器

13. 晶体振荡器 (Crystal Oscillator)

基准时钟信号可由片上的晶体振荡器产生,或者由外部提供。片上晶体振荡器是一个 Pierce 振荡器。需要连接外部晶体振荡器和电容,电路如图 5-69 所示。晶体振荡器推荐使用 NDK 的 NX5032SA 或者 NX4025GA。电容推荐使用 NPO 陶瓷电容。

加电到 XEN 引脚,使能片上晶体振荡器。连接 XEN 引脚到 DVSS 引脚,内部晶体振荡器将不使能。XEN 引脚不能够浮置。

XI 引脚可以接收 TCXO 信号,要求 XEN=DVDD,XO 引脚浮置,电路如图 5-70 所示。



振荡回路(假定 CL=10pF)

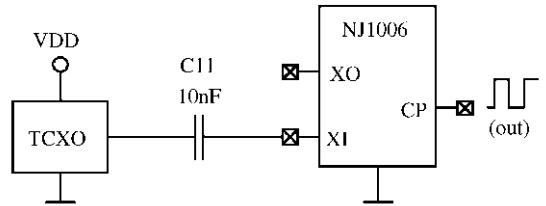


图 5-70 TCXO 输入

14. 数字 I/O(Digital I/O)

数字输出引脚 SGN、MAG、AOK 和 CP 是与 CMOS 兼容的,摆幅从 0V 到 DVDD。SGN 和 MAG 信号在 CP 的下降沿改变,在 CP 的上升沿被基带处理器读入,时序图如图 5-71 所示。

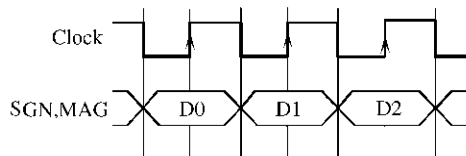


图 5-71 数字输出信号时序图

CP 引脚可以用来作为时钟输入或者时钟输出。使用片内基准晶体振荡器时,CP 引脚为输出状态,输出与基准振荡器频率相同的 CMOS 时钟信号,占空比为 50%。不使能片内晶体振荡器时,CP 引脚为输入状态,可接收逻辑电平为 DVSS 和 DVDD,占空比在 40%~60%之间的外部时钟信号。

15. 电压基准和电压调节器 (Voltage Reference and Regulator)

NJ1006 的偏置由片上 1.22V 能隙基准电压和 1.95V 电压稳压器提供。1.22V 和 1.95V 电压通过 V_{bg} 和 VB 输出,最大负载电流 200 μ A 和 500 μ A。1.95V 电压稳压器提供电源到 VCO 和相位比较器。V_{bg} 和 VB 在瞌睡模式也有效。V_{bg} 和 VB 引脚需要连接退耦电容到地,推荐使用 10nF~100nF 电容。

16. 电源电压连接 (Power Supply Connections)

NJ1006 需要 2 个电源电压。推荐范围如表 5-24 所列。电源电压必须有很好的滤波,可以使用 RC 或 LC 滤波器,推荐在 AVDD 和 DVDD 引脚连接 100nF~2.2 μ F 电容到地 AVSS 和 DVSS。AVSS 和 DVSS 引脚必须连接到 PCB 的接地板。

表 5-24 电源电压

电源电压	最小值/V	最大值/V
AVDD	2.2	3.6
DVDD	1.6	AVDD 0.2
PVDD	2.2	5.5

17. 天线检测器 (Antenna Detector)

天线检测器和开关集成在 NJ1006 内,可以控制加电和控制有源天线。一个典型的应用电路结构如图 5-72 所示。天线检测器检查天线电流状态,如果在规定的范围内,AOK 引脚有效(高电平),否则 AOK 引脚为低电平。当 NJ1006 设置为有效模式,内部的开关导通有源天线。

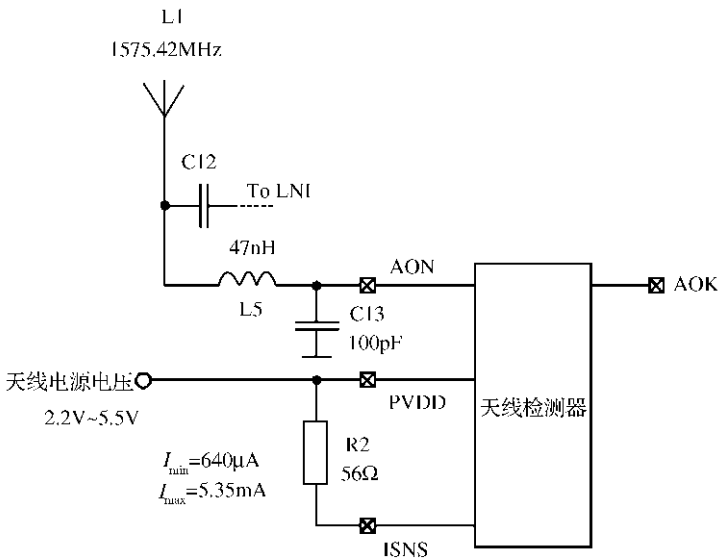


图 5-72 天线检测器外部电路

天线电源电压必须连接到 PVDD 引脚。电压范围是 2.2V~5.5V。在 PVDD 和 ISNS 引脚的电阻 R2,用来设置短路和开路电流阈值。阈值的最小值和最大值为 36mV 和 300mV。最小值和最大值电流由 R2 设置,即

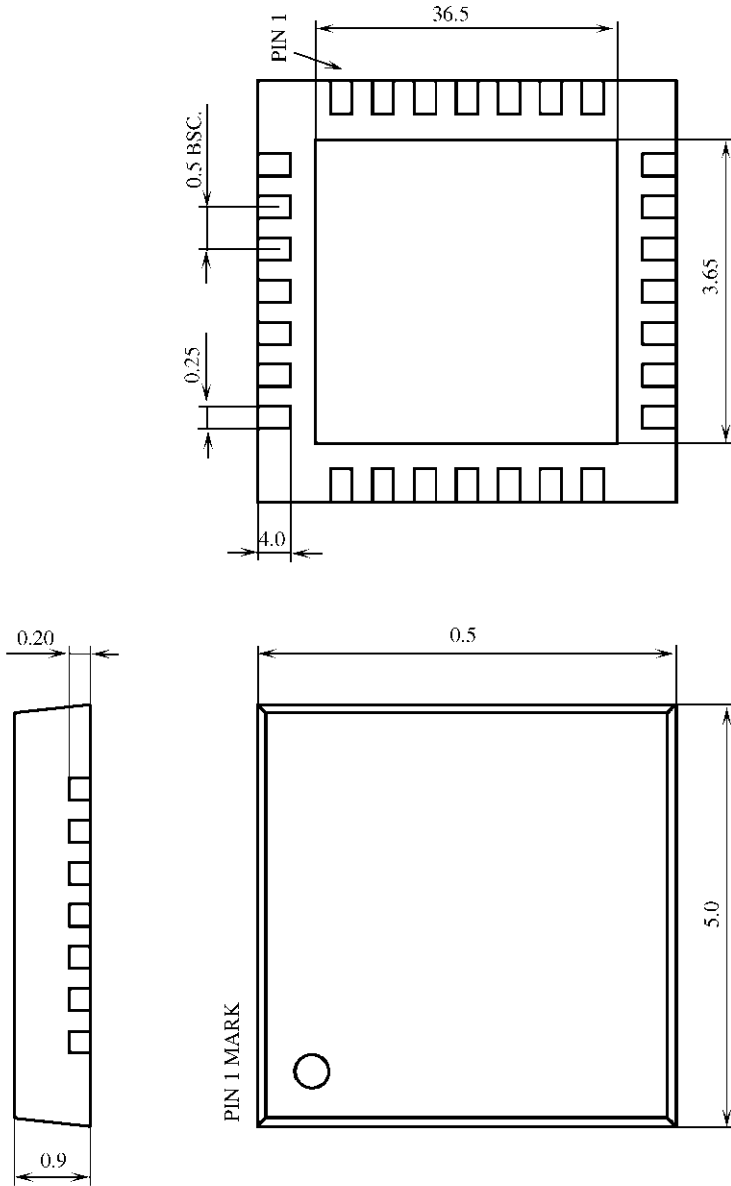
$I_{\min} = 36\text{mV}/R_2$ (对于 56Ω 的电阻, 电流为 $640\mu\text{A}$)

$I_{\max} = 300\text{mV}/R_2$ (对于 56Ω 的电阻, 电流为 5.35mA)

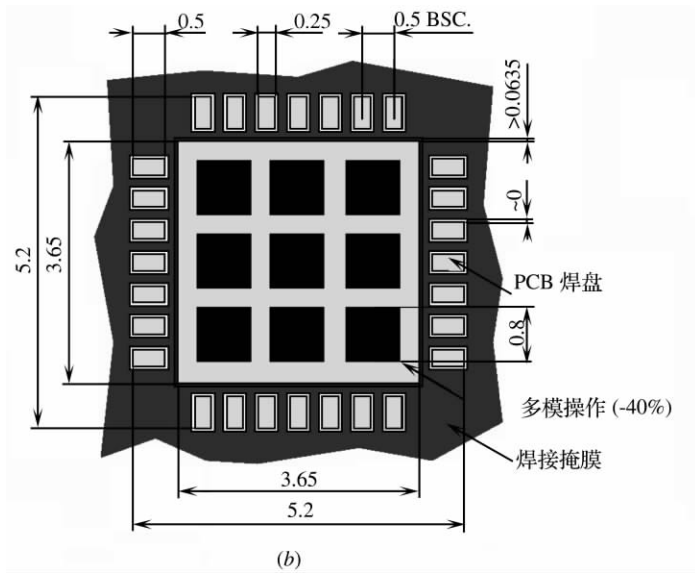
如果电压值在 36mV 和 300mV 之间, AOK 引脚为高电平。如果电压低于 36mV , AOK 输出低电平。

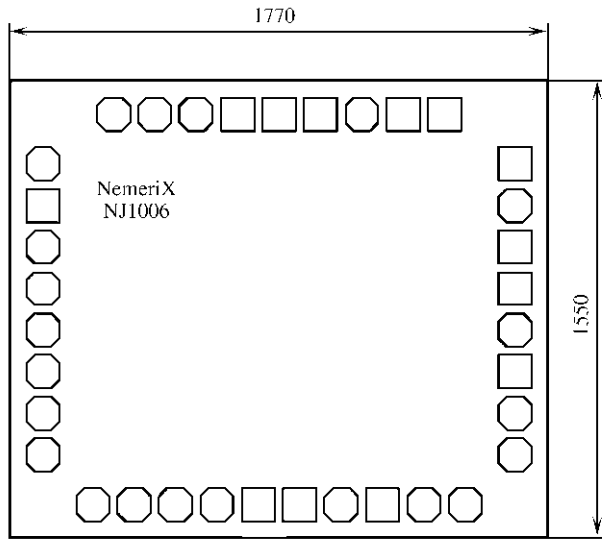
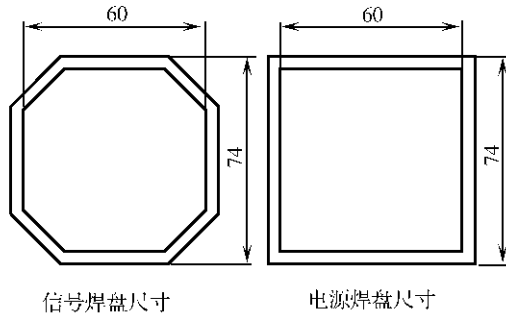
5.6.5 NJ1006 封装尺寸

NJ1006 有 2 种封装形式, NJ1006M 采用 LPCC-28 封装, NJ1006Y 采用 Bare die 封装, 封装尺寸如图 5-73 所示。



(a)





(c)

006 封装尺寸

QFN-28 印制电路板尺寸；(c) NJ1006Y Bare die 封装尺寸。

5.7 基于 S1M8660A 的 GPS 接收机射频前端电路

5.7.1 S1M8660A 简介

S1M8660A 是一个 CDMA/AMPS/GPS3 模式 IF/基带(baseband)集成电路,具有 3 个分开的 IF 频率处理、基带处理和数字接口,包含有接收 AGC 控制、QPSK 基带转换器、I 和 Q 基带信号滤波器、4bit(CDMA)和 8bit(FM/GPS)AD 转换器、VCO、SPI 接口等电路,能够传输数字基带信号到数字基带处理器。AGC 输入信号范围为 90dB,工作电源电压为 2.7V~3.3V,工作环境温度 $-30^{\circ}\text{C}\sim+85^{\circ}\text{C}$ 。采用 48BCC+(7mm×7mm×0.8mm)封装。

5.7.2 S1M8660A 主要性能指标

S1M8660A 的主要性能指标如表 5-25 至表 5-27 所列。

表 5-25 推荐的工作条件

参 数	符 号	数 值
电源电压	VDDA, VDDD	2.7V~3.3V
	VDDM	2.4V~3.5V
工作环境温度	T_a	-30℃~+85℃

表 5-26 电气特性($V_{CC}=3.3V$, $T_a=25^\circ C$)

参 数	符号	测试条件	最小值	典型值	最大值	单位
电流消耗	I_{CRX}	CDMA 空闲模式		26	34	mA
	I_{CSLP}	CDMA 睡眠模式		300	650	μA
	I_{FRX}	FM 空闲模式		19	25	mA
	I_{FSLT}	FM 时隙模式		5.5	7.0	mA
	I_{GPS}	GPS 空闲模式		26	34	mA
	I_{DWN}	低功耗模式		10	100	μA
逻辑输入高电平	V_{IH}		$V_{DDM}-0.4$			V
逻辑输入低电平	V_{IL}				0.4	V
逻辑输出高电平	V_{OH}		$V_{DDM}-0.4$			V
逻辑输出低电平	V_{OL}				0.4	V
数字输入电容	C_{DI}				5	pF
数字输出负载电容	C_{DOL}				10	pF
TCXO 输入阻抗	Z_{TCXO}	$C=2pF$	10			k Ω
CDMA IF 输入阻抗	R_{IFINC}	IF 单端形式		1		k Ω

(续)

参 数	符号	测试条件	最小值	典型值	最大值	单位
FM IF 输入阻抗	R_{IFIN}	IF 差分形式		850		Ω
IF 输入电容	C_{IFIN}	CDMA, FMIF 差分形式			2	pF
VCO 输入阻抗	R_{VCO}	IF VCO 差分形式		2.5		k Ω
VCO 输入电容	C_{VCO}	IF VCO 差分形式			2	pF

表 5-27 交流特性(GPS 部分)($V_{CC}=3.3V, T_a=25^\circ C$)

参 数	符号	测试条件	最小值	典型值	最大值	单位
CDMA 性能(略)						
FM 性能(略)						
GPS 性能						
输入灵敏度	VCSN	最大 AGC 增益	-98.3			dBm
最大输入信号	VCMA	最大 AGC 增益			-8.3	dBm
AGC 增益斜率	GSLOPE	PDM 3.3V 模式	33	45	53	dB/V
AGC 增益与温度关系	GVAR	-30 $^\circ C$ ~ +85 $^\circ C$	-3		3	dB
IF 输入频率范围	F_{in}	$C_{in} < 2pF$		85.38	150	MHz
IF 输入阻抗	Z_{in}		0.8	1.0	1.2	k Ω
噪声系数	NFmin	输入功率 -98dBm			7	dB
	NFmid	输入功率 -75dBm			12	dB
	NFmax	输入功率 -25dBm			58	dB
IIP3	IIP3max	AGC 增益最大	-53			dBm
	IIP3min	AGC 增益最小	-25			dBm
漂移增益斜率	GOFS			250		%FS/V
漂移调整输入阻抗	Z_{off}		100			k Ω
带外衰减	ATC9	$\geq 1.3MHz$	46			dB
	ATC12	$\geq 1.7MHz$	48			dB
残留边带	RSB		22			dB
增益平整度	Gft		-1.5		1.5	dB

5.7.3 S1M8660A 引脚功能

S1M8660A 的引脚封装形式如图 5-74 所示,引脚功能如表 5-28 所列。

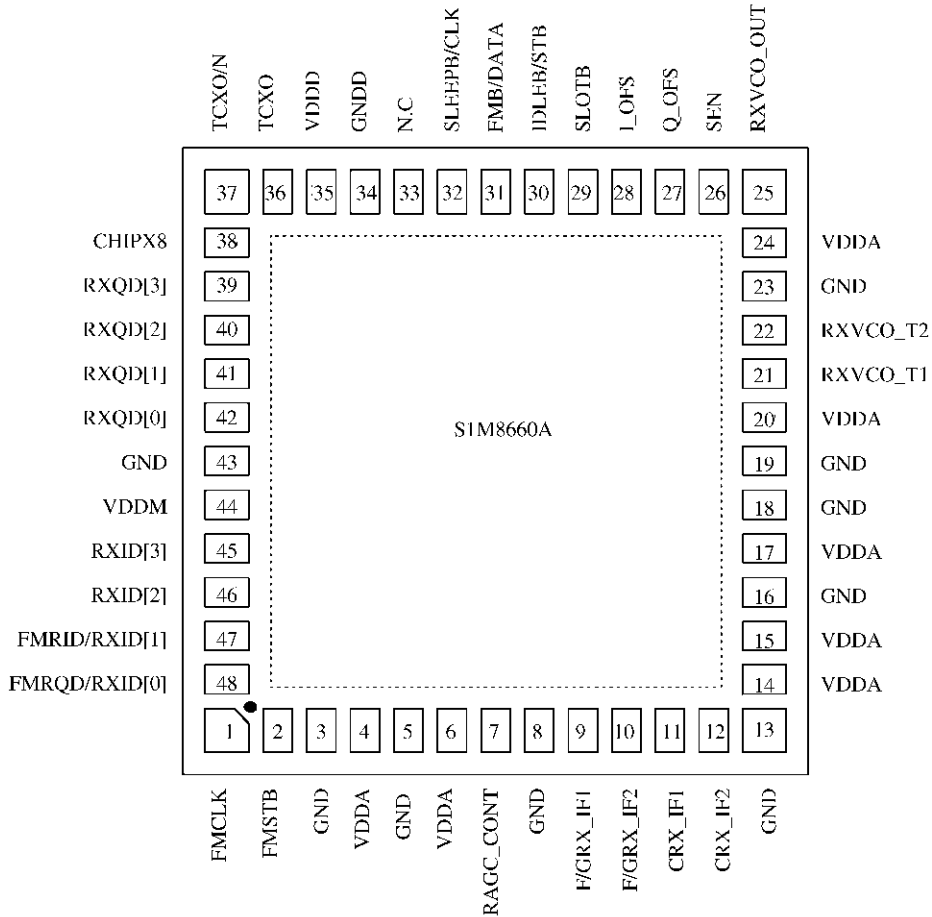


图 5-74 S1M8660A 的引脚封装形式

表 5-28 S1M8660A 的引脚功能

引脚	符号	I/O 类别	功能
1	FMCLK	数字输入	FM ADC 时钟输入。接收来自调制器的信号,信号频率是 360kHz。如果不连接,连接到低电平
2	FMSTB	数字输入	FM 选通信号输入。选通信号控制 ADC 转换器初始化和模拟和数字转换启动。时钟信号来自调制器,频率 40kHz。如果不连接,保持低电平状态
7	RAGC_CONT	模拟输入	AGC 增益控制输入。输入控制电压可以到 VDDA。在睡眠模式保持 在高阻抗状态
9 10	F/GRX_IF1 F/GRX_IF2	模拟输入	FM/GPS IF 输入引脚,输入阻抗大约 865Ω。通常连接 FM IF SAW 滤波器。IF SAW 是差分输出形式。如果不使用,引脚保持在高阻抗状态
11 12	CRX_IF1 CRX_IF2	模拟输入	CDMA IF 输入引脚,输入阻抗大约 865Ω。通常连接 CDMA IF SAW 滤波器。IF SAW 是单端输出形式。如果不使用,引脚保持在高阻抗状态
21 22	RXVCO_T1 RXVCO_T2	模拟输入	连接到振荡器 LC 谐振回路,阻抗大约是 2kΩ
25	RXVCO_OUT	模拟输出	PLL 输出。如果不使用,引脚保持在高阻抗状态

(续)

引脚	符号	I/O 类别	功能
26	SEN	数字输入	如果输入为高电平,允许 SPI 总线控制。STB、DATA、CLK 执行它们的功能。如果为低电平,允许 IDLEB、FMB 和 SLEEPB 完成并联控制功能。如果不使用,保持在低电平状态
27	Q_OFS	模拟输入	直流补偿输入
28	I_OFS	模拟输入	
29	SLOTB	数字输入	在 CDMA 睡眠模式和 FM 接收模式,这个引脚在低电平状态。在接收时隙模式,除 VCO、VCO 缓冲器和 TXCO 外,芯片所有功能关闭。不使用外部时钟时,不使用这个功能
30	IDLEB/STB	数字输入	当 SEN 是高电平状态,这个引脚作为 3 线式总线选通输入。当 SEN 是低电平状态,这个引脚作为并联控制输入和完成 IDLEB 功能。如果不使用,保持在低电平状态
31	FMB/DATA	双向	当 SEN 是高电平状态,这个引脚作为 3 线式总线数据输入和输出端。当 SEN 是低电平状态,这个引脚作为并联控制输入和完成 IDLEB。如果不使用,保持在低电平状态
32	SLEEPB/CLK	数字输入	当 SEN 为高电平时,这个引脚作为 3 线式总线时钟输入。当 SEN 为低电平时,这个引脚作为 SLEEPB 控制。如果不使用,保持在低电平状态
36	TCXO	模拟输入	基准频率输入,连接到 VCTCXO 输出
37	TCXO/N	数字输出	TCXO 基准频率的分频输出。利用 SPI 总线可以选择 3 个不同的分频率和 2 个输出驱动形式。默认值是 4.92MHz,分频率 1、1/4、1/16
38	CHIPx8	双向	CHIPx8 CLOCK 输出。对于 TCXO 基准频率分频率为 512/1025。如果不使用,保持在低电平状态
39 40 41 42 45 46 47 48	RXQD3 RXQD2 RXQD1 RXQD0 RXID3 RXID2 RXID1/FMRID RXID0/FM- RQD	数字输出	CDMA A/D 转换器数字输出。这些引脚连接到调制器输入端。这些数据在 CHIP×8 的上升沿同步和输出。数据在下降沿有效,因此数据在下降沿锁存到调制器
4,6,14, 15,17,20,24	VDDA	模拟输入	模拟电路电源电压输入
35	VDDD	数字输入	数字电路电源电压输入
44	VDDM	数字输入	逻辑电路电源电压,与连接到外部的数字逻辑电路有关,如调制器
3,5,8,13,16, 18,19,23,43	GND	模拟输入	模拟电路地
34	GNDD	数字输入	数字逻辑电路地
33	NC	—	空脚

5.7.4 S1M8660A 的内部结构

S1M8660A 的内部结构方框图如图 5-75 所示,芯片内部包含有:独立的 CDMA/FM/GPS 放大器、低通滤波器(LBF)、模数转换器(ADC),以及共用的 VCO、SPI 接口和控制逻辑电路、混频器、模式转换开关、CHIP×8 等电路。可以分别构成 CDMA 信号接收通道,FM 信号接收通道或者 GPS 信号接收通道。

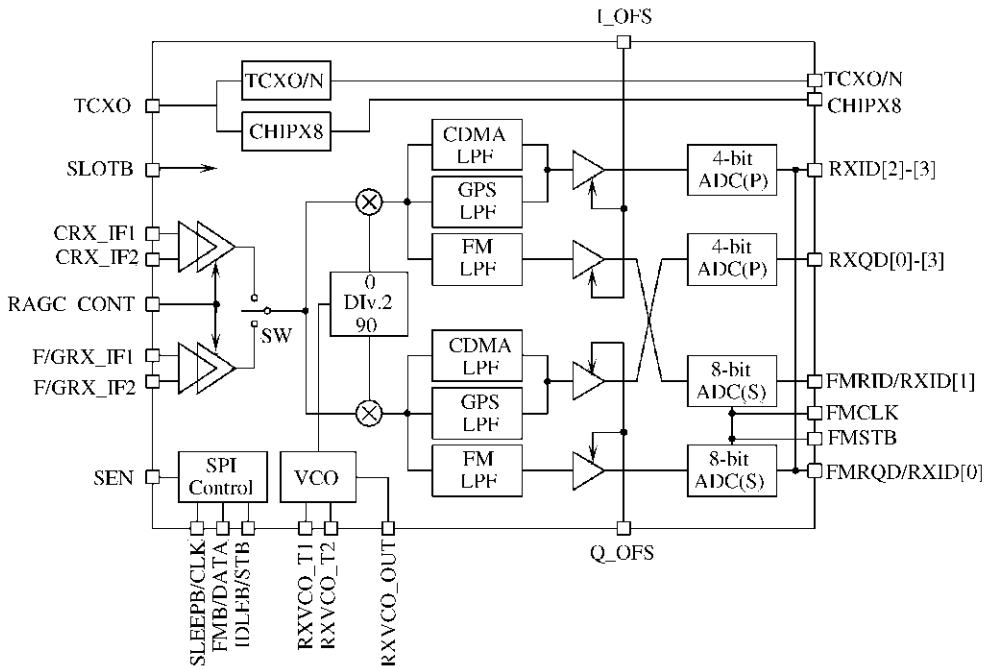


图 5-75 S1M8660A 的内部结构方框图

5.7.5 S1M8660A 电路应用

1. GPS 接收信号通道(GPS Rx Signal Path)

S1M8660A 可以完成 GPS 信号接收与处理。虽然 S1M8660A 的 GPS 接收通道共用 FM 和 CDMA 的一些功能模块,它也需要独立的低通滤波器(LBF)。来自 GPS RF-IF 混频器的 GPS IF 信号通过 GPS SAW 滤波器加到 S1M8660A。通常 FM SAW 滤波器和 GPS SAW 滤波器的输出是单端形式的,推荐的输入电路形式如图 5-76 所示。CDMA/FM/GPS 模式 I/Q 解调器的操作是相同的。S1M8660A 的 GPS 低通滤波器的截止频率大约是 800kHz。

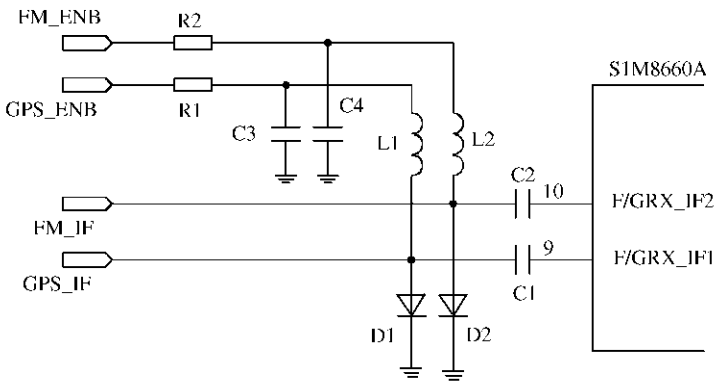


图 5-76 推荐的 FM/GPS IF 输入电路形式

2. CHIP×8 时钟发生器 (CHIP×8 Clock Generator)

CHIP×8 时钟是分频信号,由分频(512/1025)19.68MHz TCXO 基准时钟信号产生。时

序图如图 5-77 所示。

当 CDMA 是在睡眠模式和 FM 是空闲模式,CHIP×8 时钟输出保持在低电平状态。通过设置控制寄存器状态,CHIP×8 可以有 3 个分频率,输出时钟信号频率为 19.68MHz、9.84MHz、9.8304MHz。在 GPS 模式,输入信号频率将改变,GPS 采样频率信号将加入。



图 5-77 CHIP×8 时钟形式

3. 接收压控振荡器 (Rx Voltage Controlled Oscillator, VCO)

S1M8660A 包含有接收 LO 功能模块所有的 VCO 和正交相位发生器。正交相位发生器产生 I 相和 Q 相时钟 (VCO 频率的 1/2), 输出到 QPSK 解调器。当 VCO 信号输出到外部 PLL 时, 需要使用 VCO 缓冲器。VCO 的频率范围大约是 100MHz~500MHz, 建议最大 IF 输入频率为 250MHz。

4. 操作模式 (Modes of Operation)

S1M8660A 能够采用 DC 输入控制或者 SPI 总线输入控制。DC 控制模式有 FMB、IDLEB 和 SLEEPB3 种模式, 如表 5-29 所列。在 GPS 模式, 只能够采用 SPI 总线控制。

表 5-29 DC 控制模式

模 式	FMB	IDLEB	SLEEPB	CHIP×8	TCXO/N
CDMA 通话模式	H	H	H	On	On
CDMA 空闲模式	H	L	H	On	On
CDMA 睡眠模式	H	L	L	Off	On
FM 通话模式	L	H	X	On	On
FM 空闲模式	L	L	H	Off	On
接收时隙	L	L	L	Off	On

5. 串行通道接口 (Serial Port Interface, SPI)

S1M8660A 的所有功能可以通过 SPI 总线由外部控制器控制。设置引脚 26 (SEN) 为高电平, SPI 总线接口使能。当设置引脚 26 (SEN) 为低电平时, SPI 总线接口不使能, S1M8660A 必须使用 DC 控制模式 (所有的内部寄存器都设置在默认值)。

在 GPS 模式, 为了与以前的产品兼容, 不能够采用 DC 控制模式。在 GPS 模式, 设置引脚 26 (SEN) 为高电平, 通过 SPI 总线接口控制 S1M8660A 的所有功能。控制器是主设, S1M8660A 是从设。

SPI 总线接口由引脚 IDLEB/STB、FMB/DATA 和 SLEEPB/CLK 组成。SPI 总线接口时序图如图 5-78 所示。SPI 总线接口传输数据形式如图 5-79 所示。

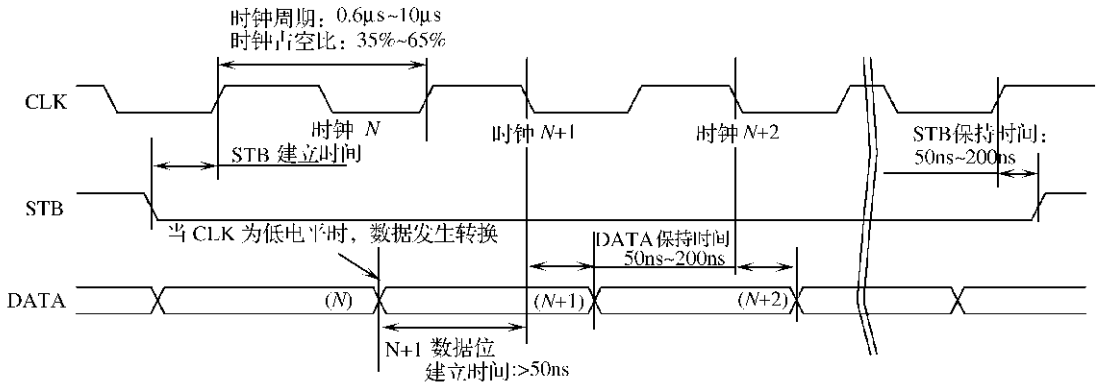


图 5-78 SPI 接口时序图

6. 控制寄存器 (CONTROL REGISTERS)

S1M8660A 有各种能够通过 SPI 总线编程的寄存器, 各寄存器功能如表 5-30 所列。表 5-30 中, W 表示由控制器输出数据到寄存器; R 表示 S1M8660A 发送数据到控制器。

表 5-30 S1M8660A 控制寄存器功能

寄存器符号	地 址	R/W	默认值	功 能
RESET	0×00	W		RESET 寄存器, 复位 S1M8660A, 所有寄存器的数值恢复为默认值
SPI_ID	0×01	R	0×1F	SPI_ID 寄存器, 从设识别码, S1M8660A 识别码是 1FH
BLOCK_CTL	0×04	R/W	0×3C	BLOCK_CTL 寄存器, 决定 S1M8660A 操作, 执行 IDLEB、FMB 和 SLEEPB 并行控制模式
CLK_GEN_MODE	0×09	R/W	0×0C	CLK_GEN_MODE 寄存器, 改变内部分频器的分频率, 控制输出驱动器
FILTER_SEL	0×0A	R/W	0×0A	FILTER_SEL 寄存器, 低通滤波器选择
AGC_DCONV	0×0C	R/W	0×0B	AGC_DCONV 寄存器, 控制 AGC 增益范围和 VCO 输出
Reserved(保留位)	0×10~0×15	绝对不能使用		

7. S1M8660A 应用电路

S1M8660A 的应用电路如图 5-80 所示。

5.7.6 S1M8660A 封装尺寸

S1M8660A 采用 48BCC+ 封装, 封装尺寸如图 5-81 所示, 尺寸单位为 mm。

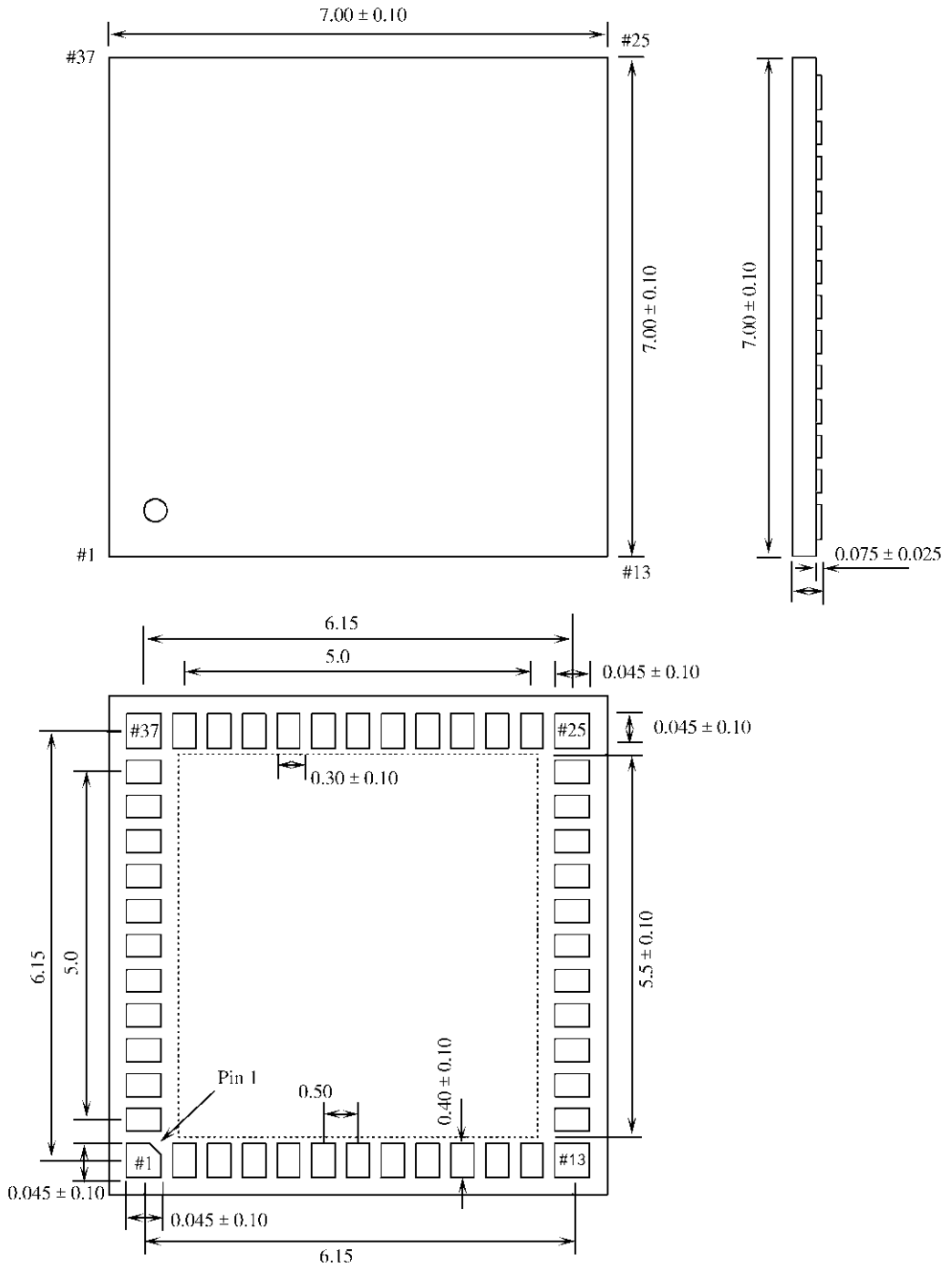


图 5-81 S1M8660A 封装尺寸

5.8 基于 S1M8662A 的 GPS 接收机射频前端电路

5.8.1 S1M8662A 简介

S1M8662A 是一个 CDMA/PCS/GPS3 模式 IF/基带(baseband)集成电路,具有 2 个分开的 IF 频率处理、基带处理和数字接口,包含有接收 AGC 控制、QPSK 基带转换器、I 和 Q 基带信号滤波器、4bit AD 转换器、VCO、SPI 接口等电路,能够传输数字基带信号到数字基带处理器。AGC 输入信号范围为 90dB,工作电源电压为 2.7V~3.3V,工作环境温度 $-30^{\circ}\text{C}\sim+85^{\circ}\text{C}$ 。采用 32BCC++(5mm×5mm×0.8mm)封装。

5.8.2 S1M8662A 主要性能指标

S1M8662A 的主要性能指标与 S1M8660A 的基本相同,见 S1M8662A 的表 5-25 至表 5-27。

5.8.3 S1M8662A 的引脚功能

S1M8662A 的引脚封装形式如图 5-82 所示,引脚功能如表 5-31 所列。

表 5-31 S1M8662A 的引脚功能

引脚	符号	I/O 类别	功能
1	VDDD	电源	数字逻辑电路电源电压
2	VDDA	电源	模拟电路电源电压
3	RAGC_CONT	模拟输入	AGC 增益控制输入。输入控制电压可以到 VDDA。在睡眠模式保持在高阻抗状态
4	GRX_IF1	模拟输入	GPS IF 输入引脚,输入阻抗大约 865Ω。通常连接 FM IF SAW 滤波器。IF SAW 是差分输出形式。如果不使用,引脚保持在高阻抗状态
5	GRX_IF2	模拟输入	
6	CRX_IF1	电源	CDMA IF 输入引脚,输入阻抗大约 865Ω。通常连接 CDMA IF SAW 滤波器。IF SAW 是单端输出形式。如果不使用,引脚保持在高阻抗状态
7	CRX_IF2	数字输出	
8	VDDA	电源	模拟电路电源电压
9	TCXO_out	电源	TCXO 时钟输出,分频率为 1
10	VDDA	电源	模拟电路电源电压
11	VDDA	电源	模拟电路电源电压
12	Q_OFS	模拟输入	直流补偿输入
13	I_OFS	模拟输入	直流补偿输入
14	RXVCO_T1	模拟输入	连接到振荡器 LC 谐振回路,阻抗大约是 2kΩ
15	RXVCO_T2	模拟输入	
16	VDDA	电源	模拟电路电源电压
17	RXVCO_OUT1	数字输出	PLL 输出。如果不使用,引脚保持在高阻抗状态
18	RXVCO_OUT2	数字输入	

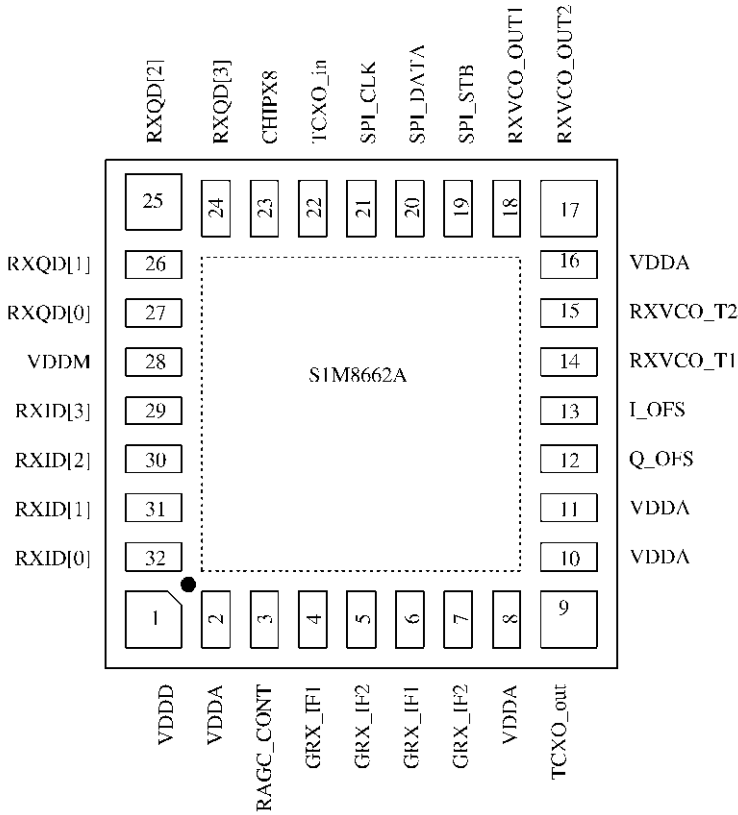


图 5-82 SIM8662A 的引脚封装形式

19	SPI_STB	双向	3 线式总线选通输入
20	SPI_DATA	数字输入	3 线式总线数据输入和输出端
21	SPI_CLK	电源	3 线式总线时钟输入
22	TCXO_in	数字输入	外部振荡器基准频率输入
23	CHIP×8	模拟输入/数字输入	CHIP×8 CLOCK 输出
24	RXQD3	数字输出	Q 通道 A/D 转换器数字输出。这些引脚连接到调制器输入端。这些数据在 CHIP×8 的上升沿同步和输出。数据在下降沿有效,因此数据在下降沿锁存到调制器
25	RXQD2	数字输出	
26	RXQD1	数字输出	
27	RXQD0	数字输出	
28	VDDM	数字输入	逻辑电路电源电压,与连接到外部的数字逻辑电路有关,如调制器
29	RXID3	数字输出	I 通道 A/D 转换器数字输出。这些引脚连接到调制器输入端。这些数据在 CHIP×8 的上升沿同步和输出。数据在下降沿有效,因此数据在下降沿锁存到调制器
30	RXID2	数字输出	
31	RXID1	数字输出	
32	RXID0	数字输出	

5.8.4 SIM8662A 的内部结构

SIM8662A 的内部结构方框图如图 5-83 所示,芯片内部包含有:独立的 CDMA /GPS 放

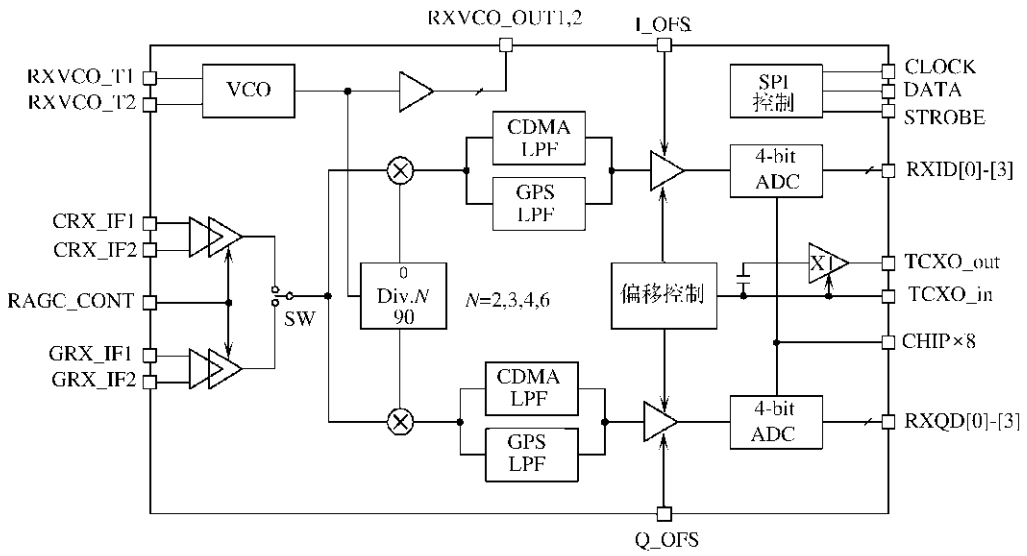


图 5-83 S1M8662A 的内部结构方框图

大器、低通滤波器(LBF)、模数转换器(ADC),以及共用的 VCO、SPI 接口和控制逻辑电路、混频器、模式转换开关(SW)等电路。可以分别构成 CDMA 信号接收通道和 GPS 信号接收通道。

5.8.5 S1M8662A 电路应用

1. GPS 接收信号通道(GPS Rx Signal Path)

S1M8662A 可以完成 GPS 信号接收与处理。虽然 S1M8662A 的 GPS 接收通道共用 CDMA 的一些功能模块,它需要独立的低通滤波器(LBF)。来自 GPS RF-IF 混频器的 GPS IF 信号通过 GPS SAW 滤波器加到 S1M8662A。通常 GPS SAW 滤波器的输出是单端形式的。

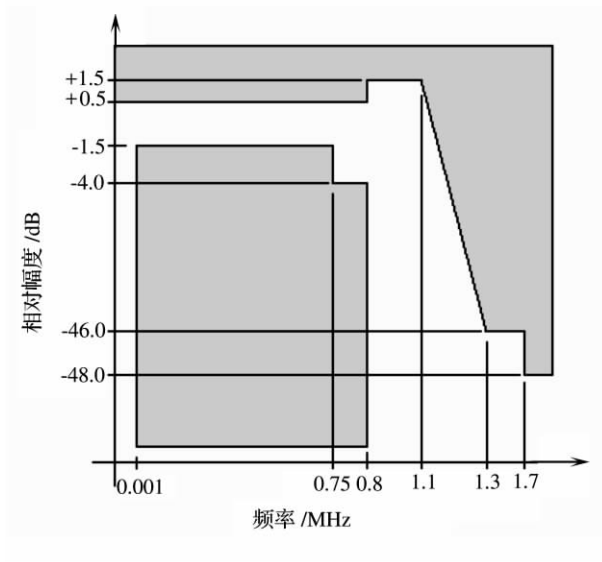


图 5-84 GPS 接收通道低通滤波器特性

CDMA/GPS 模式的 I/Q 解调器的操作是相同的。GPS 接收通道低通滤波器特性如图 5-84 所示。S1M8662A 包含有接收 LO 功能模块所有的 VCO 和正交相位发生器。正交相位发生器产生 I 相和 Q 相时钟(VCO 频率的 1/2),输出到 QPSK 解调器。当 VCO 信号输出到外部 PLL 时,需要使用 VCO 缓冲器。

2. 操作模式控制(Modes of Operation)

S1M8662A 的操作模式能够采用 SPI 总线输入数据,设置内部寄存器状态进行控制,如表 5-32 所列。

表 5-32 控制模式

模 式	BLOCK_CTL 0×03[1:0]	VCO_CTL 0×06[7]	FILTER_SEL 0×05[2:0]
睡眠模式	00	X	XXX
CDMA 空闲模式	01	0	100
CDMA 时隙模式	01	1	111
GPS 空闲模式	10	0	100
GPS 时隙	10	1	111

3. 串行通道接口(Serial Port Interface,SPI)

S1M8662A 的所有功能可以通过 SPI 总线由外部控制器控制。SPI 总线接口由引脚 SPI_STB、SPI_DATA 和 SPI_CLK 组成。SPI 总线接口时序图和 SPI 总线接口传输数据形式,与 S1M8660A 的基本相同,见 S1M8662A 的相关部分。

4. 控制寄存器(CONTROL REGISTERS)

S1M8662A 有各种能够通过 SPI 总线编程的寄存器,各寄存器功能如表 5-33 所列。表 5-33 中,W 表示由控制器输出数据到寄存器;R 表示 S1M8662A 发送数据到控制器。

表 5-33 S1M8662A 控制寄存器功能

寄存器符号	地 址	R/W	默认值	功 能
RESET	0×00	W		RESET 寄存器,复位 S1M8662A,所有寄存器的数值恢复为默认值
SPI_ID	0×01	R	0×1F	SPI_ID 寄存器,从设识别码,S1M8662A 识别码是 1EH
BLOCK_CTL	0×03	R/W	0×8	BLOCK_CTL 寄存器,控制 S1M8662A 的操作模式,LO 分频率,控制 VCO 输出
FILTER_SEL	0×05	R/W	0×1C	FILTER_SEL 寄存器,低通滤波器选择

(续)

寄存器符号	地址	R/W	默认值	功能
VCO_CTL	0×06	R/W	0×0B	VCO_CTL 寄存器, 控制 VCO 操作和 VCO 输出

5. S1M8662A 应用电路

S1M8662A 的应用电路如图 5-85 所示。

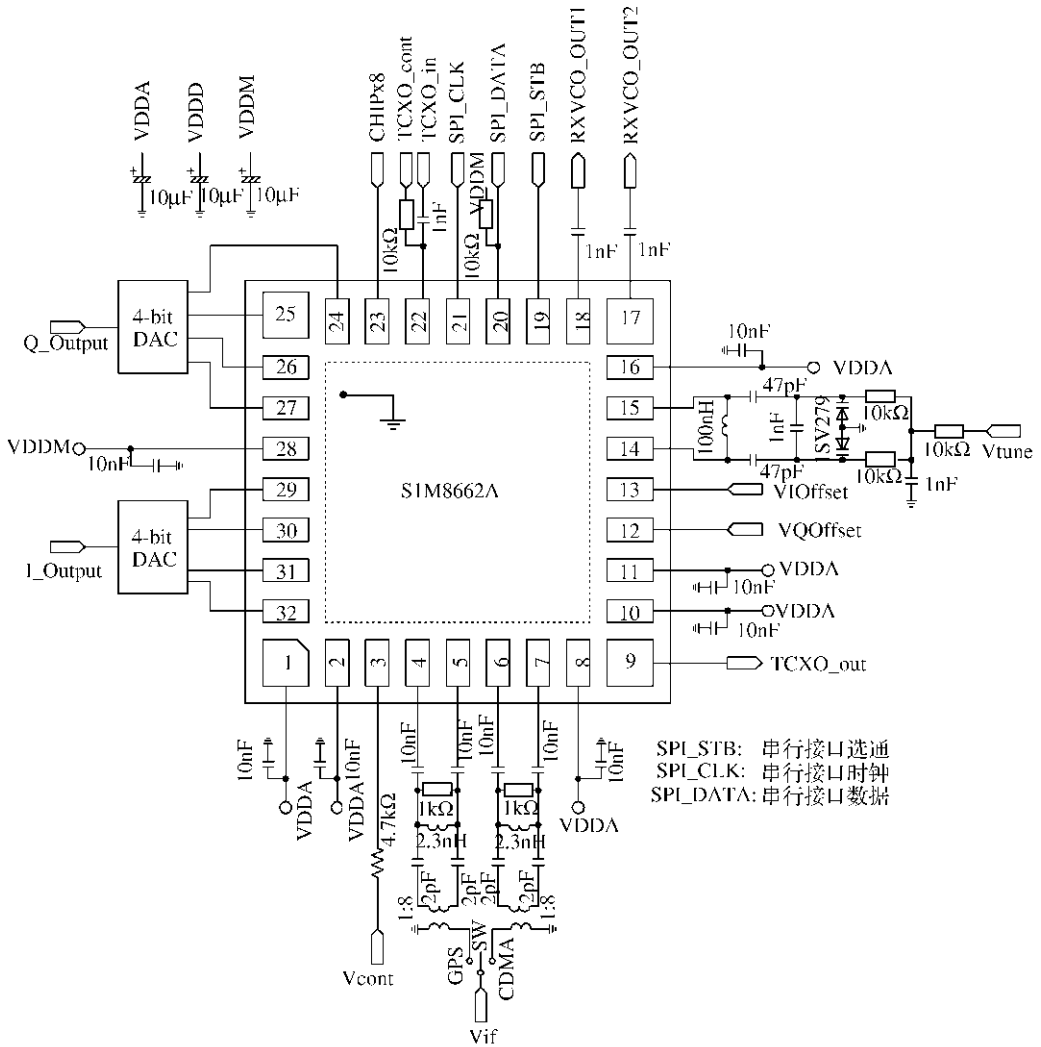


图 5-85 S1M8662A 的应用电路

6. S1M8662A 封装尺寸

S1M8662A 采用 32BCC++ 封装, 封装尺寸如图 5-86 所示, 尺寸单位为 mm。

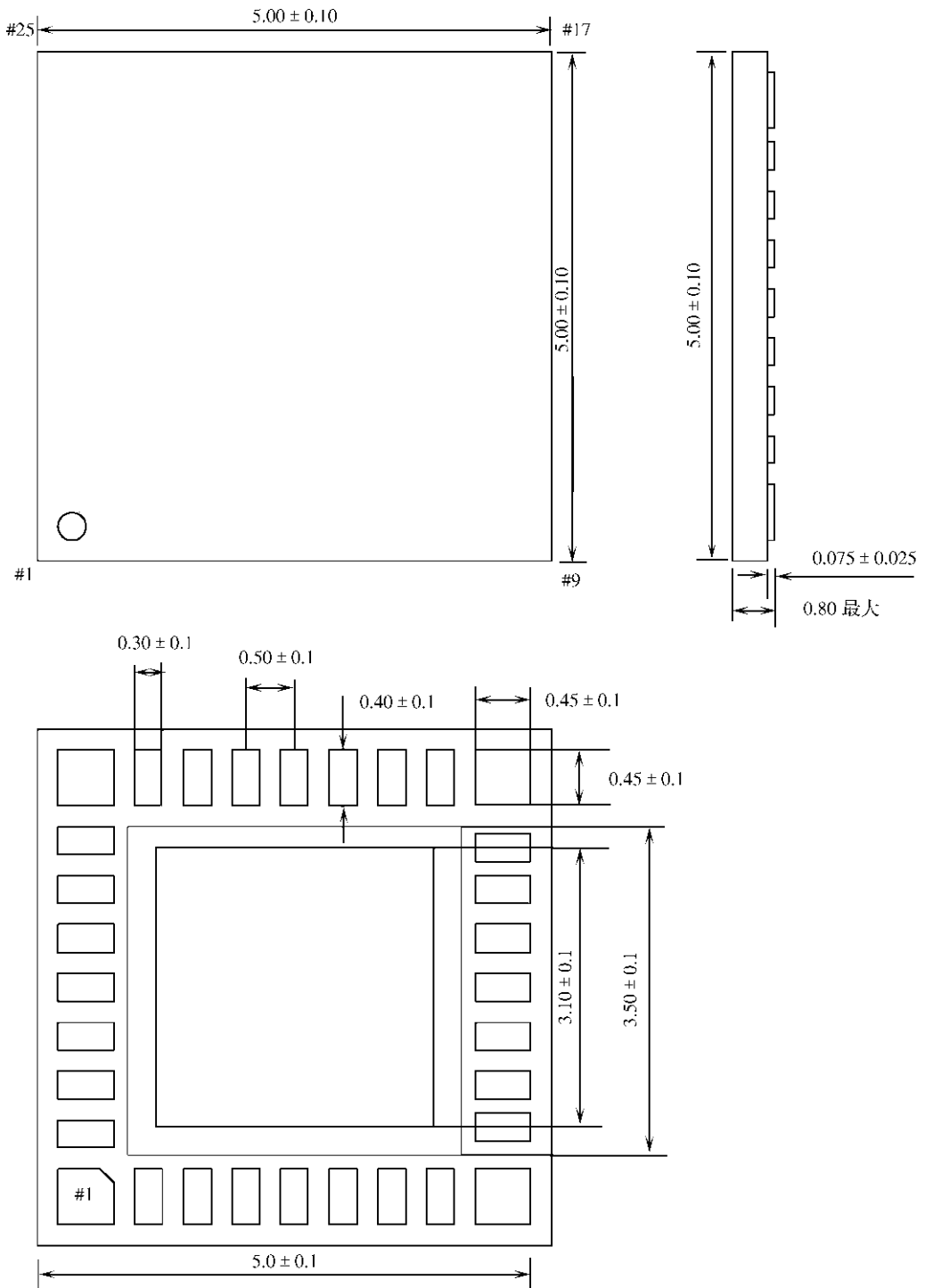


图 5-86 S1M8662A 封装尺寸

5.9 基于 SE4100L 的 GPS 接收机射频前端电路

5.9.1 SE4100L 简介

SE4100L 是一个集成的 GPS 接收器芯片,用来接收 1575.420MHz 的 L1 信号。芯片采用低 IF 体系结构,内部集成了放大器、振荡器、混频器、PLL 和 IF 采样等电路。因此,减少了外部元器件,不需要 VCO 谐振器和 RF 滤波器,仅需要用于电源退耦的电容元件和 16.368MHz 晶体振荡器。射频电路部分,在 LNA 输入端需要 3 个匹配元件完成最佳阻抗匹配。SE4100L 采用数字控制低功耗模式使能,电源消耗仅 35mW。SE4100L 可采用本机无源天线或者远距离的有源天线,而不需要改变电路结构。LNA 具有低的噪声系数,典型值为 1.9dB。通过镜像抑制的混频器下变频 RF 信号到 4.092MHz IF。4.092 MHz IF 信号通过 IF 滤波器馈送到组合器、限幅器和输出锁存器。输出信号是被量化为 1bit 的 4.092MHz 数字 IF 信号。SE4100L 采用 4×4mm LPCC 封装。

SE4100L 可应用在移动电话 P DA 附件、便携式的导航和个人安全、安全系统、财产跟踪、远程信息处理等设备中。

5.9.2 SE4100L 主要性能指标

SE4100L 主要性能指标如表 5-34~表 5-41 所列。

表 5-34 绝对最大额定值范围

参 数	符号	最小值	最大值	单位
电源电压	V_{CC}/V_{DD}	-0.3	+3.6	V
在任一个引脚(除天线检测端之外)到 VSS 电压		-0.3	$V_{DD}+0.3$	V
在 AntDetP 或者 AntDetN 引脚到 VSS 电压		-0.3	+5.25	V
存储温度范围	TSTG	-65	+150	°C

表 5-35 推荐的工作条件

参 数	符号	最小值	最大值	单位
工作温度	T_A	-40	+85	°C
电源电压	V_{CC}/V_{DD}	2.7	3.6	V

表 5-36 DC 电气特性

参 数	符号	最小值	典型值	最大值	单位
全部电源电流,所有的电路有效	I_{CC}		10.5	13	mA
电源电流,仅振荡器有效	$I_{CC(OSC)}$		1.0		mA
电源电流,仅振荡器缓冲器有效	$I_{CC(OFF)}$			450	μA

表 5-37 LNA 部分 AC 电气特性

(条件: $V_{CC}=V_{DD}=3.3V, T_A=25^\circ C$)

参 数	符号	条 件	最小值	典型值	最大值	单位
电源电流	ICC	RxEnb='1'		2.0		mA
前向增益	S21	$f_{RF}=1570MHz\sim 1580MHz$, LowGain='0', Pin=-80dBm		14		dB
噪声系数	NF	$f_{RF}=1570MHz\sim 1580MHz$, LowGain='0'		1.9		dB
前向增益	S21LOW	$f_{RF}=1570MHz\sim 1580MHz$, LowGain='1', Pin=-80dBm		4		dB
噪声系数	NF	$f_{RF}=1570MHz\sim 1580MHz$, LowGain='1'		4	5	dB
输入阻抗	S11			13-j86		Ω
源阻抗		对于噪声匹配		52+j109		Ω
高增益模式输入 IP3	IIP3H	调谐在(1575±5)MHz@-60dBm		-23		dBm
低增益模式输入 IP3	IIP3L	调谐在(1575±5)MHz@-60dBm		-23		dBm
输入功率	P1dB	在增益下降 1dB 点		-32		dBm
恢复时间	t_R	从-3dBm 输入过载信号		4	10	μsec
输入低电平	VIL	LowGain 输入			0.6	V
输入高电平	VIH	LowGain 输入	$V_{DD}-0.6$			V
LowGain 输入电流	IIN		-0.1		0.1	μA

表 5-38 接收器部分 AC 电气特性

(条件: $V_{CC}=V_{DD}=3.3V, T_A=25^\circ C$)

参 数	符号	条 件	最小值	典型值	最大值	单位
噪声系数	NF	$f_{RF}=1570MHz\sim 1580MHz$, 输入到“MixIn”		12.5		dB
输入 IP3	IIP3	调谐在(1575±5)MHz@-50dBm(Mixer 和 IF Filter)		-25		dBm
输入回波损耗	S11	50 Ω 系统				dB
从-30dBm 输入过载信号的恢复时间	t_R			4		μs
IF 中心频率	f_{IF}			4.092		MHz
-3dB 带宽	BW			2.0		MHz
群延迟变化	T_g	$f_c \pm BW/2$		0.1		μs
在 $f_c \pm BW$ 处的衰减	A _{v2}			8		dB
在 $f_c \pm 2 \cdot BW$ 处的衰减	A _{v4}			24		dB

表 5-39 VCO 和本机振荡器(LO)电气特性

(条件: $V_{CC}=V_{DD}=3.3V, T_A=25^\circ C$)

参 数	符号	条 件	最小值	典型值	最大值	单位
LO 中心频率	f_{LO}			1571.328		MHz
LO SSB 相位噪声	L_{1k}	在 1kHz 偏移			-65	dBc/Hz
	L_{10k}	在 10kHz 偏移			-75	dBc/Hz
	L_{100k}	在 100kHz 偏移			-80	dBc/Hz

表 5-40 晶体振荡器 AC 电气特性
(条件: $V_{CC}=V_{DD}=3.3V$, $T_A=25^\circ C$)

参 数	符号	条 件	最小值	典型值	最大值	单 位
电源电流	I_{CC}	晶体振荡器和时钟缓冲器, OscEnb="1"		1.0		mA
振荡器频率	f_{XTAL}		16.2		16.5	MHz
频率		推荐的晶体振荡器参数		16.368000 16.367667		MHz
ESR					50	Ω
C_{LOAD}				12		pF
振荡器启动时间	t_{START}	到满幅度的 95%			2	ms
时钟输出负载电容	C_L				3	pF

表 5-41 天线电流监视器
(条件: $V_{CC}=V_{DD}=3.3V$, $T_A=25^\circ C$)

参 数	符号	条 件	最小值	典型值	最大值	单 位
在 AntDetP 和 AntDetN 之间的电压	VANT	AntOK 为高电平	0.35		0.65	V
在 AntDetP 和 AntDetN 之间的电压	VANT	对于低电流条件, AntOK 为低电平			0.10	V
在 AntDetP 和 AntDetN 之间的电压	VANT	对于高电流条件, AntOK 为低电平	1.0			V
在 AntDetP 上的电压范围	VAntDetP	对于正常操作,	$V_{CC}-0.5$		5.25	V
AntOK 输出电压	VAntOK	天线好, 1mA 源电流	$V_{CC}-0.5$		V_{CC}	V
AntOK 输出电压	VAntOK	天线不好, 1mA 反向电流	0		0.5	V

5.9.3 SE4100L 芯片封装与引脚功能

SE4100L 采用 4×4 mm LQCC-24 封装, 引脚封装形式如图 5-87 所示, 引脚功能如表 5-42 所列。

表 5-42 SE4100L 引脚功能

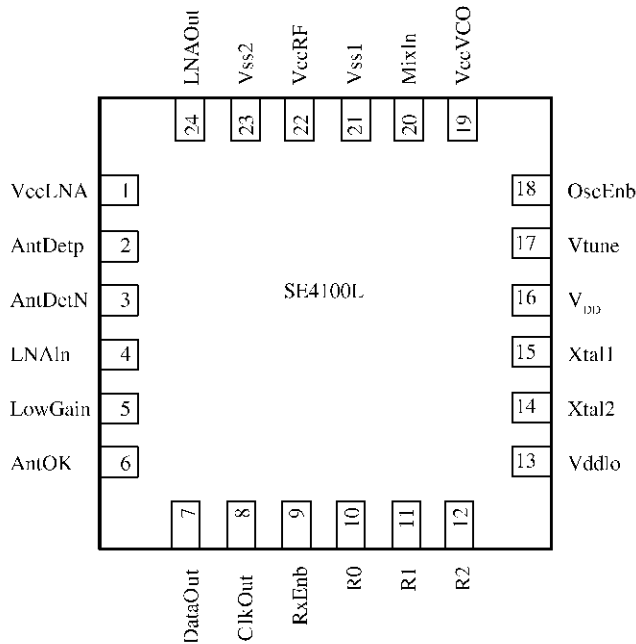


图 5-87 SE4100L 引脚封装形式

引脚	符号	功能
1	VccLNA	LNA 电源电压
2	AntDetP	天线电流检测电阻正端, 如果不使用, 连接到 V_{DD}
3	AntDetN	天线电流检测电阻负端, 如果不使用, 连接到 V_{DD}
4	LNAIn	LNA 输入
5	LowGain	LNA 增益控制, 高电平时为低增益状态
6	AntOK	天线“OK”输出标志, 高电平为天线电流“OK”
7	DataOut	数据输出
8	ClkOut	晶体振荡器缓冲输出, 采样时钟
9	RxEnb	接收器使能, 高电平有效
10	R0	通过 10k Ω 电阻连接到 V_{DD}
11	R1	连接到 V_{DD}
12	R2	连接到 V_{DD}
13	V_{DD} I/O	I/O 电源电压, 连接到 V_{DD}
14	Xtal2/ClkIn2	连接到晶体振荡器/外部 CMOS 时钟输入
15	Xtal1/ClkIn1	连接到晶体振荡器/外部正弦波时钟输入
16	V_{DD}	数字电路电源电压
17	Vtune	连接到回路滤波器
18	OscEnb	使能晶体振荡器, 高电平有效
19	V_{CC} VCO	VCO 电源电压退耦连接
20	MixIn	混频器输入
21	V_{SS1}	地
22	V_{CC} RF	接收器电源电压
23	V_{SS2}	地
24	LNAOut	LNA 输出 t
Die Pad	Gnd	连接到地

5.9.4 SE4100L 内部结构与工作原理

SE4100L 内部结构如图 5-88 所示, 芯片内部包含有: LNA、天线电流监测器(Ant current monitor)、射频放大器(RF Amp)、混频器(Mixers)、IF 滤波器(IF Filter)、正交信号发生器(Quadrature)、相位检测器(Phase Det.)、晶体振荡器(Xtal Oscillator)、压控振荡器(VCO)、移相器/组合器(PhaseShift/Combiner)和 D 触发器(D-type)等。

1. LNA

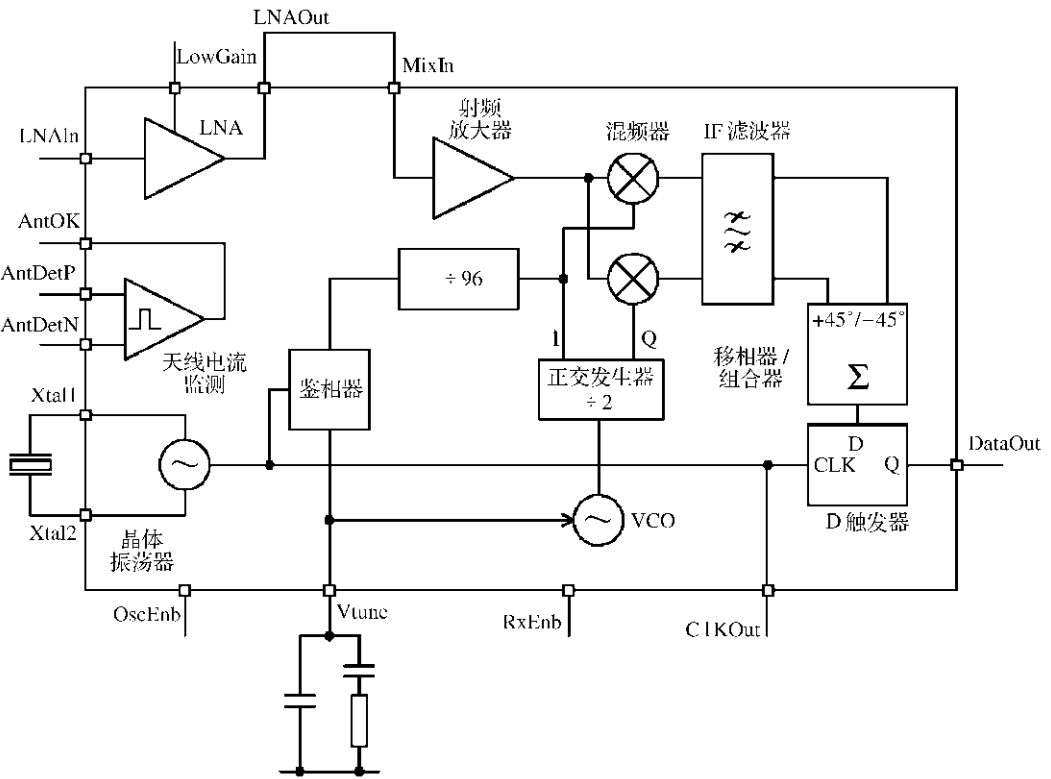


图 5-88 SE4100L 内部结构方框图

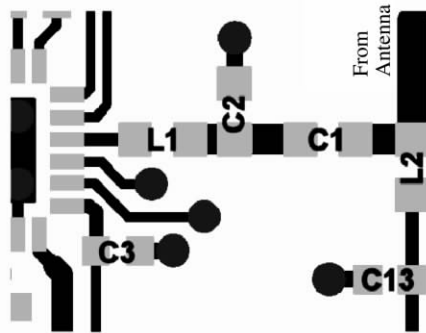


图 5-89 LNA 输入匹配电路印制电路板布局

内部 LNA 具有很好的性能,可以直接与集成模块的本机无源天线连接。它也可以通过转换增益,采用同样的电路结构,与外部有源天线连接。LNA 输出有退耦和接近 50Ω 匹配网络,可以直接连接到混频器输入端,或者通过外部滤波器连接到混频器输入端。LNA 的输入匹配电路的印制电路板布局是需要特别注意的,一个推荐的、匹配到 50Ω 天线的印制电路板布局如图 5-89 所示。

2. 天线电流监测器

天线电流监测器是一个窗口比较器,采用共模输入方式工作。它用来监测外部有源天线的电源电流,当电流降低到设计范围之外时,提供一个逻辑电平指示输出。在 AntOK 引脚上的逻辑电平输出状态与在 AntDetP 和 AntDetN 引脚之间的电压降有关。AntDetP 存在一个较高的直流电压。这个电压是由外部的电流检测电阻产生,电流检测电阻与天线供电电压串联。

AntOK 引脚是 CMOS 输出,可以直接连接到 LowGain 输入引脚,可以根据外部有源天线的状态控制 LNA 增益。AntDetP 和 AntDetN 之间的电压(VANT)与 AntOK 引脚输出逻辑电平关系如表 5-43 所列。

外部电流检测电阻的数值根据外部天线电流 I_{ANT} 选择,即

$$R_{EXT} = \frac{0.5}{I_{ANT}}$$

如果天线检测电路不使用, AntDetP 和 AntDetN 将连接到 Vcc LNA。

表 5-43 AntDetP 和 AntDetN 之间的电压(VANT)与 AntOK 引脚输出逻辑电平关系

AntDetP 和 AntDetN 之间的电压(VANT)	AntOK 引脚输出逻辑电平
< 0.100	低电平
$0.35 < V < 0.65$	高电平
> 1.0	低电平

3. 混频器射频输入(Mixer RF Input)

混频器射频输入端(MixIn)是单端 50Ω 输入,可直接与 LNAOut 引脚连接,或者与外部滤波器输出端连接。外部有源天线也可以直接连接到 MixIn 引脚,不使用可变增益的 LNA。

这个镜像抑制的混频器确保接收器的灵敏度,而不需要外部滤波器。然而,对于需要高灵敏度的应用,也可以在 LNAOut 和 MixIn 引脚之间附加一个外部滤波器。LNAOut 和 MixIn 引脚的阻抗接近 50Ω 。

4. PLL 和回路滤波器 (Loop Filter)

除回路滤波器外,为混频器产生本机振荡的、完整的 PLL 是集成在芯片上。电容器可以采用瓷片电容,如: C0G/NP0 或者 X7R。

印制电路板布局时应保持从 Vtune 引脚到回路滤波器的连线最短,以减少噪声的输入。

5. 晶体振荡器

晶体振荡器采用如图 5-90 所示的 Pierce 结构,电路与谐振晶体(负载电容 12pF)并联。

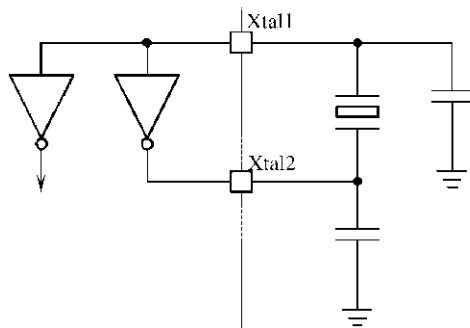


图 5-90 采用 Pierce 结构的晶体振荡器

PCB布局时应避免在Xtal1和Xtal2引脚和晶体振荡器之间的导线太长。在晶体振荡器各引脚连接的电容应尽可能地靠近晶体振荡器,并且低阻抗地连接到接地板。

SE4100L 可以使用低价格的 HC49 表面安装晶体振荡器和一些陶瓷封装的器件。当使用微型晶体振荡器时,需要在 Xtal2(pin 14)引脚串联一个电阻,以减少驱动电平。对于 HC49 型晶体振荡器使用 $1\text{k}\Omega$ 的电阻将减少驱动电平约 $100\mu\text{W}$,使用 $2.2\text{k}\Omega$ 的电阻减少驱动电平大约 $50\mu\text{W}$ 。振荡器使能控制端(OscEnb, pin 18)与接收器使能控制端(RxEnb)一起可以在接收器“睡眠”时,允许振荡器提供时钟信号到基带处理器。

SE4100L 也可以使用一个外部的基准振荡器。外部振荡器信号可以是正弦波或者 CMOS 信号。正确的选择振荡器输入引脚、耦合方式、振荡器使能引脚电平,如表 5-44 所列。

表 5-44 正确的选择振荡器输入引脚、耦合方式、振荡器使能引脚电平

外部振荡器信号类型	耦合	输入引脚	OscEn
CMOS	DC	14	低电平
正弦波	AC	15	高电平

6. 时钟和数据输出耦合

时钟和数据输出引脚的负载电容限制在 3pF (包括互联电容)。连接到基带处理器 IC 的常规的 CMOS 输入需要插入低电容缓冲器。在允许减少电压幅度时,SE4100L 可以采用 AC 耦合的方式直接驱动基带处理器。时钟和输出数据时序特性如图 5-91 和表 5-45 所示。

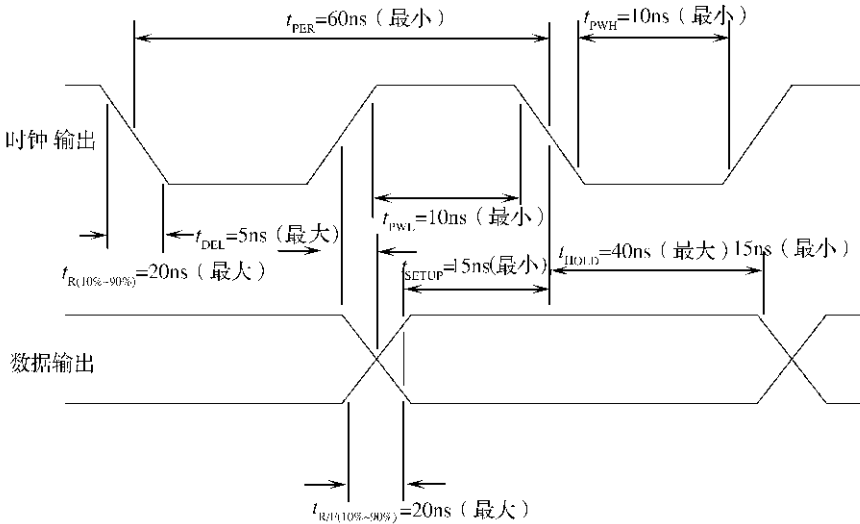


图 5-91 时钟和输出数据时序特性

表 5-45 时钟和输出数据时序特性

(条件: $C_L = 2\text{pF}$, $V_{CC} = V_{DD} = 3.3\text{V}$, $T_A = 25^\circ\text{C}$)

参数	符号	最小值	典型值	最大值	单位
时钟周期	t_{PER}	60			ns
时钟低电平宽度	t_{PWL}	10			ns
时钟高电平宽度	t_{PWH}	10			ns
时钟到数据延迟时间	t_{DEL}			5	ns
建立时间	t_{SETUP}	15			ns
保持时间	t_{HOLD}			40	ns

参 数	符号	最小值	典型值	最大值	单位
下降时间(10%~90%)	t_F			20	ns
上升和下降时间(10%~90%)	$t_{R/F}$			20	ns

5.9.5 SE4100L 电路应用

SE4100L 应用电路如图 5-92 所示。

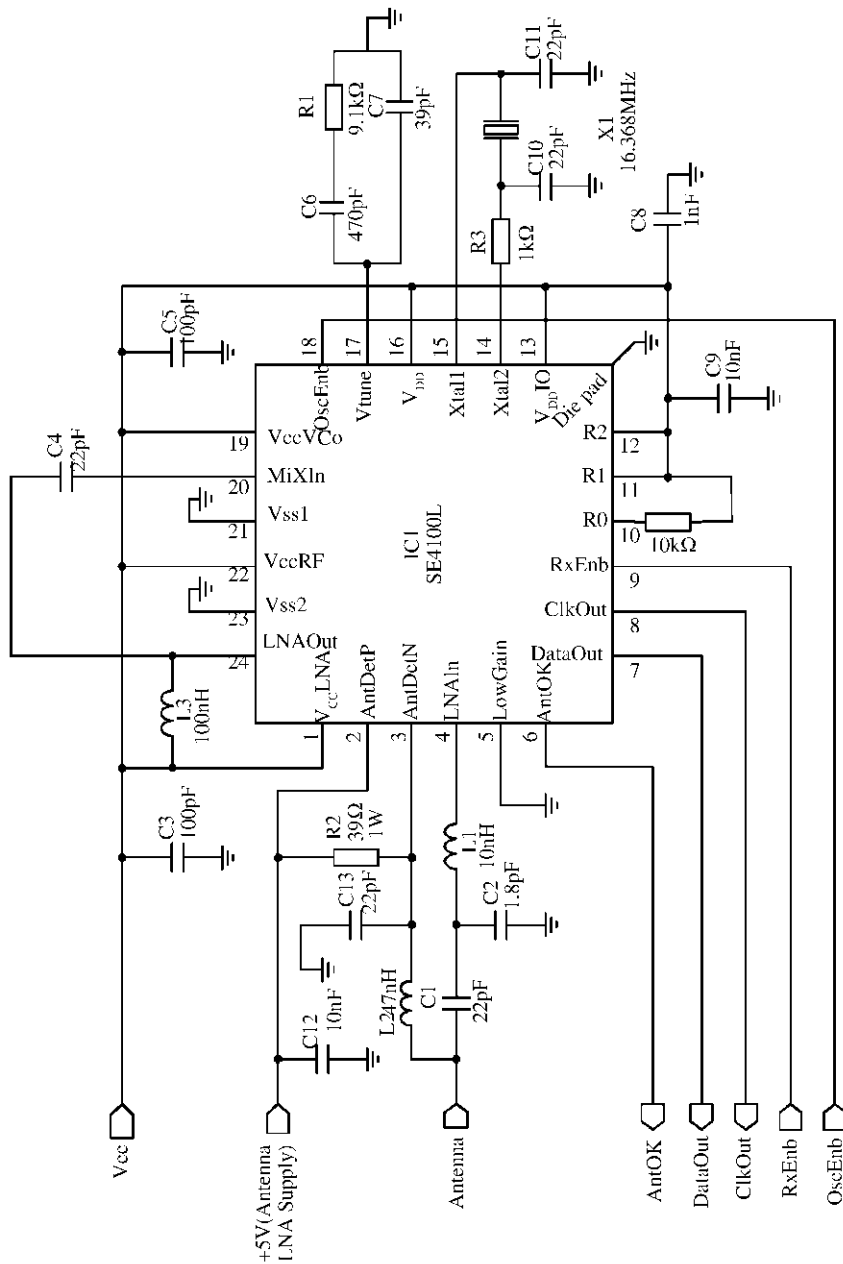


图 5-92 SE4100L 应用电路

5.9.6 SE4100L 封装尺寸

SE4100L 采用 4×4 mm LPCC-24 封装,封装尺寸如图 5-93 所示。

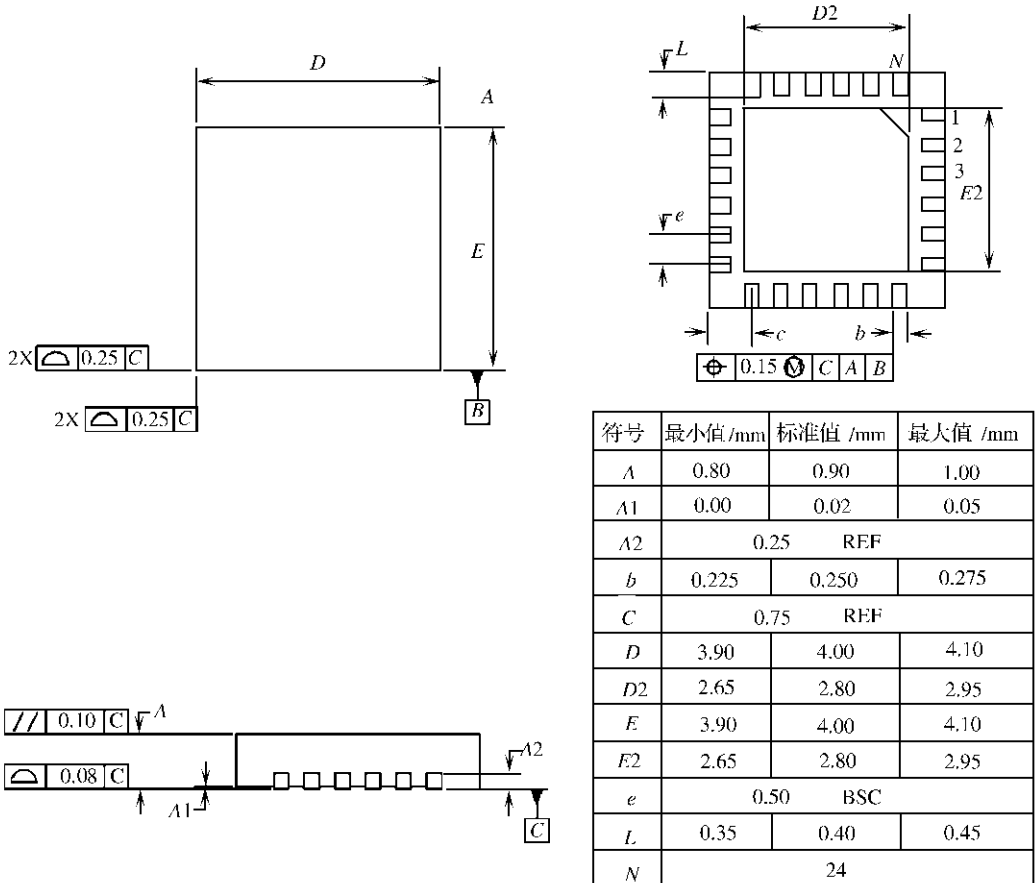


图 5-93 SE4100L 封装尺寸

5.10 基于 STB5600 的 GPS 接收机射频前端电路

5.10.1 STB5600 简介

STB5600 是 STMicroelectronics 推出的 GPS 射频前端 IC 芯片,芯片下变频 1575MHz 的 GPS(L1)信号为 20MHz 的 IF(中频)信号,输出频率为 4MHz 的信号到 ST20-GP6 GPS 基带处理器。它利用单个外部基准振荡器产生 2 个射频本机振荡器信号和处理器的基准时钟信号。

STB5600 采用新颖的双变换结构与单 IF 滤波器,仅需要少的外部元器件,与 GPS L1 SPS 信号兼容,输出信号为 CMOS 电平,可直接 ST20GP1 GPS 处理器接口,电源电压 3.3V ~ 5.9V,采用 TQFP32 封装。

5.10.2 STB5600 主要性能指标

STB5600 主要性能指标如表 5-46 和表 5-47 所列。

表 5-46 绝对最大额定值

参 数	符 号	数 值	单 位
直流电源电压	V_{CC}	5.9	V
射频输入	RF+, RF-	8	dBm
接点温度	T_j	150	°C
存储温度范围	T_{stg}	-40~125	°C
接点与环境之间的热阻	$R_{thj-amb}$	80	°C/W

表 5-47 STB5600 主要性能指标

测试条件: ($V_{VCCRF} = 3.3V \sim 5.9V$, $V_{VCCIF} = 3.3V \sim 5.9V$, $V_{VCCLOGIC} = 3.3V \sim 5.9V$, $V_{VCCDRIVE} = 3V$, $T_a = 25^\circ C$)

参 数	符 号	最小值	典型值	最大值	单 位
LNA 和混频器					
电源电流	I_{VCCRF}	20		25	mA
差分输入阻抗	Z_{in}		300		Ω
			1		pF
差分输出阻抗	Z_{out}		70		Ω
			3		pF
电压转换增益	G_C	35			dB
1dB 输入压缩点	IIP1	-60			dBm
噪声系数	NF		5		dB
输入信号频率	f_{RF}		1575		MHz
输出信号频率	f_{IF}		20		MHz
LO(本机振荡器)输入缓冲器					
差分输入阻抗	Z_{in}		300		Ω
			1		pF
输入信号电平		-60	-40	-20	dBm
限幅放大器					
电源电流	I_{VCCIF}	2.5		3.5	mA
差分输入阻抗	Z_{in}		15		k Ω
3dB 带宽	B	5.		80	MHz
限幅器灵敏度	Sens		100		V(峰峰值)
最大输入信号	V_{INMAX}			0.5	V(峰峰值)
时钟输入缓冲器					
电源电流	$I_{VCCLOGIC}$	5		7	mA

差分输入阻抗	Z_{in}		8		k Ω
			2		pF
输入信号电平		5		100	mV(峰峰值)
分频率	N		5		

(续)

参 数	符 号	最 小 值	典 型 值	最 大 值	单 位
输出部分					
电源电流	$I_{VCCDRIVE}$				mA
输出高电平电压	V_{OH}	$V_p - 0.4V_p$		V_p	V
输出低电平电压	V_{OL}	V_n		$V_n + 0.4V_n$	V
上升时间	t_r		6		ns
下降时间	t_f		2		ns

5.10.3 STB5600 引脚功能

STB5600 采用 TQFP32 封装,引脚封装形式如图 5-94 所示,引脚功能如表 5-48 所列。

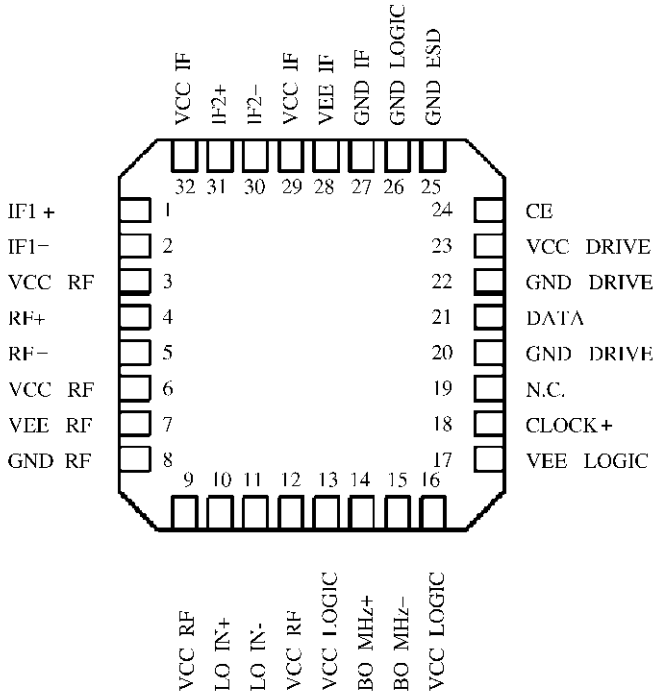


图 5-94 STB5600 引脚封装形式

表 5-48 STB5600 引脚功能描述

(条件:加 5V 电压在 CE、VCCRF、VCCIF、VCCLOGIC 引脚,加 3V 电压在 VCCDRIVE 引脚)

引脚	符 号	直流偏置电压	功 能	外部电路
1	IF1+	3.6V	混频器输出 1	见应用电路
2	IF1-	3.6V	混频器输出 2	见应用电路
3	VCCRF	5V	射频部分电源电压	100nF 到 VEERF
4	RF+	3.5V	射频输入	AC 耦合

(续)

引脚	符 号	直流偏置电压	功 能	外部电路
5	RF-	3.5V	射频输入	AC 耦合
6	VCCRF	5V	射频部分电源电压	100nF 到 VEERF
7	VEERF	2V	射频部分电压基准	100nF 到 VCCRF
8	GNDRF	0V	射频部分地	
9	VCCRF	5V	射频部分电源电压	100nF 到 VEERF
10	LO+	3.5V	本机振荡器输入	AC 耦合
11	LO-	3.5	本机振荡器输入	AC 耦合
12	VCCRF	5V	射频部分电源电压	100nF 到 VEERF
13	VCCLOGIC	5V	逻辑部分电源电压	100nF 到 VCCLOGIC
14	80MHz+	4V	80MHz 时钟输入	AC 耦合
15	80MHz-	4V	80MHz 时钟输入	AC 耦合
16	VCCLOGIC	5V	逻辑部分电源电压	100nF 到 VEELOGIC
17	VEELOGIC	2V	逻辑部分电压基准	100nF 到 VCCLOGIC
18	CLOCK+	0.3V 或 3V	16MHz 时钟输出	7pF 到 GNDDRIVE
19	N. C		空脚	
20	GNDDRIVE	0V	驱动器地	
21	DATA	0.3V 或 3V	4MHz 数据输出	7pF 到 GNDDRIVE
22	GNDDRIVE	0V	驱动器地	
23	VCCDRIVE	3V	驱动器电源电压	
24	CE	3V	芯片使能控制	
25	GND	0V	地	
26	GNDLOGIC	0V	逻辑部分地	
27	GNDIF	0V	IF 部分地	
28	VEEIF	2V	IF 部分电源基准	100nF 到 VCCIF
29	VCCIF	5V	IF 部分电源电压	100nF 到 VEEIF
30	IF2-	4V	限幅放大器输入	见应用电路
31	IF2+	4V	限幅放大器输入	见应用电路
32	VCCIF	5	IF 部分电源电压	100nF 到 VEEIF

5.10.4 STB5600 内部结构与工作原理

STB5600 内部结构方框图如图 5-95 所示,芯片内部可分为:射频部分(RF SECTION)、中频部分(IF SECTION)、分频器部分(DIVIDER SECTION)和输出部分(OUTPUT SECTION)。

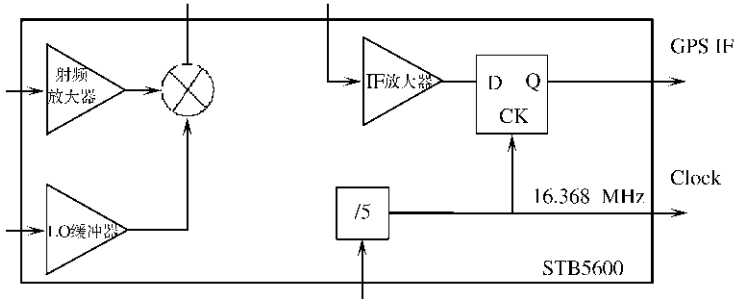


图 5-95 STB5600 内部结构方框图

1. 射频部分(RF SECTION)

差分输入的 GPS L1 信号通过射频放大器(RF AMP)放大,在混频器与从 LO+和 LO-输入的本机振荡频率混频,产生平衡的 20.46MHz 的 IF 信号输出。

本机振荡缓冲器输入可以是差分或者单端形式,电平在 $-60\text{dBm} \sim -20\text{dBm}$ 之间。

2. 中频部分(IF SECTION)

从混频器输出的 20.46MHz 差分信号通过外部的 LC 滤波器输入到 IF 部分。IF 部分具有多级限幅放大器(IF AMP),放大后的 IF 信号连接到被内部 16.368MHz 时钟信号锁存的 D 触发器,下变频产生 4.096MHz 的信号输出。

3. 分频器部分

80MHz 可以通过高阻抗的 80MHz+和 80MHz-引脚输入,可以是单端或者差分形式。任何一个没有使用的引脚必须通过一个 1nF 的电容连接到 GNDLOGIC 引脚。分频器部分放大 80MHz 信号,通过 5 分频,产生 D 触发器需要的 16.368MHz 时钟信号。

4. 输出部分(OUTPUT SECTION)

输出锁存部分用 16.368MHz 的速率对 20.46MHz 的 IF 信号采样,完成第 2 次下变频转换,产生 4.096MHz 的信号输出。输出缓冲器将 ECL 电平转换为 CMOS 电平。

5.10.5 STB5600 电路应用

STB5600 的典型应用电路如图 5-96 所示。GPS L1 射频信号从天线通过陶瓷滤波器和匹配电路馈送到 RF+和 RF-引脚。外部的低噪声放大器(LNA)具有 $10\text{dB} \sim 35\text{dB}$ 的放大增益。

1. 匹配网络(Matching Network)

匹配电路可以采用 $50\Omega/300\Omega$ 不平衡变压器,如图 5-97 所示。但更经济的解决方案是用

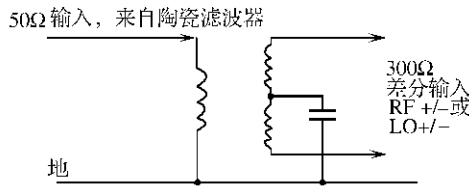


图 5-97 用不平衡变压器的匹配电路

图 5-98 所示的可调谐的匹配电路，用一个 10nH 的电感和 1pF 的可调谐电容，也可以用图 5-99 所示的匹配电路。

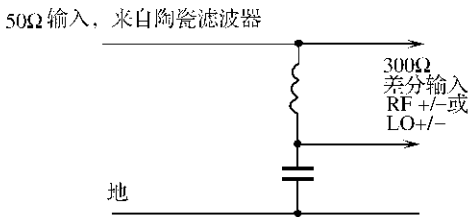


图 5-98 可调谐的匹配电路

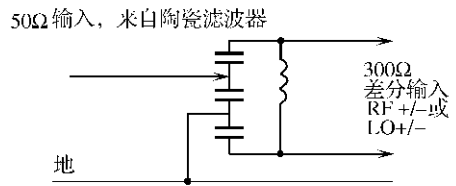


图 5-99 用 4 个元件的匹配电路

2. 中频滤波器 (IF Filter)

推荐的中频滤波器 (IF filter) 如图 5-100 所示，滤波器将抑制 12MHz 和 28MHz 镜像频率，抑制率最小为 15dBc。注意：混频器的输出是低阻抗的 (70Ω)，而 IF 输入是高阻抗的 (15kΩ)。中频滤波器也决定接收器的带宽，可以利用一个电阻调节 LC 回路的 Q 值。注意带宽是必须大于 2MHz。

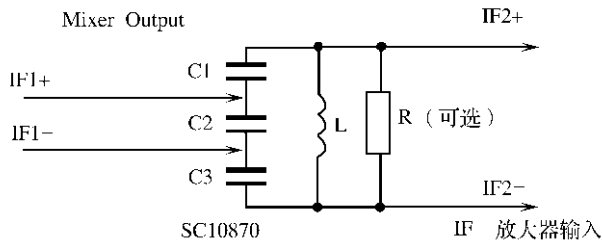


图 5-100 IF 滤波器电路

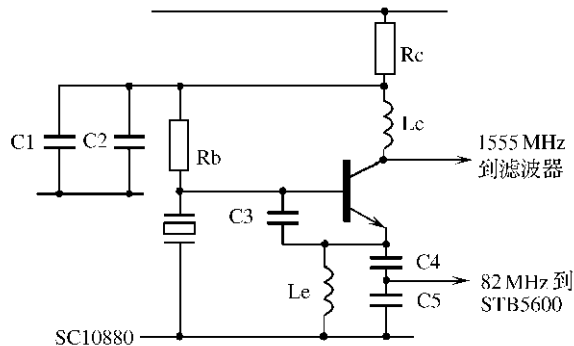


图 5-101 双输出本机振荡器电路

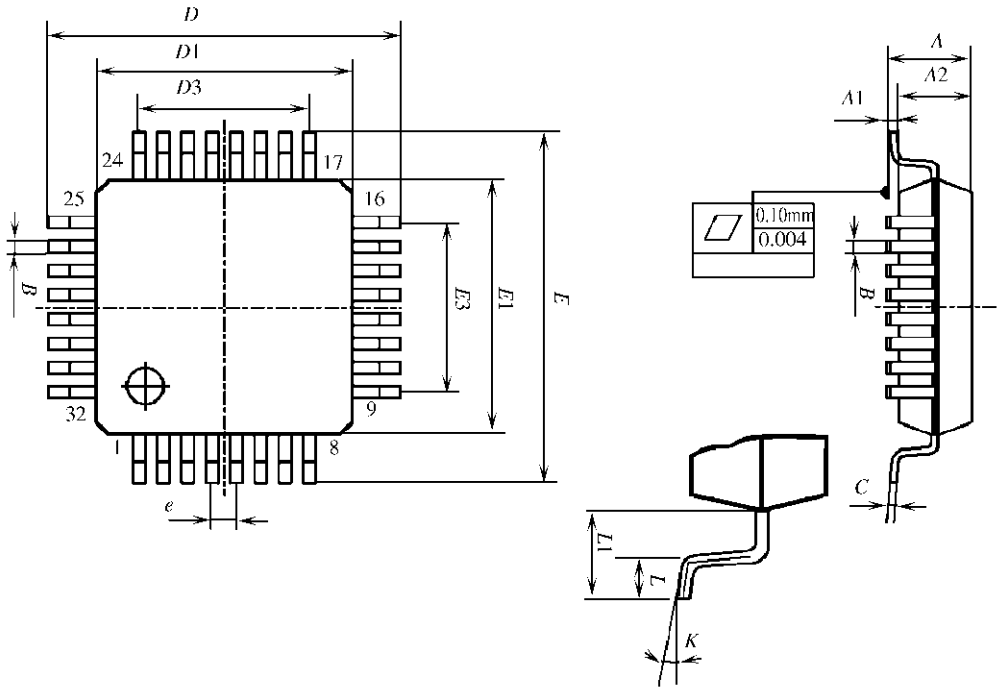
3. 本机振荡器 (Local Oscillator)

推荐的双输出本机振荡器如图 5-101 所示。电路产生 81.84MHz 和 1555MHz 两路输出信号。81.84MHz 信号在芯片内部被分频, 产生 16.368MHz 的时钟信号。1555MHz 振荡器信号作为第 1 本机振荡器信号。

注意: 82MHz 有效信号幅度为 2V, 可以在谐振回路上利用一个容性分流, 减少辐射。振荡器的晶体管必须是高频类型, f_t 必须大于 8GHz。集电极的电感 L_C 必须有 2.5GHz 或者更高的自谐振频率。

5.10.6 STB5600 封装尺寸

STB5600 采用 TQFP32 封装, 封装尺寸如图 5-102 所示。



符号	最小值/mm	典型值/mm	最大值/mm	最小值/英寸	典型值/英寸	最大值/英寸
A			1.60			0.063
A1	0.05		0.15	0.002		0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
B	0.30	0.37	0.46	0.012	0.015	0.018
C	0.09		0.20	0.004		0.008
D		9.00			0.354	
D1		7.00			0.276	
D3		5.60			0.220	
e		0.80			0.031	
E		9.00			0.354	
E1		7.00			0.276	
E3		5.60			0.220	

L	0.45	0.60	0.75	0.018	0.024	0.030
L1		1.00			0.039	
K	0°(最小值),7°(最大值)					

图 5-102 STB5600 封装尺寸

5.11 基于 STB5610 的 GPS 接收机射频前端电路

5.11.1 STB5610 简介

STB5610 是 STMicroelectronics 推出的 GPS 射频前端 IC 芯片,芯片下变频 1575.42 MHz 的 GPS(L1)信号为 4.092 MHz 的输出信号。集成在芯片上的 PLL 和片上的基准振荡器使用低价格的 16.368 MHz 晶体振荡器,不需要 TCXO(温度补偿晶体振荡器)。

STB5610 完成从 GPS 天线接口到 GPS 控制器的所有功能。仅需要少的外部元器件,与 GPS L1 SPS 信号和 GALILEO 频率兼容,输出信号为 CMOS 电平,电源电压 2.7V~3.6V,具有有源天线检测和 ESD 保护。

5.11.2 STB5610 主要性能指标

STB5610 主要性能指标如表 5-49 和表 5-50 所列。

表 5-49 绝对最大额定值

参 数	符号	数值	单位
电源电压	V_{CC}	5.9	V
接点工作温度	T_j	-40~125	°C
接点到外壳热阻	$R_{thj-case}$	—	°C/W

表 5-50 STB5610 主要性能指标

(条件: $V_{CC}=(3\pm 10\%)V$, $T_{case}=25^{\circ}C$)

参 数	符号	最小值	典型值	最大值	单位
电源电压	V_{CC}	2.7	3.3	3.6	V
电源电流	I_{CC}		37		mA
天线电源电压 V_{CC}	AS1	2.7	3.3/5	5.5	V
LNA					
功率增益	G_p	10		19	dB
噪声系数	NF	3		10	dB
输入 IP3	IIP3	-20		-5	dBm
电压驻波比	VSWR _{in}			2.1	
射频放大器和混频器通道					
输入 IP3	IIP3		-19		dBm
噪声	NF		5.5		dB

输入阻抗	Z_{IN}		50	
差分输出阻抗	Z_{OUT}		1.4	
射频输入信号	f_{RF}		1.575	MHz
电压转换增益	G		30	dB

(续)

参 数	符号	最小值	典型值	最大值	单位
第 1 级限幅放大器					
电压增益	G			60	dB
差分输出阻抗	Z_{OUT}			2.4	
第 2 级限幅放大器					
电压增益	G		30		dB
VCO(GPS LO 频率 1555MHz)					
相位噪声	VCO		-60		dBc/Hz
输出缓冲器					
高电平输出电压	V_{OH}	$V_{CC}-0.4$		V_{CC}	V
低电平输出电压	V_{OL}	0		$0+0.4$	V
基准晶体振荡器	XTAL			16.368	MHz

5.11.3 STB5610 引脚功能

STB5610 的引脚封装形式如图 5-103 所示,引脚功能如表 5-51 所列。

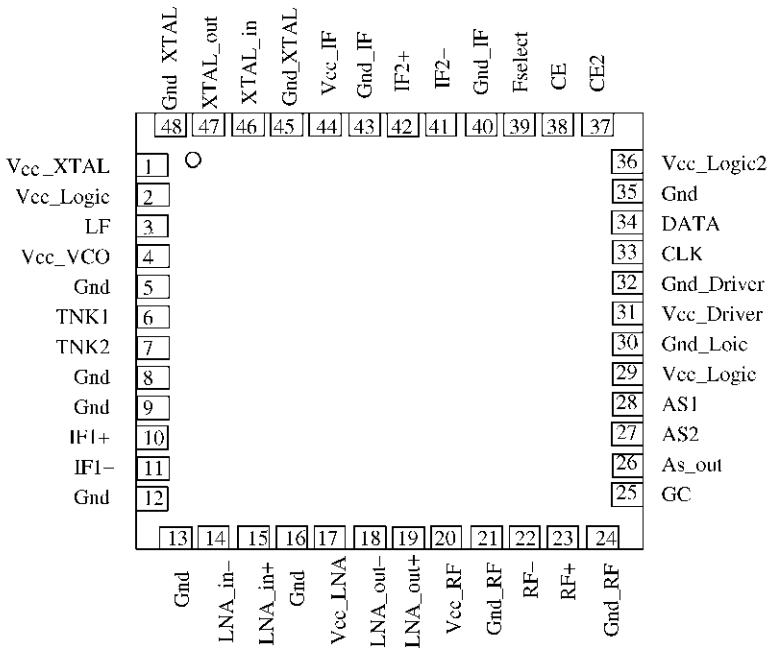


图 5-103 STB5610 引脚封装形式

表 5-51 STB5610 引脚功能

引脚	符号	功 能	引脚	符号	功 能
1	Vcc_XTAL	基准振荡器部分电源电压	4	Vcc_VCO	VCO 电源电压
2	Vcc_Logic	逻辑部分电源电压	5	Gnd	地
3	LF	回路滤波器	6	TNK1	谐振回路输入输入

(续)

引脚	符号	功 能	引脚	符号	功 能
7	TNK2	VCO 电源电压	28	AS1	天线电源电压
8	Gnd	地	29	Vcc_Logic	逻辑部分电源电压
9	Gnd	地	30	Gnd_Logic	逻辑部分地
10	IF1+	混频器输出	31	Vcc_Driver	驱动器电源电压
11	IF1-	混频器输出	32	Gnd_Driver	驱动器地
12	Gnd	地	33	CLK	时钟输出
13	Gnd_RF	射频部分地	34	DATA	数据输出
14	RF+	射频放大器输入	35	Gnd	地
15	RF-	射频放大器输入	36	Vcc_Logic2	逻辑部分电源电压
16	Gnd_RF	射频部分地	37	CE2	片选使能
17	Vcc_RF	射频部分电源电压	38	CE	片选使能
18	LNA_Out+	LNA 输出	39	Fselect	频率选择
19	LNA_Out-	LNA 输出	40	Gnd_IF	地
20	Vcc_LNA	LNA 电源电压	41	IF2-	限幅放大器输出
21	Gnd_LNA	LNA 地	42	IF2+	限幅放大器输出
22	LNA_in+	LNA 输入	43	Gnd_IF	中频地
23	LNA_in-	LNA 输入	44	Vcc_IF	中频地
24	Gnd_LNA	LNA 地	45	Gnd_XTAL	晶体振荡器地
25	GC	LNA 增益控制	46	XTAL_in	晶体振荡器输入
26	AS_Out	天线检测器输出	47	XTAL_out	晶体振荡器输出
27	AS2	天线检测器	48	Gnd_XTAL	晶体振荡器地

5.11.4 STB5610 内部结构与电路应用

STB5610 内部结构方框图与电路应用形式如图 5-104 所示,芯片内部分为:低噪声放大器(LNA)、射频放大器和混频器(RF Amplifier plus mixer)、中频放大器(IF)、输出(Output)、VCO 和 PLL(VCO and PLL)、天线检测器(Antenna sensor circuitry)、芯片使能(Chip enable)和电源(Power supplies)。

1. 低噪声放大器(LNA)

GPS 射频输入信号通过 LNA 放大。使用增益控制引脚,可设置 LNA 的增益,当 LNA 的增益设置为 19dB 时支持无源天线,当 LNA 的增益设置为 10dB 时支持有源天线。LNA 的

输出信号通过 1575.42MHz SAW 滤波器滤波后,送入 RF Amp(射频放大器)。

2. 射频放大器和混频器(RF Amplifier plus mixer)

1575.42MHz 的输入信号被 RF Amp 放大后,送入混频器与 VCO 信号混频,产生一个差的 20.46MHz IF(中频)信号。

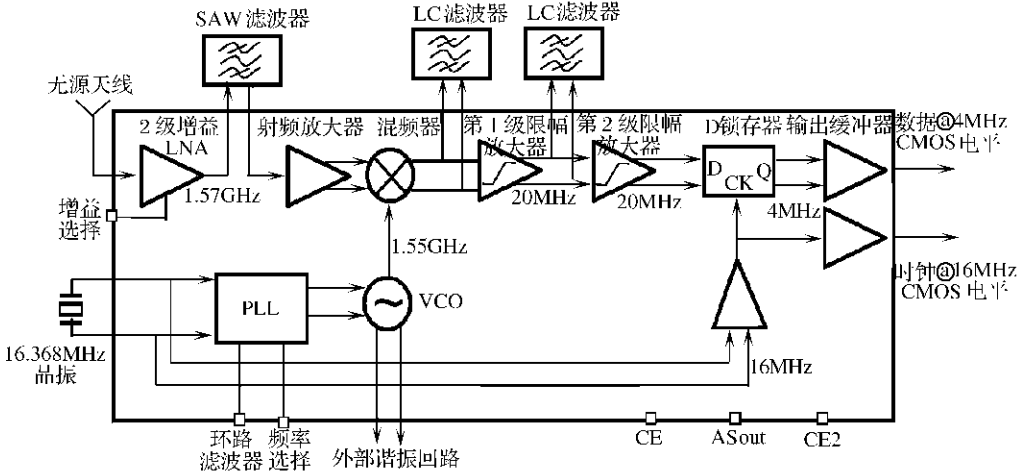


图 5-104 STB5610 内部结构方框图与电路应用形式

3. 中频放大器(IF)

在混频器的输出端和第 1 级限幅放大器的输出端使用 2 个 LC 滤波器,用来抑制不需要的信号。第 2 级限幅放大器的输出连接到由 16.368MHz 晶体振荡器信号锁存的 D 触发器。利用 16.368MHz 的时钟采样 20.46MHz 的中频信号产生 4.092MHz 的信号输出。4.092MHz 的输出信号送入输出电平转换器。

4. 输出(Output)

输出缓冲器将 ECL 电平转换为 CMOS 电平。数据信号在时钟信号的负沿变化。

5. VCO 和 PLL(VCO and PLL)

使用外部谐振回路的 VCO 可以提供很低相位噪声的信号。利用 Fselect(频率选择)引脚,VCO 的信号可以设置为 1554.96MHz 和 1571.328MHz。Fselect 引脚为低电平时选择 GPS 频率;Fselect 引脚为高电平时选择 Galileo 频率。片上的基准振荡器使用低价格的 16.368MHz 晶体振荡器。

6. 天线检测电路(Antenna sensor circuitry)

集成的天线检测电路可以检测天线电流的消耗,Asout 引脚输出检测的状态信息。使用一个 10Ω 的外部检测电阻,如果天线电流消耗范围在 10mA~40mA 之内(有源天线),Asout 引脚输出高电平信号;如果如果天线电流消耗小于 10mA 或者大于 40mA(无源天线或者有源天线故障),Asout 引脚输出低电平信号。

7. 芯片使能(Chip enable)

使用 CE 引脚可以关断芯片所有电路(既没有数据也没有时钟)。可以使用 CE2 引脚不能芯片的模拟部分,仅时钟部分有效,可以降低电流消耗。

8. 电源(Power supplies)

STB5610 支持 2.7V~3.6V 的电源电压。

5.11.5 STB5610 封装尺寸

STB5610 的封装尺寸如图 5-105 所示。

5.12 基于 uN1005/uN8021 的 GPS 接收机射频前端电路

5.12.1 uN1005 /uN8021 简介

uN1005/uN8021 是一个单片 GPS L1 频带射频前端 IC,与 uN8031B 或者 uN8130 GPS 基带接收机处理器组合,构成完整的 GPS 接收机。uN1005/uN8021 芯片采用直接变频结构(接近零中频),具有可调节的增益,芯片包含混频器、VCO、频率合成器、两路模数转换器(ADC)。uN1005 的基准时钟输入是 19MHz,uN8021 的基准时钟输入是 16.3676MHz。它们支持内部晶体振荡器和外部时钟输入方式。芯片能够通过 SPI 串行接口控制,具有低功耗模式,采用 QLP-20 封装,尺寸仅为 4mm×4mm×0.9mm。

5.12.2 uN1005/uN8021 主要性能指标

uN1005/uN8021 主要性能指标如表 5-52 至表 5-57 所列。

表 5-52 绝对最大额定值

参 数	符 号	最小值	最大值	单 位
存储温度范围	T_{STG}	-55	+150	°C
工作环境温度	T_A	-40	+85	°C
最大功率消耗($T_A = +85^{\circ}\text{C}$)	P_D		500	mW
引脚电流	I_{MAX}	-30	+30	mA
ESD 保护	V_{ESD}	1000		V
电源电压,模拟 VDD_RF_IF 和 VDD_VCO	AVDD	-0.3	3.6	V
电源电压,数字 VDD_DIG 电源电压	DVDD	-0.3	3.6	V
电源电压,数字 I/O VDD_IO	IOVDD	-0.3	3.6	V
输入引脚电压,I/O 部分	V_{IO}	-0.3	IOVDD+0.3	V
输入引脚电压,模拟电路部分	V_{ANA}	-0.3	IOVDD+0.3	V

表 5-53 推荐的工作条件

参 数		符号	最小值	典型值	最大值	单 位
工作温度		T_A	-30		+85	°C
电源电压	模拟 VDD_RF_IF 和 VDD_VCO	AVDD	2.7	3.0	3.3	V
	数字 VDD_DIG	DVDD	2.7	3.0	3.3	V
	数字 I/O VDD_IO	IOVDD	2.7	3.0	3.3	V
			1.7	1.8	1.9	V

表 5-54 数字信号直流特性

参 数	符号	测试条件	最小值	最大值	单 位
输入高电平	V_{IH}		$0.7 \times \text{IOVDD}$	IOVDD+0.3	V
输入低电平	V_{IL}		-0.3	$0.3 \times \text{IOVDD}$	V

(续)

参 数	符号	测试条件	最小值	最大值	单位
输出高电平	V_{OH}	$I_{OH}=1\text{mA}$	$0.7\times\text{IOVDD}$	IOVDD	V
输出低电平	V_{OL}	$I_{OL}=1\text{mA}$	0	$0.22\times\text{IOVDD}$	V
输入漏电流	I_{LI}		-1.0	+1.0	μA

表 5-55 数字信号交流特性

参 数	符号	最小值	典型值	最大值	单位
射频振荡器时钟周期	t_{OSC}		61		ns
射频振荡器设置时间	t_{STABIL}		4096		Clocks
VCO 设置时间	$t_{vcostart}$		15	30	ms
CLKOUT 时钟周期	t_c		61		ns
CLKOUT 时钟周期占空比	t_{DUTY}	45		55	%
SPI 时钟	F_{SPI}			5	MHz
数字输入引脚电容	C_i			3	pF
数字输出负载电容	C_L			20	pF

表 5-56 功率消耗

模 式	描 述	最小值	典型值	最大值	单位
有效模式	PWR_ON_OSC=1, 寄存器 CTRL bits 3..0=0	45	62	79	mW
睡眠模式, 时钟使能	所有功能不使能, PWR_ON_OSC=1, 寄存器 CTRL bits 3..0=1	0.0	6	15	mW
睡眠模式, 时钟不使能	所有功能不使能, PWR_ON_OSC=0, 寄存器 CTRL bits 3..0=1	0.0	0.03	0.09	mW

表 5-57 模拟信号特性

参 数	符号	最小值	典型值	最大值	单位
XTAL IN 输入阻抗	Z_{XTI}		1		$\text{M}\Omega$
I/Q 增益不平衡	G_{IQ}		0.5	1.5	dB
相位噪声	NP		-67	-60	dBc
I/Q 幅度位阈值			-38		dBm
噪声系数	NF		20		dB
输入 1dB 压缩点	P_{1dB}	-43	-40		dBm
-3dB 带宽	BW	3	4	5	MHz
XTAL IN 电平	V_{XTI}	0.5	0.8	DVDD	V(峰峰值)

5.12.3 uN1005 /uN8021 芯片封装与引脚功能

uN1005/uN8021 采用 QLP-20 封装,引脚功能如表 5-58 所列。

表 5-58 uN1005/uN8021 引脚功能

引脚	符号	功能
1	VDD_RF_IF	射频 I/O 部分模拟电源,包括 XTAL_IN、XTAL_OUT、ISW、TEST_OUT、RF+ 和 RF- 引脚
2	RF+	差分射频输入正端
3	RF-	差分射频输入负端
4	VDD_VCO	射频 VCO 电路模拟电源
5	VDD_DIG	数字电路部分电源电压
6	XTAL_IN	晶体振荡器输入(16.3676MHz)
7	XTAL_OUT	晶体振荡器输出(16.3676MHz)
8	TEST_OUT	I/Q 部分提供的输出,有 10dB 衰减
9	ISW	VCO 回路滤波器引脚
10	PWR_ON_OSC	晶体振荡器的使能/低功耗模式控制输入引脚。当引脚为高电平时,晶体振荡器使能
11	CLKOUT	时钟输出(16.3676 MHz),晶体振荡器的缓冲输出
12	MAGN_I	I 相部分 IF 信号量级输出
13	SIGN_I	I 相部分 IF 信号符号输出
14	MAGN_Q	Q 相部分 IF 信号量级输出
15	SIGN_Q	Q 相部分 IF 信号符号输出
16	XRES	异步复位输入,低电平有效
17	SCK	SPI 串行时钟输入
18	XCS	片选,低电平有效
19	SI	SPI 串行数据输入
20	VDD_IO	数字 I/O 部分电源电压,包括 PWR_ON_OSC、CLKOUT、I 和 Q、XRES、SCK、XCS 和 SI 引脚,3V 或 1.8V
	GND	地。芯片的模拟电路和数字电路共用的地,不能连接到任何引脚

5.12.4 uN1005/uN8021 内部结构

uN1005 内部结构如图 5-106 所示,uN8021 内部结构如图 5-107 所示。芯片采用直接变频结构(接近零中频),具有可调节的增益放大器,芯片内包含有差分射频输入(50Ω)、混频器、VCO、频率合成器、两路模数转换器(ADC)、可编程寄存器、SPI 串行接口控制器等电路。支持晶体振荡器和外部时钟输入方式,uN1005 的基准时钟输入频率为 19MHz,uN8021C 的基准时钟输入频率为 16.3676MHz。

5.12.5 uN1005/uN8021 电路应用

1. SPI 接口

uN1005/uN8021 通过 SPI 接口控制。接口仅包含数据输入引脚 SI, 控制寄存器的内容不能够被读出。数据宽度(即寄存器的位数)是 8bit, 地址是 16bit。SPI 接口时序如图 5-108 所示。

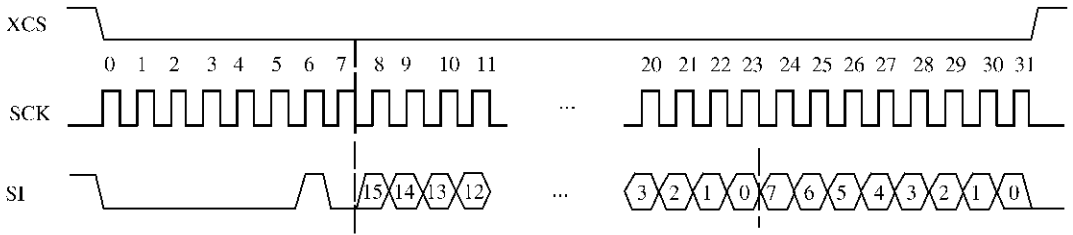


图 5-108 SPI 时序图

2. 可编程寄存器

uN1005/uN8021/uN8021/uN8021 有 3 个寄存器(IGAIN, QGAIN, CTRL), 占用地址: $0 \times 00 \sim 0 \times 02$, 功能如表 5-59 所列。

表 5-59 uN8021C/uN1005/uN8021/uN8021 的可编程寄存器功能

地 址	名 称	功 能
0×00	IGAIN	I 通道增益设置
0×01	QGAIN	Q 通道增益设置
0×02	CTRL	常规射频控制

3. IGAIN 和 QGAIN 寄存器

增益控制寄存器 IGAIN 和 QGAIN 包含有相同的控制位, 但 IGAIN 控制 I 通道增益, 和 QGAIN 控制 Q 通道增益。寄存器的各位(bit)的定义如表 5-60 所列。ADC 的增益设置如表 5-61 所列。

表 5-60 寄存器的各位定义

Bit	定 义
7	保留, 编程为 0
6	第 1 级放大器 +7dB 增益设置
5	第 2 级放大器 +7dB 增益设置
4	第 3 级放大器 +7dB 增益设置
3	第 4 级放大器 +7dB 增益设置
2	ADC 的增益设置位 Bit 2
1	ADC 的增益设置位 Bit 1
0	ADC 的增益设置位 Bit 0

表 5-61 ADC 的增益设置

ADC 设置	增 益
000	+0dB
001	+2dB
010	+4dB
011	+6dB
100	+8dB
101	+10dB
110	+12dB
111	+14dB

设置增益控制寄存器所有的位(bit)为“1”, 最大增益值为 +42dB (28dB+14dB)。这个可编程的增益与 43dB 的基础增益相加。调节增益数值, 可以获得最好的噪声性能。复位后,

IGAIN 和 QGAIN 寄存器的内容全部为“0”。

4. CTRL 寄存器

射频控制寄存器的控制位定义如表 5-62 所列。bit 4、5、6 和 7 仅用来测试，将总是设置为 0。复位后 CTRL 寄存器的内容全部为“0”，芯片完全导通。

表 5-62 射频控制寄存器的控制位定义

bit	定义
7	使能 I 通道测试, 编程为 0
6	使能 Q 通道测试, 编程为 0
5	编程为 0
4	I 通道输出反向标志位, I 和 Q 通道交换有效。编程为 0
3	不使能频率合成器时钟
2	VCO 电源关断
1	频率合成器电源关断
0	RF 和 IF 电源关断

5. uN1005/uN8021 与基带处理器连接

uN1005/uN8021 能够与 uN8031B 或者 uN8130 基带处理器连接。uN1005/uN8021 与 uN8031B 连接如图 5-109 所示, 使用 10 根信号线直接相连, 不需要外部逻辑电路或者上拉电阻/下拉电阻。10 根信号线分为 3 组: ①系统信号, 时钟、复位和射频使能(clock、reset and RF enable,); ②射频到基带的信号, I/Q 符号和量级(I/Q sign and magnitude); ③基带到射频接收器前端的控制信号, SPI 接口(SPI interface)。

这些数字接口与 1.8V 或者 3V CMOS 电平兼容, 取决 VDD_IO 电压。所有的 I/O 引脚必须采用相同的电平, 不支持 3V 和 1.8V I/O 混合形式。

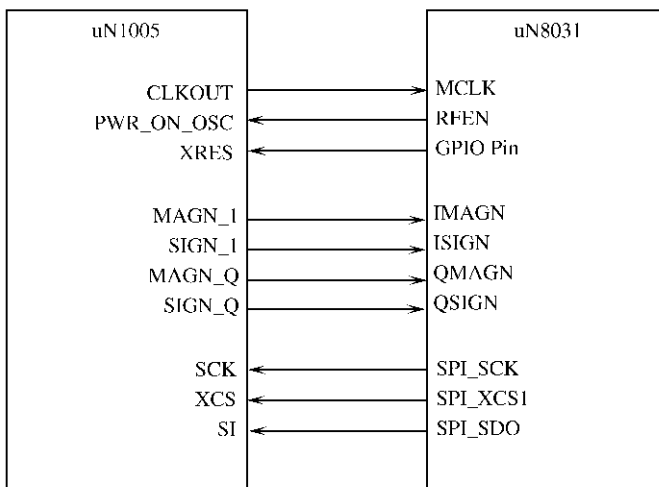


图 5-109 uN1005/uN8021 与 uN8031B 连接

6. PLL 回路滤波器

推荐的 uN1005/uN8021 VCO 回路滤波器如图 5-110 所示, 图中 R1 数值为 15kΩ, C1 数

值为 33pF, C2 数值为 1000pF。

7. TCXO 耦合网络

当使用外部基准时钟时,推荐使用图 5-111 所示的耦合网络。输入电压幅度必须超过最小 V_{XTI} 电压。

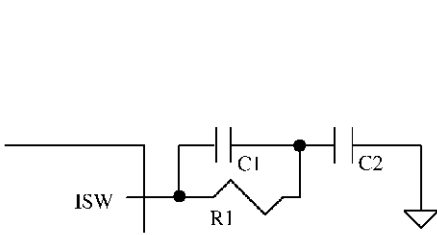


图 5-110 PLL 回路滤波器

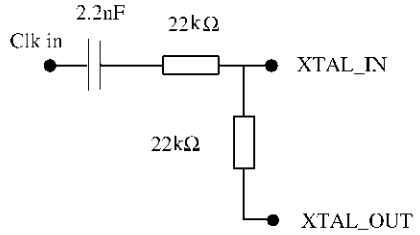


图 5-111 TCXO 耦合网络

8. 唤醒和 MCLK 延时

当使用 uN1005/uN80218 与 uN8031 基带处理器时,使用 PWR_ON_OSC 引脚可以控制 TCXO 状态。在 TCXO 启动期间(典型值是 $500\mu s \sim 1000\mu s$),CLKOUT 是不确定的。虽然 uN8031 准备接收 4096 时钟输入,但有时候延迟的时间也可能是不够的。可以利用一个 RC 网络进行延迟,典型值是在 RFEN 引脚到 PWR_ON_OSC 引脚之间串联一个 $100k\Omega$ 的电阻,从 PWR_ON_OSC 引脚连接一个 $10nF$ 的电容到地。当使用 uN8130 基带处理器时,这些是不需要的。

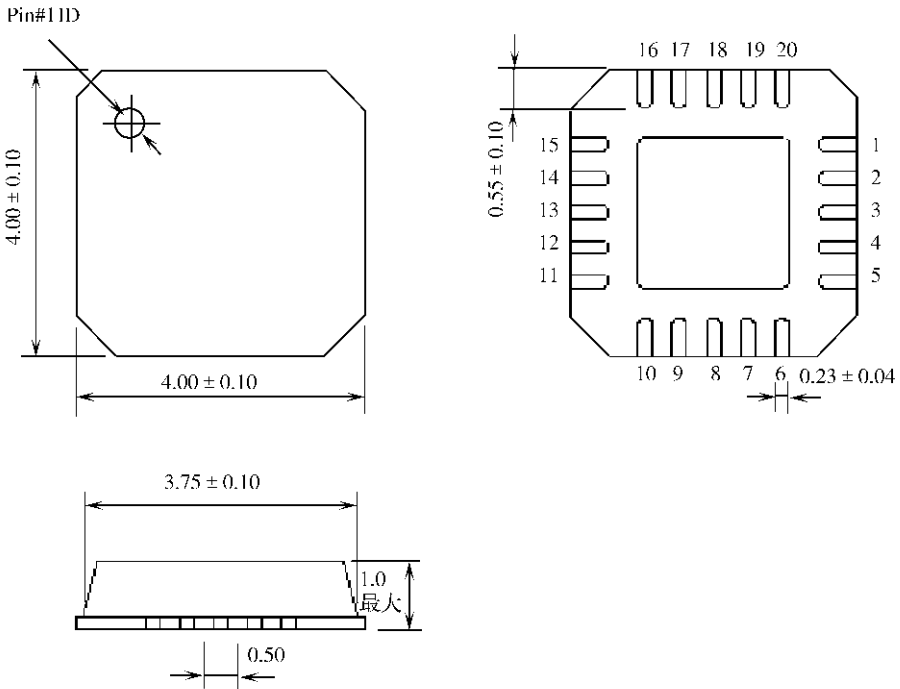


图 5-112 uN1005/uN8021 封装尺寸

5.12.6 uN1005/uN8021 封装尺寸

uN1005/uN8021 采用 QLP-20 封装,封装尺寸如图 5-112 所示,尺寸单位为 mm。

5.13 基于 μ PB1008K 的 GPS 接收机射频前端电路

5.13.1 μ PB1008K 简介

μ PB1008K 是一个单片的 GPS 接收机芯片,芯片内部集成有前置放大器、射频/中频下变频器、PLL 频率合成器、双 2 bit ADC 等电路。

μ PB1008K 具有 IQ 恢复功能,在 I 通道和 Q 通道分别具有一个 2 bit ADC。 μ PB1008K 具有双转换功能, $f_{\text{REFin}} = 27.456\text{MHz}$, $f_{1\text{stIFin}} = 175.164\text{MHz}$, $f_{2\text{ndIFin}} = 132\text{kHz}$ 。芯片内部具有固定分频率的前置分频器,VCO 分频率为 102(8、12.75 串联前置分频器),基准分频率为 2。通过增益控制引脚可以调节增益,电压上升增益下降。电源电压 $V_{\text{CC}} = 2.7\text{V} \sim 3.3\text{V}$,工作电流消耗为 $I_{\text{CC}} = 18.0\text{mA}$,低功耗模式 $I_{\text{CC(PD)}} = 10\mu\text{A}$ 。芯片采用 QFN-36 封装。

μ PB1008K 可应用在基准频率为 27.456MHz,第 2 IF 频率为 132 kHz 的 GPS 接收机中。

5.13.2 μ PB1008K 主要性能指标

μ PB1008K 的主要性能指标如表 5-63 至表 5-65 所示。

表 5-63 绝对最大额定值

参 数	符 号	数 值	单 位
电源电压	V_{CC}	3.6	V
全部电路电流	I_{CCTotal}	100	mA
功率消耗	P_{D}	361	mW
工作环境温度	T_{A}	-40~+85	°C
存储温度	T_{stg}	-55~+150	°C

表 5-64 推荐工作条件

参 数	符 号	最小值	典型值	最大值	单 位
电源电压	V_{CC}	2.7	3.0	3.3	V
工作环境温度	T_{A}	-40	+25	+85	°C
射频输入频率	f_{RFIn}		1575.42		MHz
第 1 级本机振荡器(LO)频率	$f_{1\text{stLOin}}$		1400.256		MHz
第 1 级 IF 输入频率	$f_{1\text{stIFin}}$		175.164		MHz
第 2 级本机振荡器(LO)频率	$f_{2\text{ndLOin}}$		175.032		MHz
第 2 级 IF 输入频率	$f_{2\text{ndIFin}}$		132		kHz
基准输入频率	f_{REFin}		27.456		MHz
AGC 控制电压	V_{AGC}	0.5			V

低功耗模式控制电压(引脚 13)

低电平	V_{IL}	0		0.5	V
高电平	V_{IH}	2.0		V_{CC}	V

表 5-65 主要电气特性
(条件: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.0\text{V}$)

参 数	符 号	最小值	典型值	最大值	单 位
电 路 电 流					
低功耗模式电流	$I_{CC(PD)}$		1		μA
有效模式电流	$I_{CC(Total)}$	14.1	18.0	23.5	mA
前置放大器、射频混频器 ($f_{RF} = 1575.42\text{MHz}$, $f_{1stLOin} = 1400.256\text{MHz}$, $f_{1stIF} = 175.164\text{MHz}$)					
功率增益	$CG_{LNA+MIX}$	18	23	28	dB
噪声系数	$NF_{LNA+MIX}$		5	3.5	dB
输入 1dB 压缩电平	$P_{LNA+MIX}$		38		dBm
LO 泄漏到 IF 输入	A_{LOIF}		35		dBm
LO 泄漏到 RF 输入	A_{LORF}		50		dBm
IF 功能模块, AGC、IQ 混频器、IF 放大器、ADC ($f_{1stFin} = 175.164\text{MHz}$, $f_{2ndLOm} = 175.032\text{MHz}$, $f_{2ndFout} = 132\text{kHz}$, $Z_L = 2\text{k}\Omega$, $Z_{in} = 600\Omega$)					
I 通道幅度位输出脉冲周期	Duty-I ch	50	70		%
Q 通道幅度位输出脉冲周期	Duty-Q ch	50	70		%
输入 1dB 压缩电平	$P_{in(1dB)AGC}$		-45		dBm
AGC 控制范围	A_{AGC}	25	45		dB
IQ 平衡控制电压	V_{IQ-C}		2.1	2.8	V
IQ 平衡控制增益范围	A_{IQ-C}	4.0	6.5		dB
PLL 合 成 器					
PLL 充电泵高端/低端电流	I_{CPOH}		200		μA
	I_{CPOL}		-200		μA
相位比较器频率	f_{PD}		13.728		MHz
VCO、基准放大器					
基准输入最小电平	V_{REFin}	50	200		mV(峰峰值)
输入基准频率	f_{REFin}		27.456		MHz
VCO 控制电压	V_T	0.8	1.5	2.2	V
C/N	C/N	57	62		dBc/Hz

5.13.3 $\mu\text{PB1008K}$ 内部结构与引脚功能

$\mu\text{PB1008K}$ 的引脚封装形式与内部结构如图 5-113 所示, 芯片内部集成有芯片内部

集成有前置放大器 (Pre-Amplifier)、射频/中频下变频器 (RF/IF down-converter)、PLL 频率合成器、双 2bit ADC 等电路。引脚功能如表 5-66 所列, 各引脚内部电路结构如图 5-114 所示。

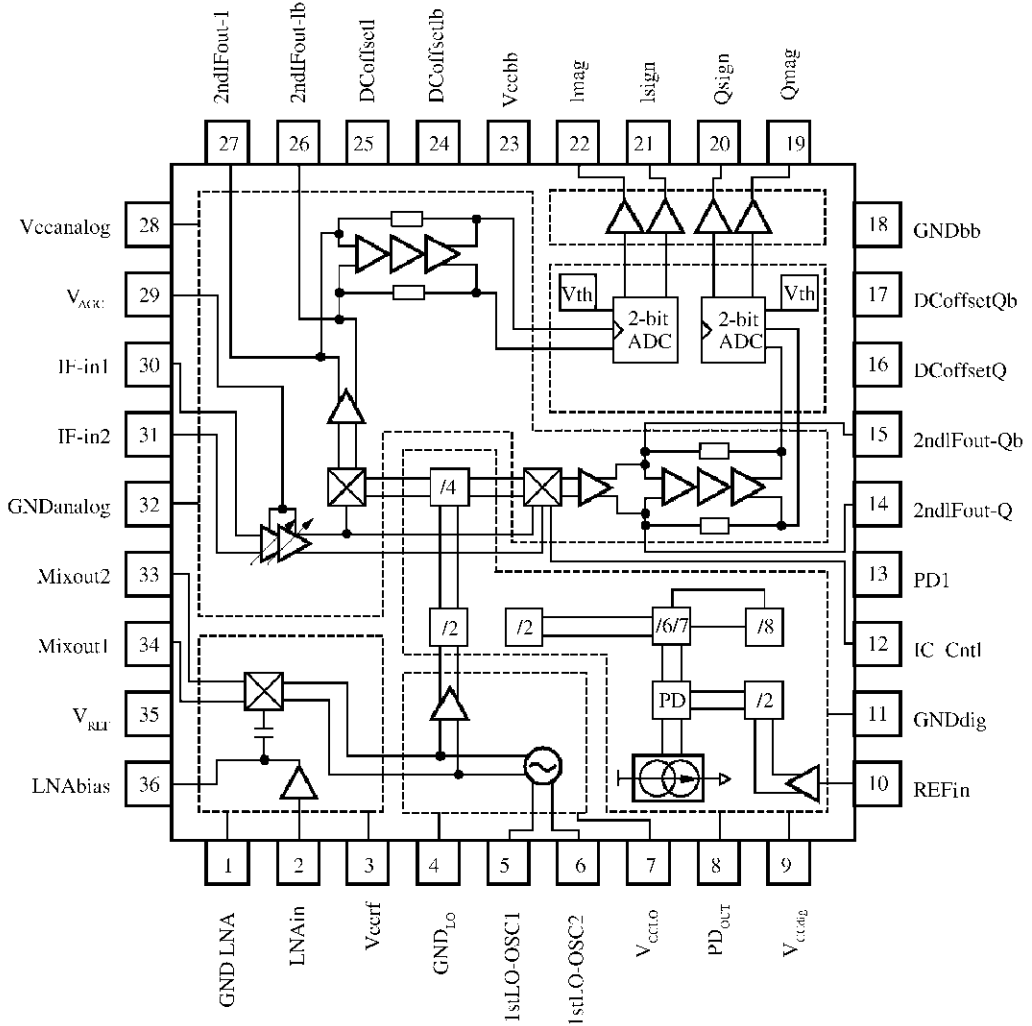


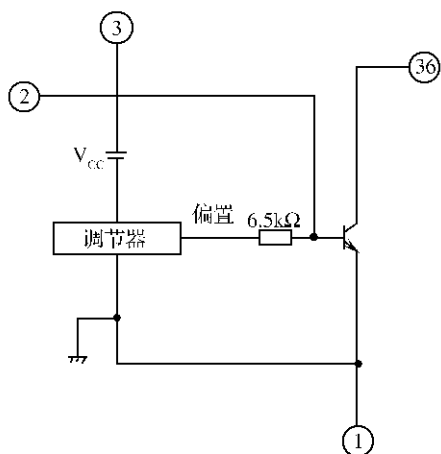
图 5-113 μ PB1008K 的内部结构与引脚封装形式

表 5-66 μ PB1008K 引脚功能

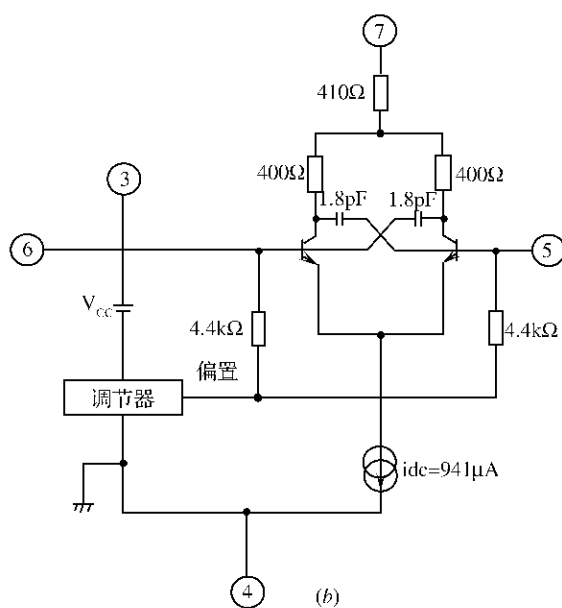
引脚	符号	功能
1	GND _{LNA}	前置低噪声放大器低
2	LNA _{in}	低噪声放大器输入, 需要电容耦合到这个引脚, 内部集电极开路形式, 匹配网络可以改变增益和噪声系数
3	V _{CCrf}	LNA 和射频混频器的电源电压引脚和 VCO 的电压调节器
4	GND _{Lo}	射频混频器和第 1 级 LO 振荡器地

5	1stLO-OSC1	引脚 5、6 是第 1 级 LO 振荡器的差分放大器基极,这个引脚要求连接一个 LC(变容二极管)谐振回路,振荡频率大约在 1400MHz
6	1stLO-OSC2	
7	V _{CCLO}	射频混频器和第 1 级 LO 振荡器电源电压

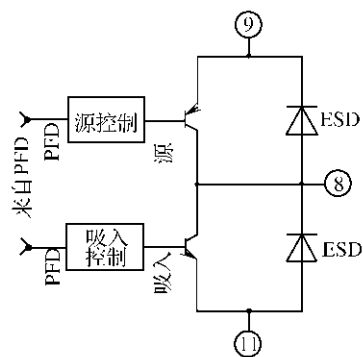
引脚	符号	功能
8	PD _{out}	充电泵输出。连接一个外部的无源 RC 回路滤波器,产生驱动第 1 级 LO 振荡器的变容二极管电压
9	V _{CCdig}	数字部分电源电压引脚
10	REFin	基准频率缓冲器输入引脚。连接外部 27MHz 晶体振荡器(如 TCXO)
11	GNDdig	芯片内部数字电路地
12	IQ cntl	在这个引脚的电压,控制 Q 通道 IF 放大器的增益,0V~3V 电压,增益控制范围±2dB
13	PD1	待机模式控制。低电平芯片关断;高电平芯片导通
14	2ndIFout-Q	Q 通道正交解调器的差分输出引脚,加低通滤波电容在引脚之间,将决定 IF 带宽
15	2ndIFout-Qb	
16	DCoffsetQ	Q 通道直流偏移补偿,需要连接一个低通电容到引脚 17
17	DCoffsetQb	Q 通道直流偏移补偿,需要连接一个低通电容到引脚 16
18	GNDbb	CMOS 输出驱动器地
19	Qmag	数字 Q 信号,2bit ADC 的幅度位输出
20	Qsign	数字 Q 信号,2bit ADC 的符号位输出
21	Isign	数字 I 信号,2bit ADC 的符号位输出
22	Imag	数字 I 信号,2bit ADC 的幅度位输出
23	VCCbb	CMOS 输出驱动器电源电压
24	DCoffsetIb	I 通道直流偏移补偿,需要连接一个低通电容到引脚 25
25	DCoffsetI	I 通道直流偏移补偿,需要连接一个低通电容到引脚 24
26	2ndIFout-Ib	I 通道正交解调器的差分输出引脚,加低通滤波电容在引脚之间,将决定 IF 带宽
27	2ndIFout-I	
28	V _{CCanalog}	芯片模拟电路电源电压
29	V _{AGC}	IF 放大器增益控制电压
30	IF-in1	第 1 级 IFAGC 放大器差分输入引脚
31	IF-in2	
32	GNDanalog	芯片模拟电路地
33	Mixout2	射频混频器的差分输出
34	Mixout1	
35	V _{REF}	基准电压输出
36	LNAbias	LNA 输出引脚,需要外部偏置和匹配网络



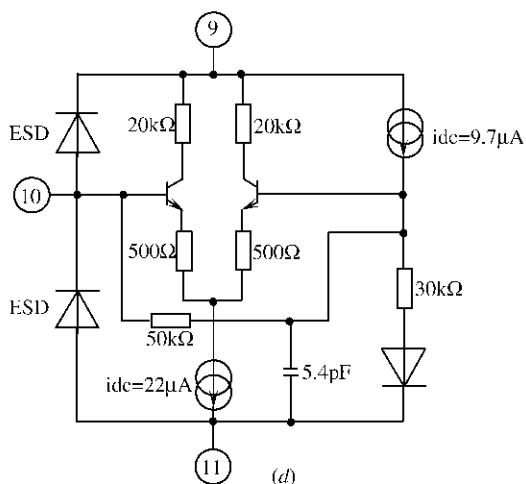
(a)



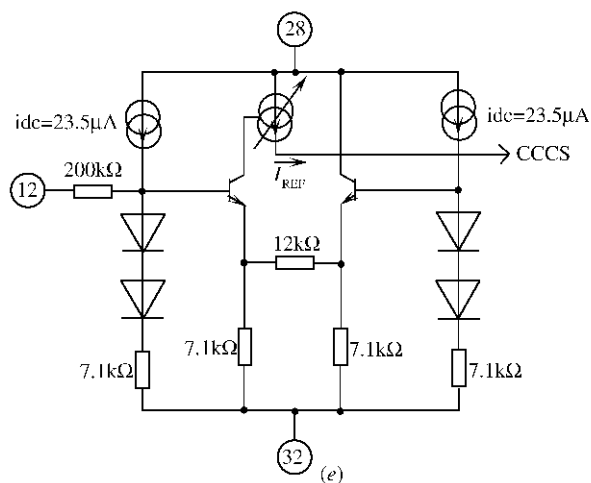
(b)



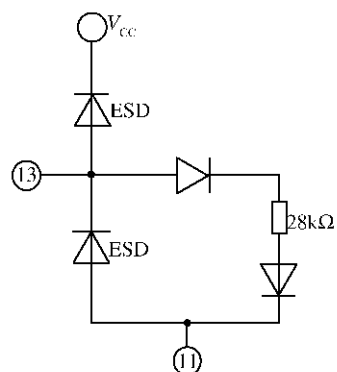
(c)



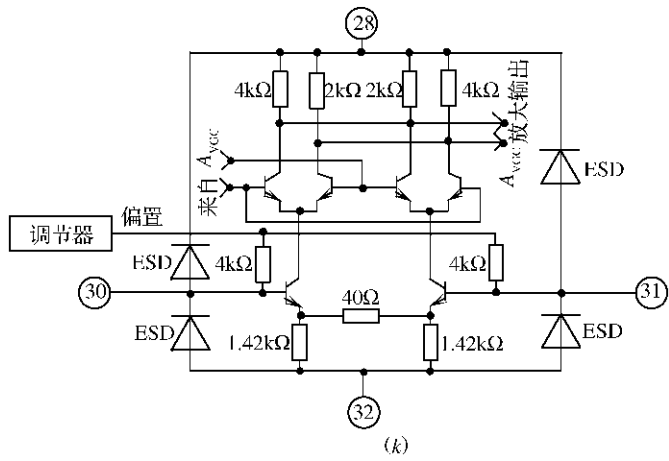
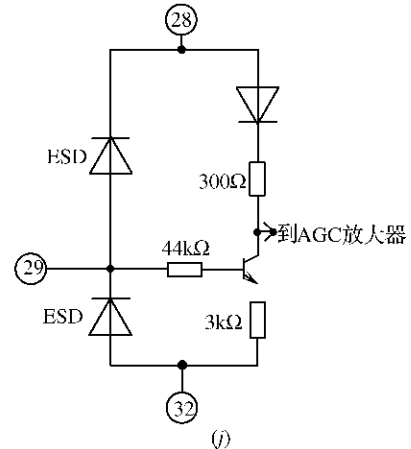
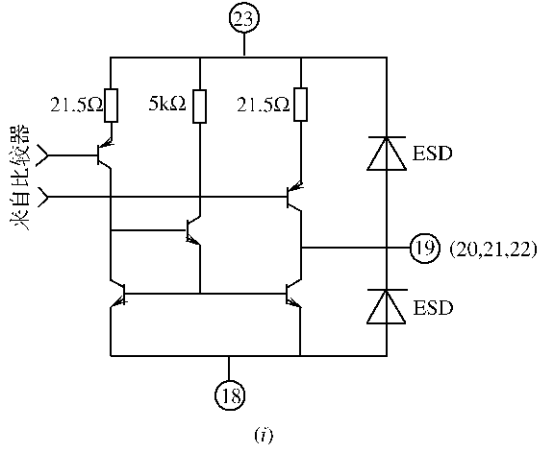
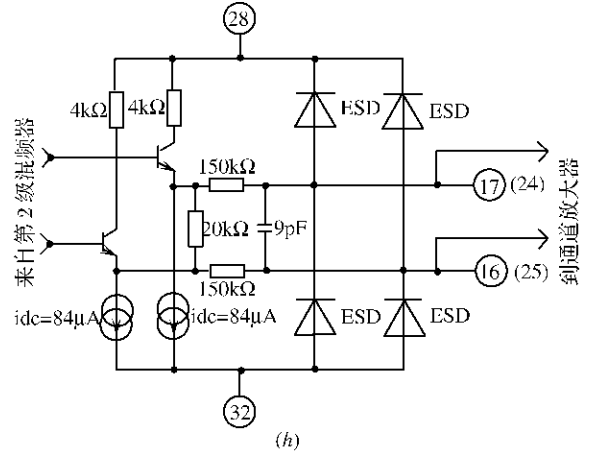
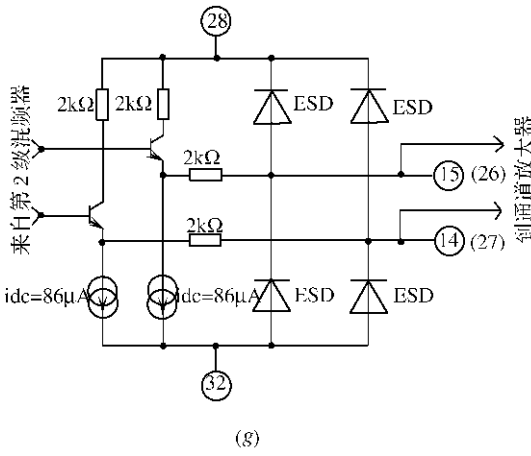
(d)

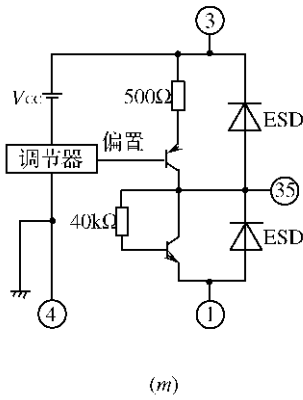
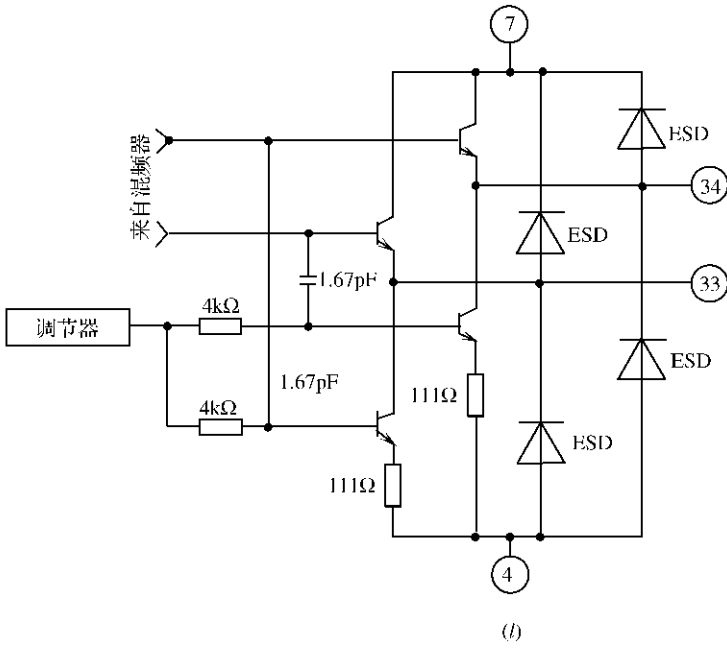


(e)



(f)





08K 引脚内部电路

电路；(c)引脚 8、9、11 内部电路；(d)引脚 10 内部电路；

内部电路；(g)引脚 14、15、26、27 内部电路；

19、20、21、22 内部电路；(j)引脚 29 内部电路；

、34 内部电路；(m)引脚 35 内部电路。

5.13.4 μPB1008K 电路应用

μPB1008K 的典型电路应用形式如图 5-115 所示，μPB1008K 的应用测试电路如图 5-116 所示。

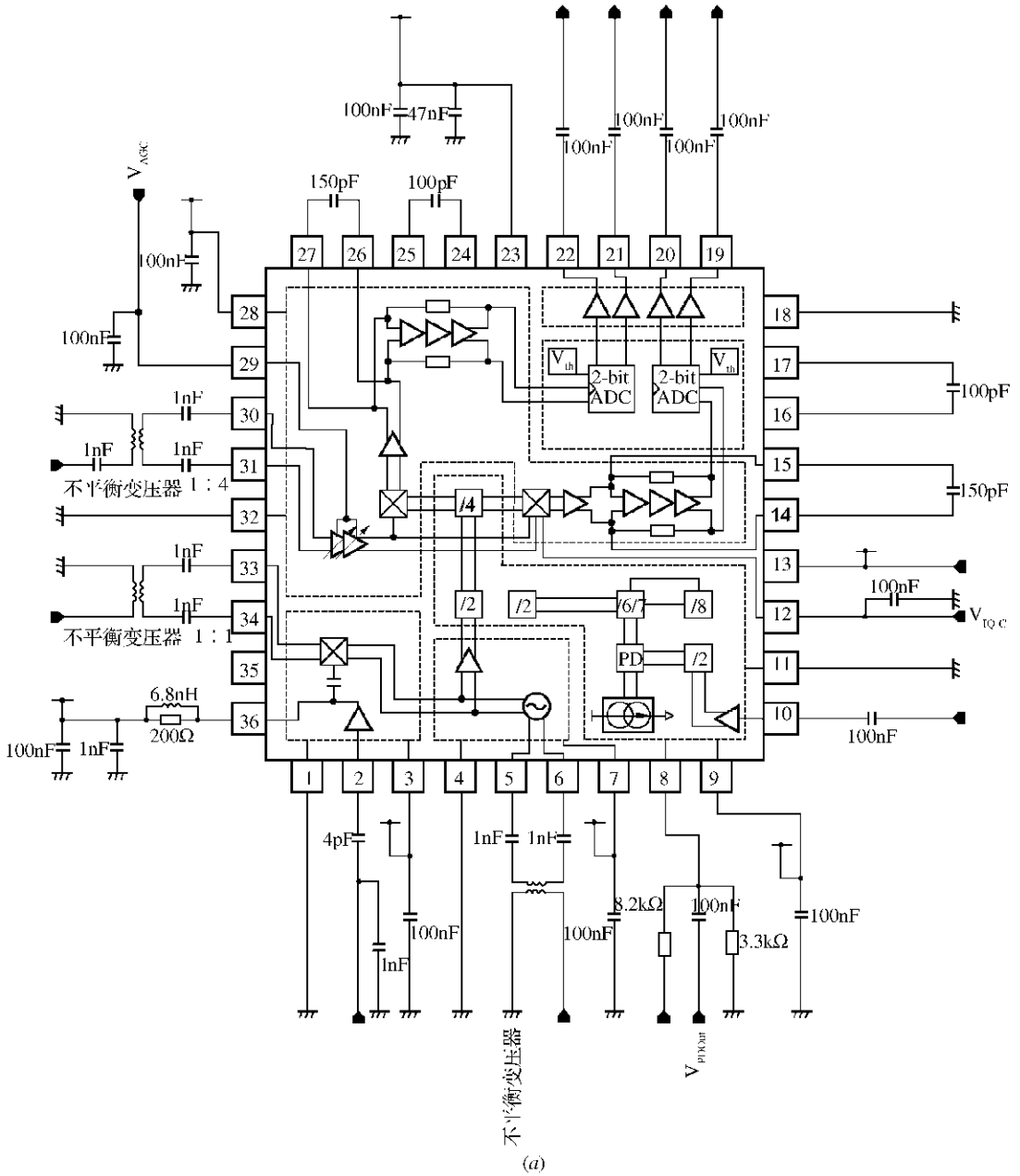
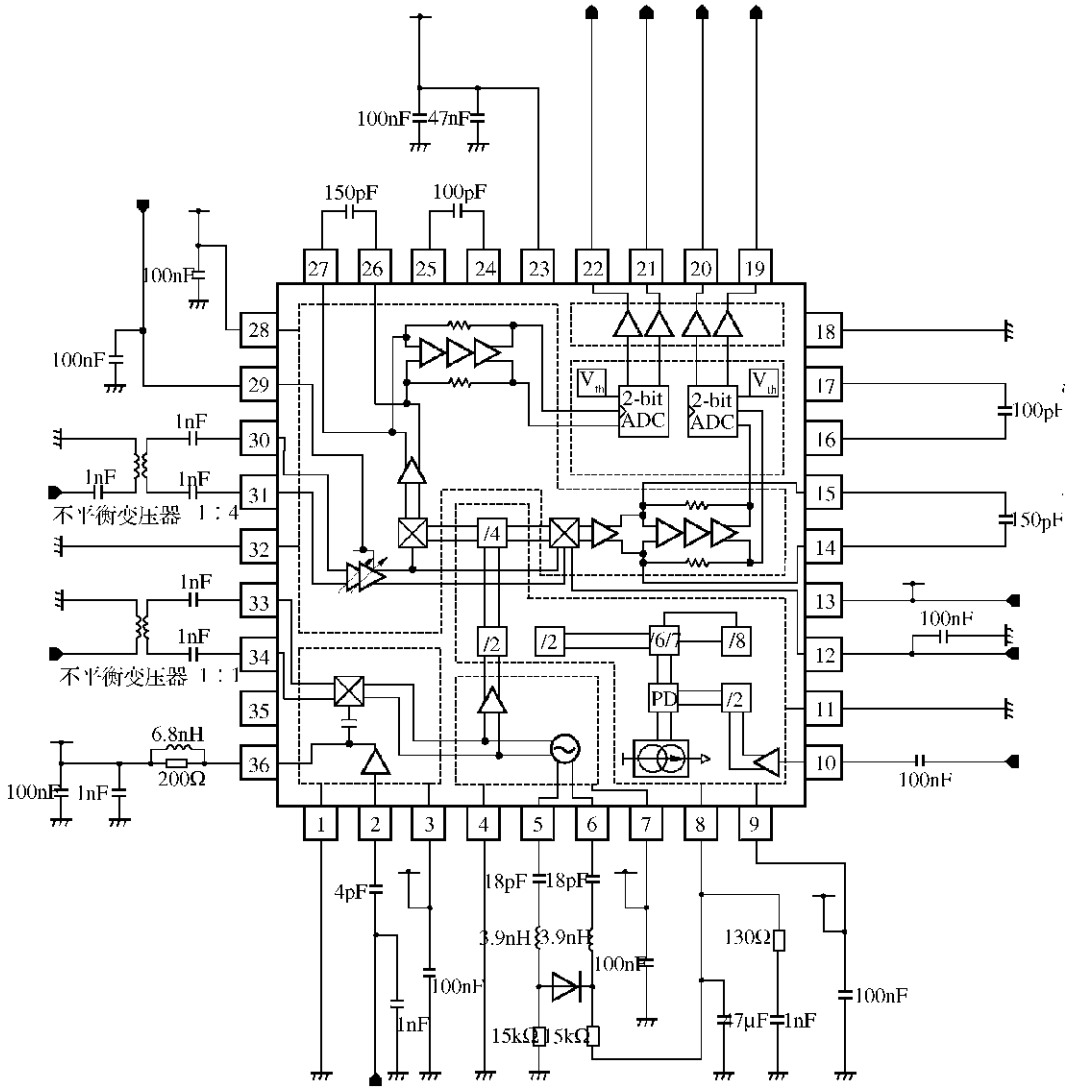


图 5-116 $\mu\text{PB1008K}$

(a) 射频功能模块(LNA+RF MIX)/IF 功能模块(AGCamp+



(b)

应用测试电路

IF MIX+IFamp+ADC); (b) PLL 功能模块。

5.13.5 μ PB1008K 封装尺寸

μ PB1008K 采样 QFN-36 封装, 封装尺寸如图 5-117 所示, 尺寸单位为 mm。

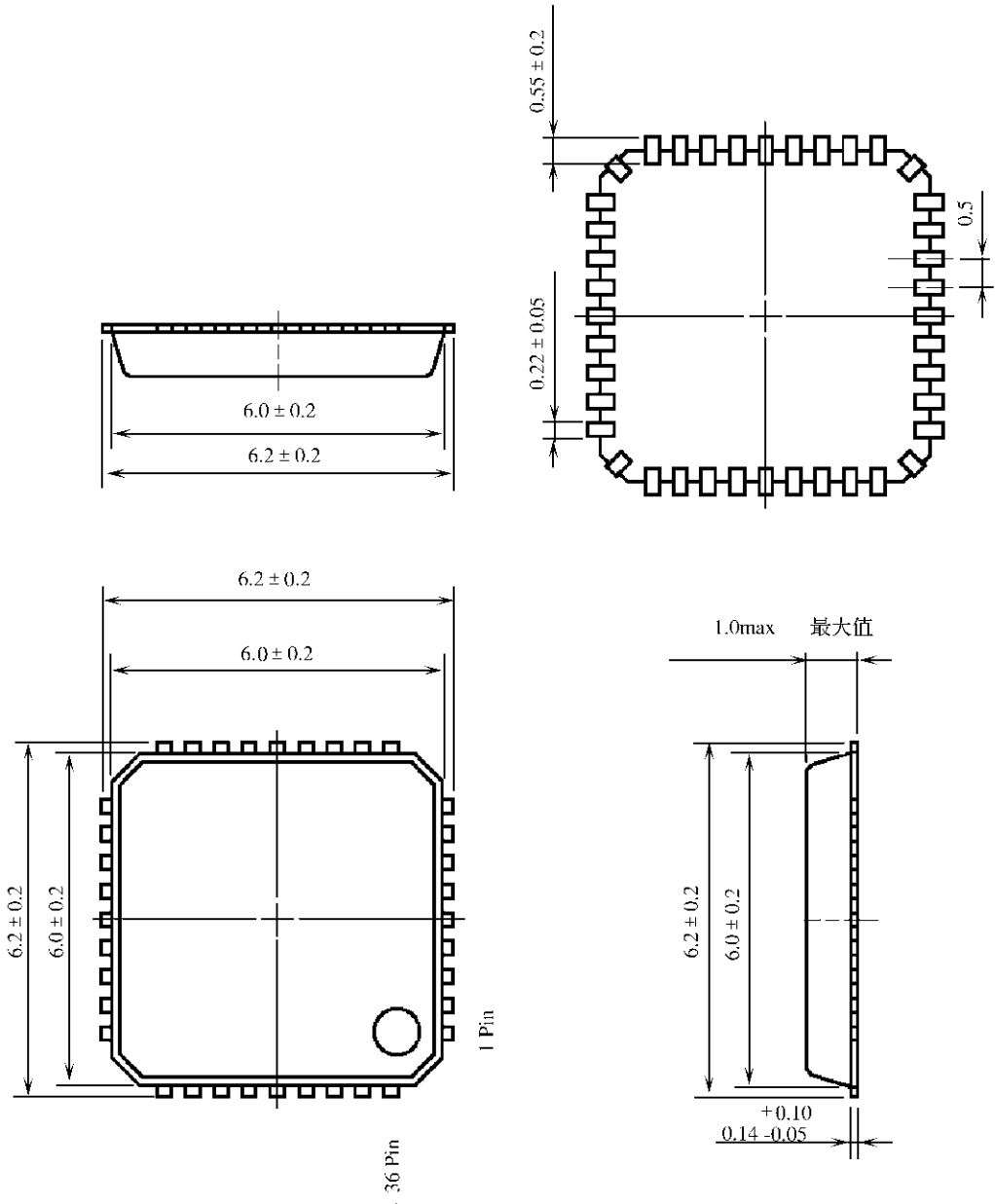


图 5-117 μ PB1008K 封装尺寸

5.14 基于 μ PB1009K 的 GPS 接收机射频前端电路

5.14.1 μ PB1009K 简介

μ PB1009K 是一个单片的 GPS 接收机芯片,芯片内部集成有完整的 VCO、第 2 级 IF(中频)滤波器、4bit ADC、数字控制接口等电路。

μ PB1009K 具有双转换功能: $f_{\text{REFin}} = 16.368\text{MHz}$, $f_{1\text{stIFin}} = 61.380\text{MHz}$, $f_{2\text{ndIFin}} = 4.092\text{MHz}$; $f_{\text{REFin}} = 14.4/16.384/19.2/26\text{MHz}$, $f_{1\text{stIFin}} = 62.980\text{MHz}$, $f_{2\text{ndIFin}} = 2.556\text{MHz}$ 。具有多系统时钟,通过转换片上的分频器($1/N=100,3/256,9/1024,65/4096$),TCXO 可以使用频率为 $16.368\text{MHz}/16.384\text{MHz}/14.4\text{MHz}/19.2\text{MHz}$,或者 26MHz 。电源电压 $V_{\text{CC}} = 2.7\text{V} \sim 3.3\text{V}$ 。低的电流消耗: $I_{\text{CC}} = 26.0\text{mA}$ 采用 QFN-44 封装,具有低的价格,小的安装空间。

μ PB1009K 可应用在基准频率为 16.368MHz ,第 2 IF 频率为 4.092MHz 的 GPS 接收机,以及基准频率为 $14.4\text{MHz}/16.384\text{MHz}/19.2\text{MHz}/26\text{MHz}$ 、第 2 IF 频率为 2.556MHz 的 GPS 接收机中。

5.14.2 μ PB1009K 主要性能指标

μ PB1009K 的主要性能指标如表 5-67 至表 5-69 所示。

表 5-67 绝对最大额定值

参 数	符 号	数 值	单 位
电源电压	V_{CC}	3.6	V
全部电路电流	I_{CCTotal}	100	mA
功率消耗	P_{D}	266	mW
工作环境温度	T_{A}	$-40 \sim +85$	$^{\circ}\text{C}$
存储温度	T_{stg}	$-55 \sim +125$	$^{\circ}\text{C}$

表 5-68 推荐工作条件

参 数	符号	最小值	典型值	最大值	单位
电源电压	V_{CC}	2.7	3.0	3.3	V
工作环境温度	T_{A}	30	+25	+85	$^{\circ}\text{C}$
射频输入频率	f_{RFIn}		1575.42		MHz
第 1 级本机振荡器(LO)频率	$f_{1\text{stLOin}}$		1636.8/1638.4		MHz
第 1 级 IF 频率	$f_{1\text{stIFin}}$		61.38/62.98		MHz
第 2 级本机振荡器(LO)频率	$f_{2\text{ndLOin}}$		65.472/65.536		MHz
第 2 级 IF 频率	$f_{2\text{ndIFin}}$		4.092/2.556		MHz
基准输入/输出频率	f_{REFin} f_{REFout}		TCXO		MHz
时钟模式控制电压(低电平)	V_{IL1}	0		0.3	V
时钟模式控制电压(高电平)	V_{IH1}	$V_{\text{CC}}-0.3$		V_{CC}	V
低功耗模式控制电压(低电平)	V_{IL2}	0		0.3	V
低功耗模式控制电压(高电平)	V_{IH2}	$V_{\text{CC}}-0.3$		V_{CC}	V

表 5-69 主要电气特性

 $(T_A = +25^\circ\text{C}, V_{CC} = 3.0\text{V})$

参 数	符 号	最小值	典型值	最大值	单 位
电 路 电 流					
睡眠模式	I_s	1.3	2.2	3.5	mA
“热”模式 (Warm-up mode)	I_w	10.5	13.0	15.5	mA
校准模式	I_c	18.0	22.0	25.3	mA
有效模式	I_a	22.1	26.0	30.0	mA
前置放大器($f_{RFin} = 1575.42\text{MHz}$)					
功率增益	G_{LNA}	12.5	15.0	17.5	dB
噪声系数	NF_{LNA}		3.0	3.5	dB
饱和输出功率	$P_{O(SAT)LNA}$	-4.0	-2.7		dBm
输入 1dB 压缩电平	P_{LNA1}	-25	-21.8		dBm
输入 3 阶截点	IIP_{3LNA}	-12	-9.5		dBm
输入阻抗	Z_{inLNA}		$11.2 - j21.5$		Ω
输出阻抗	Z_{outLNA}		$16.4 - j136.6$		Ω
射频混频器($f_{RF} = 1575.42\text{MHz}$, $f_{1stLOin} = 1636.80\text{MHz}$, $f_{1stIF} = 61.38\text{MHz}$)					
射频转换增益	CG_{RF}	2.0	16.1	19.0	dB
噪声系数	$SSBNF_{RF-MIX}$	14.0	12.8	16.0	dB
最大 IF 输出	$P_{O(SAT)RFMIX}$		-0.8		dBm
输入 1dB 压缩电平	$P_{RFMIX-1}$	-4.0	-25.5		dBm
输入 3 阶截点	IIP_{3RFMIX}	-29.0	-17.2		dBm
LO 泄漏到 IF 输入	LO_{IF}	-19.0	-34.5	-30	dBm
LO 泄漏到 RF 输入	LO_{RF}		-54.7	-30	dBm
输入阻抗	Z_{inMIX}		$50.1 - j22.3$		Ω
输出阻抗	Z_{outMIX}		$57.3 + j2.6$		Ω
IF 混频器、LPF(低通滤波器)、IF 放大器($f_{1stFin} = 61.38\text{MHz}$, $f_{2ndLOin} = 65.472\text{MHz}$, $Z_L = 2k\Omega$)					
IF 转换增益	$CG_{(GV)IF}$	66.0	70.3	75.0	dB
带内增益波动	ΔCG_1		0.7	1.0	dB
带外衰减	ΔCG_2	20.0	25.0		dB

(续)

参数	符号	最小值	典型值	最大值	单位
转换增益范围	CG_{Range}	32.5	43.9		dB
IF-SSB 噪声系数	NF_{IF}		13.7	17.5	dB
最大第 2 级 IF 输出	$V_{\text{O(SAT)IF}}$	1.0	1.3		V(峰峰值)
输入 1dB 压缩电平	$P_{\text{IF-1}}$	-70.5	-64.4		dBm
输入 3 阶截点	$IIP_{3\text{IF}}$	-56.0	-51.3		dBm
输入阻抗	Z_{inIF}		$69.3-j4.8$		Ω
输出阻抗	Z_{outIF}		$163+j3.8$		Ω
PLL 合成器					
充电泵输出电流	I_{cpsink}	-0.55	-0.45	-0.35	mA
	I_{cpsource}	0.35	0.45	0.55	mA
回路滤波器输出(高电平)	V_{OH}	VCC-0.3			V
回路滤波器输出(低电平)	V_{OL}			0.2	V
基准输入电平	V_{REFin}		0.2	1.6	V(峰峰值)
VCO 调制灵敏度	KV		100		MHz
VCO 控制电压	VT	0.5	1.3	2.0	V
C/N	C/N	70.0	81.0		dBc/Hz
A/D 转换器					
分辨率	Res_{AD}		4		bit
采样时钟	f_s			20	MHz
输入带宽	ADBW	5.1			MHz
积分非线性误差	INL		0.2	1.0	LSB
信噪比	SNR	22.0	25.3		dB
信噪比+失真	SINAD	20.0	25.1		dB
数	ENOB	3.0	3.9		bit
全部谐波失真率	THD		-40	-30	dBc

5.14.3 $\mu\text{PB1009K}$ 内部结构与引脚功能

$\mu\text{PB1009K}$ 的引脚封装形式与内部结构如图 5-118 所示, 芯片内部集成有前置放大器、第 1 级 IF 混频器、第 2 级 IF 混频器、PLL、完整的 VCO、第 2 级 IF(中频)滤波器、4bit ADC、数字控制接口等电路, 引脚功能如表 5-70 所列, 各引脚内部电路结构如图 5-119 所示。

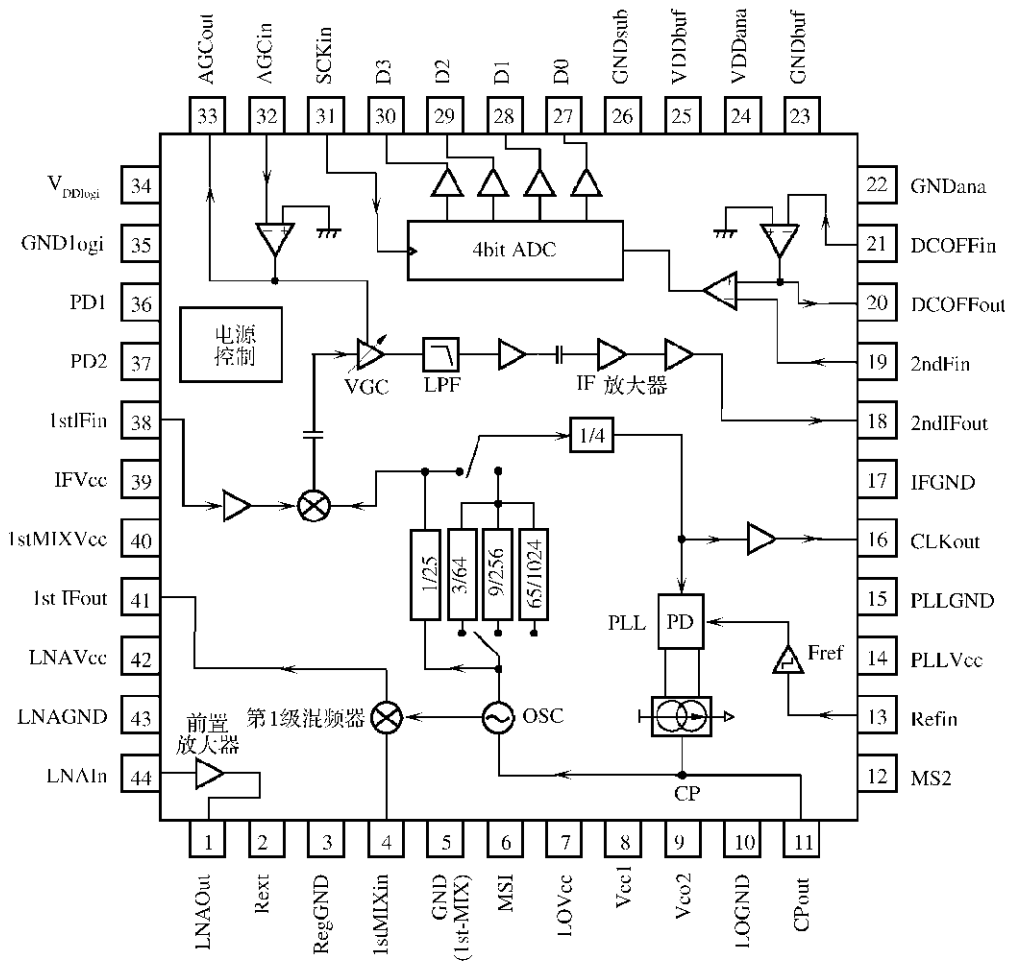


图 5-118 μPB1009K 的内部结构与引脚封装形式

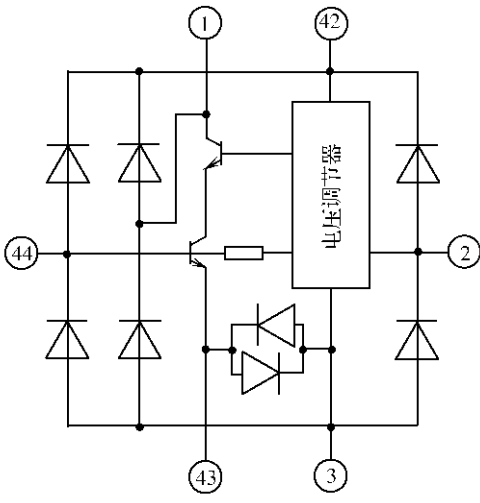
表 5-70 μPB1009K 引脚功能

引脚	符号	功能
1	LNAout	前置低噪声放大器输出
2	Rext	连接一个 22kΩ 基准电阻到地
3	RegGND	电压调节器地
42	LNAVcc	前置低噪声放大器电源电压
43	LNAGND	前置低噪声放大器地
44	LNAin	前置低噪声放大器输入
4	1stMIXin	第 1 级混频器输入
5	1stMIXGND	第 1 级混频器地
40	1stMIXVcc	第 1 级混频器电源电压, 连接一个旁路电容到这个引脚, 以减少高频阻抗
41	1stIFout	第 1 级混频器输出, 在这个引脚和引脚 37 之间插入 IFSAW 滤波器。在这个引脚可以监控 VCO 振荡信号

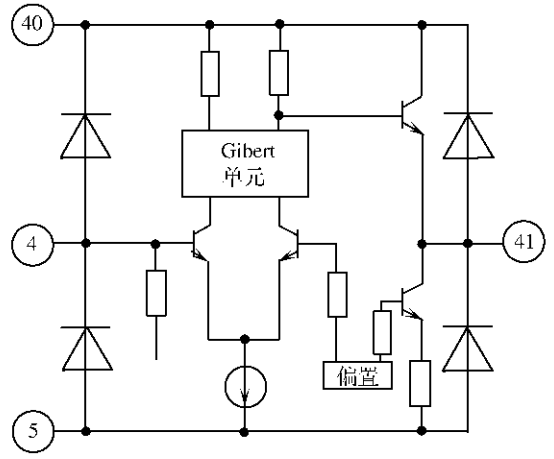
(续)

引脚	符号	功能
6	MS1	低电平(L)=0~0.3V;高电平(H)= $V_{CC}-0.3\sim V_{CC}$ (V)。 MS1=L,MS2=L,TCXO=16.368 或者 16.384MHz
12	MS2	MS1=L,MS2=H,TCXO=19.2MHz MS1=H,MS2=L,TCXO=14.4MHz MS1=H,MS2=H,TCXO=26MHz
11	CPout	充电泵输出。连接外部 R 和 C 到这个引脚,设置“转储系数”(dumping factor)和自然角频率($I_{sink}=I_{source}=0.45mA$)
13	Refin	基准频率输入,连接一个外部的基准频率到这个引脚,如 TXCO
14	PLL V_{CC}	PLL 电源电压,连接一个旁路电容到这个引脚,以减少高频阻抗
15	PLLGND	PLL 地
16	CLKout	时钟(f_{TCXO})输出引脚(IC 测试引脚)
7	LO V_{CC}	VCO 电源电压引脚,连接一个旁路电容到这个引脚,以减少高频阻抗
8	VCO1	IC 测试引脚。当 $\mu PB1009K$ 安装在电路板上时,这个引脚开路
9	VCO2	
10	LOGND	VCO 地
17	IFGND	IF 功能模块地
18	2ndIFout	IF 放大器输出
38	1stIFin	第 2 级 IF 混频器输入
39	IF V_{CC}	IF 功能模块电源电压
19	2ndIFin	ADC 缓冲放大器输入
20	DCOFFout	直流微调运算放大器的输出
21	DCOFFin	直流微调运算放大器的输入,直流微调脉冲输入。连接一个电容到引脚 20,转换输入脉冲信号为直流
22	GNDana	运算放大器和 ADC 地
23	GNDbuf	
24	VDDana	运算放大器和 ADC 比较器电源电压
25	VDDbuf	ADC 输出驱动放大器电源电压,连接一个旁路电容到这个引脚,以减少高频阻抗
26	GNDsub	CMOS 基底接地引脚
27	D0	数字输出引脚 LSB=D0, MSB=D3
28	D1	
29	D2	
30	D3	
31	SCKin	采样时钟信号输入
32	AGCin	AGC 控制脉冲信号输入
33	AGCout	AGC 控制信号输出
34	VDDlogi	电源控制逻辑电路电源电压
35	GNDlogi	电源控制逻辑电路地

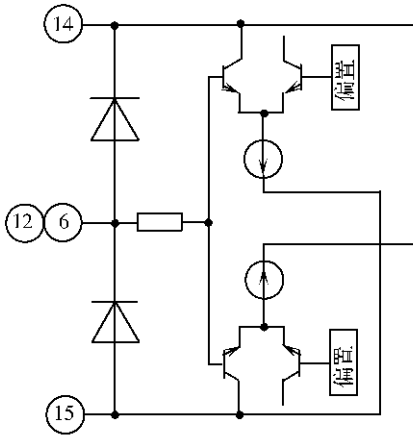
36	PD1	低电平(L)=0~0.3V;高电平(H)= $V_{CC}-0.3\sim V_{CC}$ V PD1=L,PD2=L,睡眠模式(所有电路关断) PD1=L,PD2=H,“热”模式(PLL导通)
37	PD2	PD1=H,PD2=L,校准模式(PLL+IF+ADC导通) PD1=H,PD2=H,有效模式(所有电路导通)



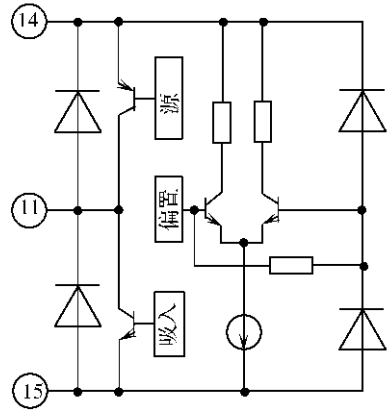
(a)



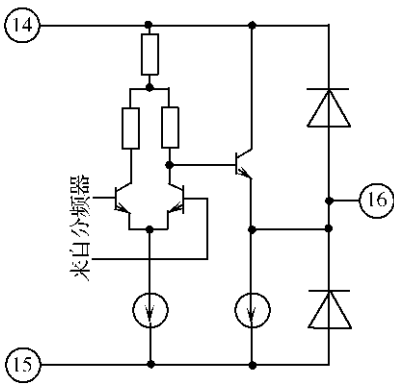
(b)



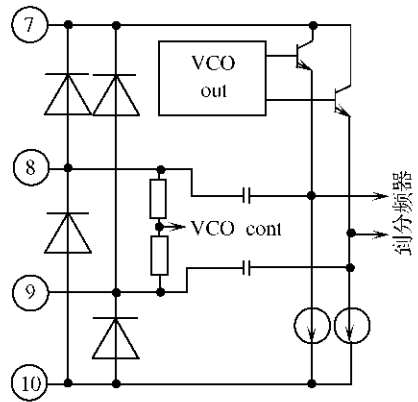
(c)



(d)



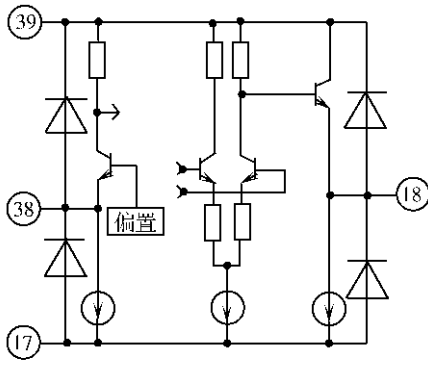
(e)



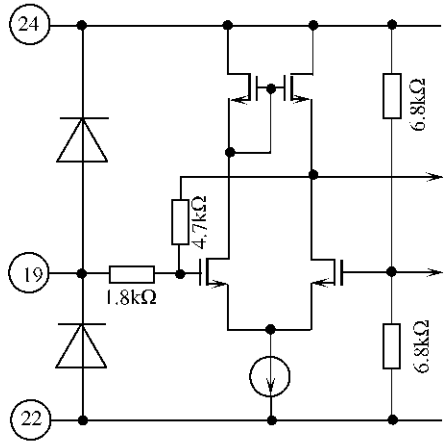
(f)

图 5-119 μ PB1009K

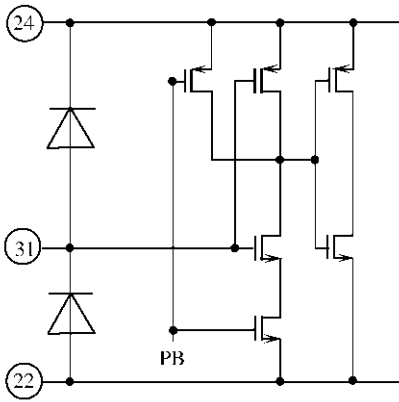
(a) 引脚 1、2、3、42、43、44 内部电路；(b) 引脚 4、5、40、
 (d) 引脚 11 内部电路；(e) 引脚 16 内部电路；(f) 引脚 7、
 (h) 引脚 19、22、24 内部电路；(i) 引脚 31 内部电
 (k) 引脚 21、32 内部电路；(l) 引



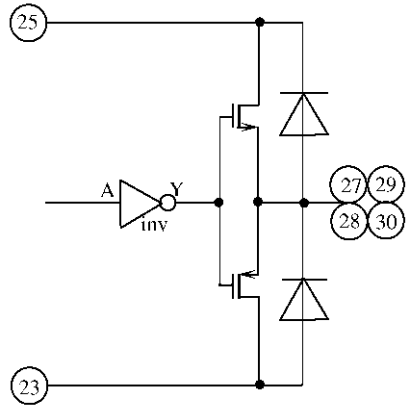
(g)



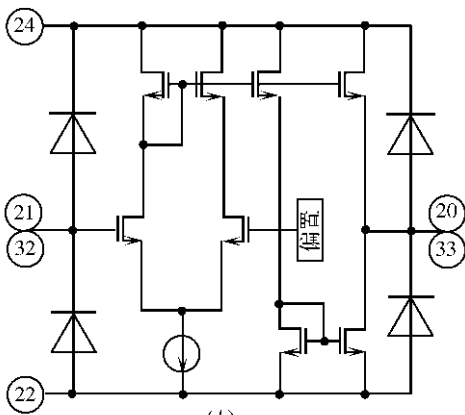
(h)



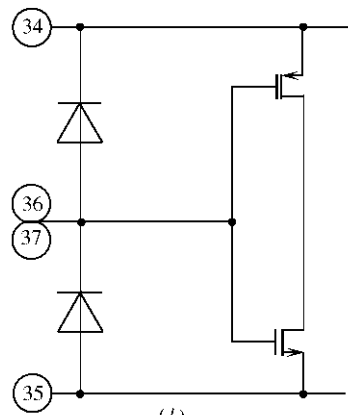
(i)



(j)



(k)



(l)

引脚内部电路

41 内部电路；(c) 引脚 6、12、14、15 内部电路；
 8、9、10 内部电路；(g) 引脚 17、18、38、39 内部电路；
 路；(j) 引脚 23、25、27、28、29、30 内部电路；
 脚 34、35、36、37 内部电路。

5.14.4 μ PB1009K 电路应用

μ PB1009K 的应用电路如图 5-120 所示, μ PB1009K 的典型电路应用形式如图 5-121 所示。

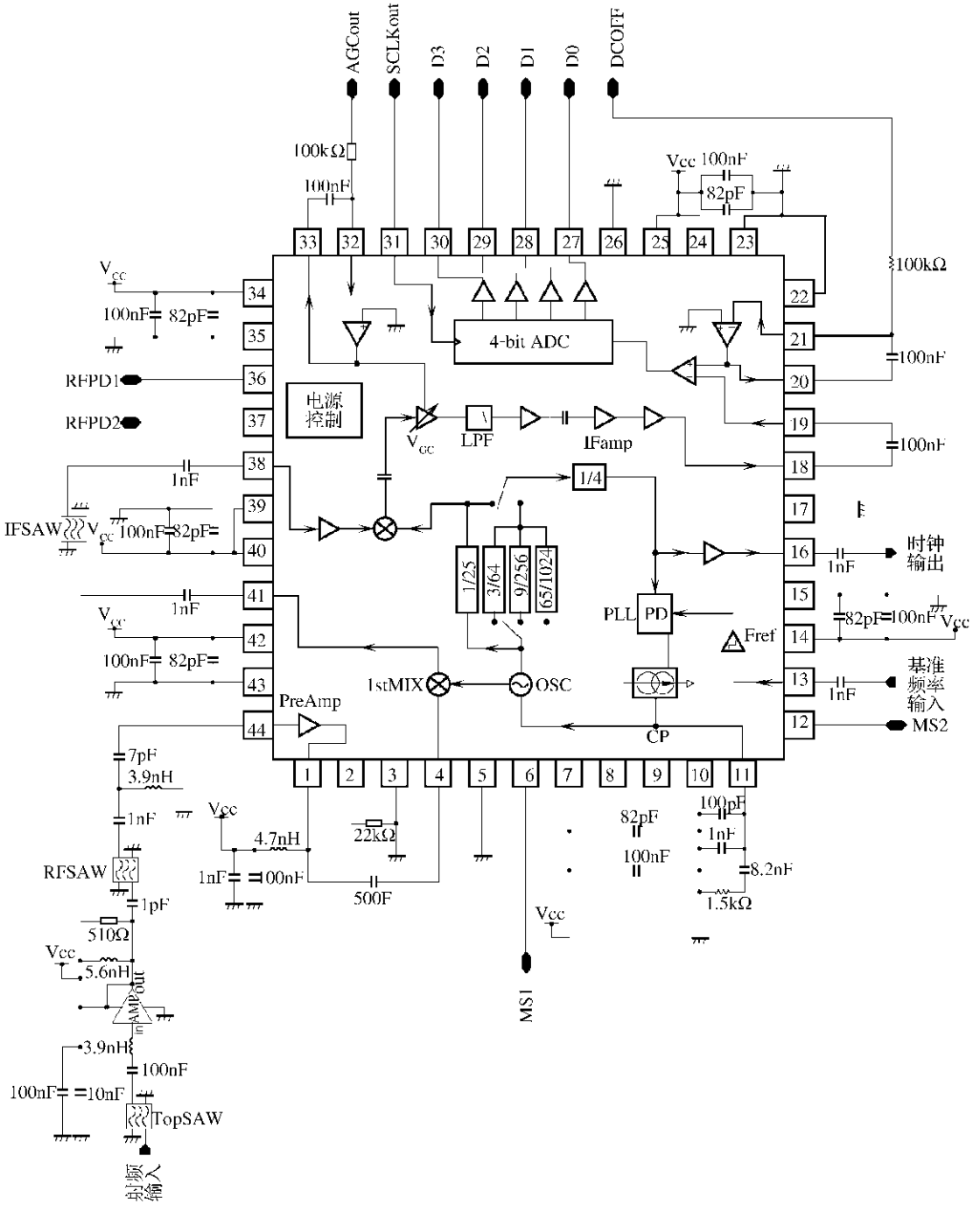


图 5-120 μ PB1009K 应用电路

μ PB1009K 的工作模式可以利用 PD1 和 PD2 引脚控制,模式控制状态如表 5-71 所列。

表 5-71 工作模式控制

模 式	控制引脚		内部功能模块工作状态(ON=导通,OFF=关断)		
	PD1	PD2	射频功能模块	IF+ADC 功能模块	PLL 功能模块
有效模式	L	H	ON	ON	ON
校准模式	H	H	OFF	ON	ON
“热”模式	H	L	OFF	OFF	ON
睡眠模式	L	L	OFF	OFF	OFF

TCXO 频率可以利用 MS1 和 MS2 引脚选择,TCXO 频率选择如表 5-72 所列。

表 5-72 TCXO 频率选择

TCXO 频率	MS1	MS2	1/N	相位比较器频率
16.368MHz(GPS)	L	L	1/100	16.368MHz
16.384MHz(GPS)				16.384MHz
19.2MHz	L	H	3/256	19.2MHz
14.4MHz	H	L	9/1024	14.4MHz
26MHz	H	H	65/4096	26MHz

D0~D3 数据输出时序如图 5-122 所示。在有效工作模式,采样 N 数据被延迟 1.5 个时钟输出,D0~D3 数据在采样时钟的上升沿输出,延迟时间是 T_{od} 。当工作模式从有效模式转换到低功耗模式,在低功耗模式工作前,输出数据状态被保持。D0~D3 数据输出时序参数如表 5-73 所列。

表 5-73 D0~D3 数据输出时序参数

参 数	符号	最小值	典型值	最大值	单位
输出延迟	T_{od}			12	ns
传递延迟	T_{pld}		1.5		clock
采样延迟	T_{ds}		2		ns
缝隙延迟 (Aperture Delay)	T_{oh}	2			ns

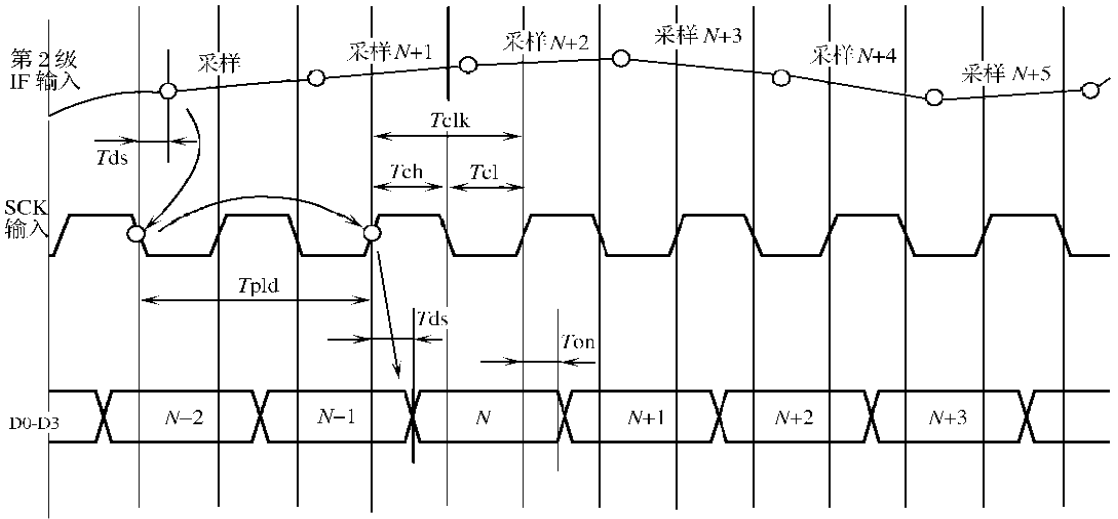


图 5-122 D0~D3 数据输出时序

D0~D3 数据输出时序(从低功耗模式转换到有效工作模式)如图 5-123 所示。在低功耗模式控制信号被清除 7.5 个时钟内, D0~D3 数据输出没有定义。

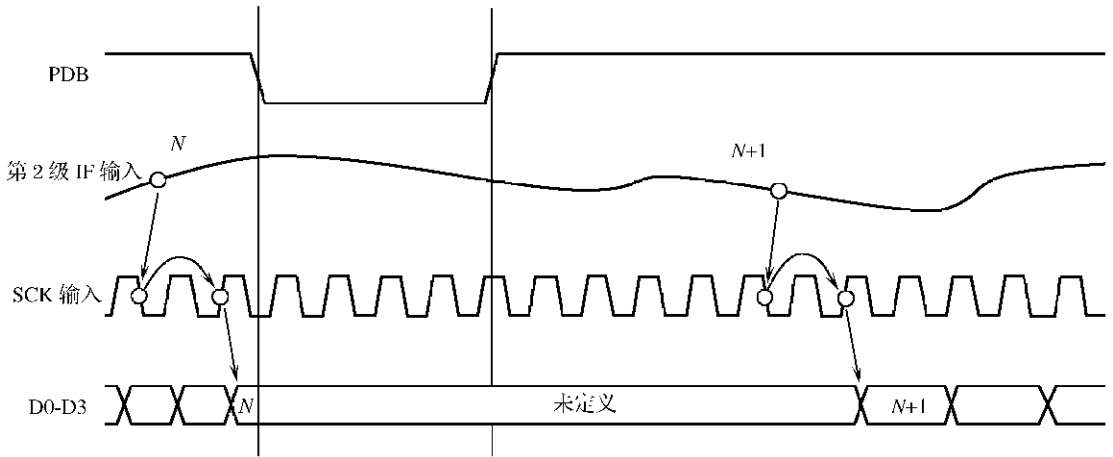


图 5-123 D0~D3 数据输出时序(从低功耗模式转换)

5.14.5 μ PB1009K 封装尺寸

μ PB1009K 采样 QFN-44 封装, 封装尺寸如图 5-124 所示, 尺寸单位为 mm。

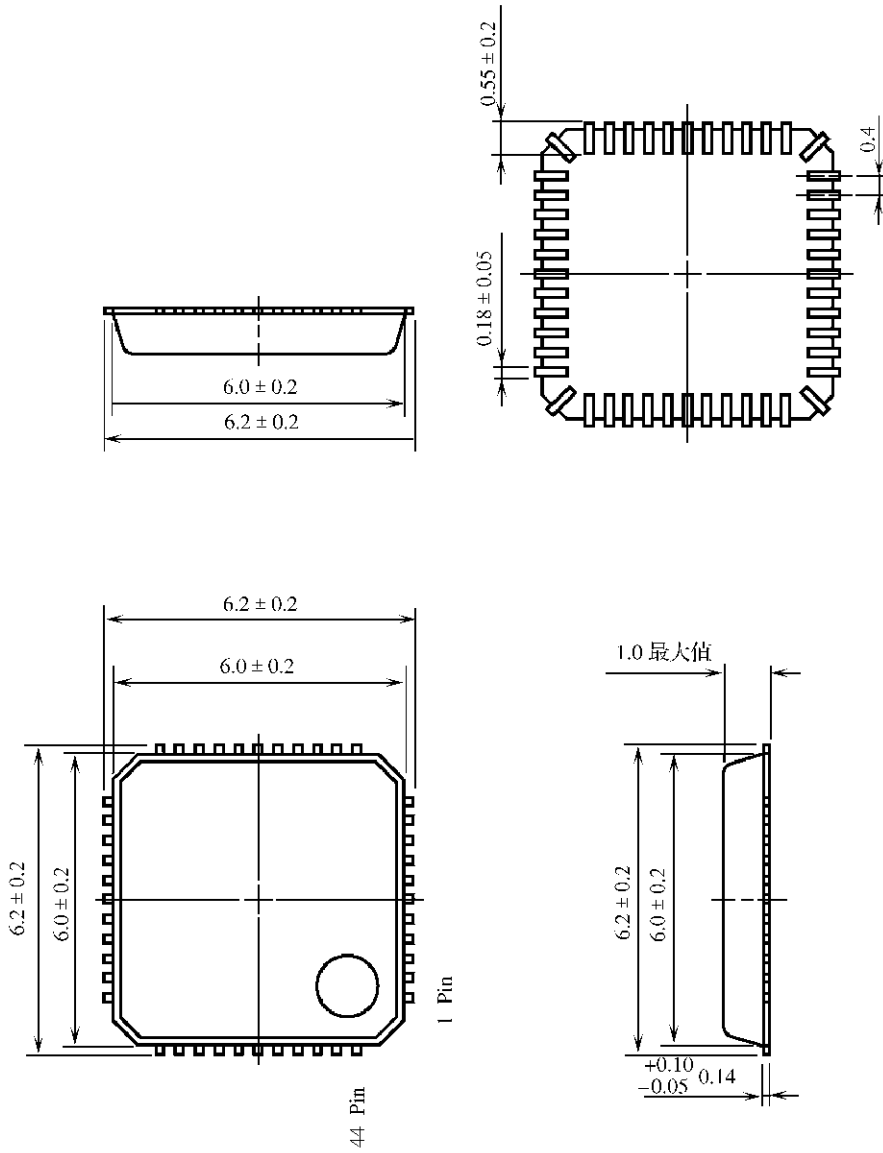


图 5-124 μ PB1009K 封装尺寸

第 6 章 GPS 接收机相关器电路设计

6.1 基于 GP1020 的 6 信道相关器电路

6.1.1 GP1020 简介

GP1020 是一个 6 信道 CMOS 数字相关器,可以与 GP1010 L1 信道下变频器或其他集成电路组合,用来截获和跟踪 GPS C/A 码或 GLONASS 码。GP1020 6 个信道中的每一个通道,都包括:独立的数字下变频到基带处理的电路、C/A 代码发生器、相关器和累加转存寄存器。GP1020 通过一个 16 位数据总线与一个微处理器接口,使用不同的片上寄存器控制采集和跟踪过程。输入多路复用器适合多种 GPS 前端和 GLONASS 前端,允许天线有差异。电源电压 5V,功耗小于 500mW,采用 120L MQFP 封装,封装尺寸 28mm×28mm×3.4mm,适合 GPS 或 GLONASS 导航系统、高集成度的 GPS 接收机、GPS 测量接收机、GPS 时间基准等应用。

6.1.2 GP1020 主要性能指标

GP1020 的主要性能指标如表 6-1 所列。

表 6-1 GP1020 主要性能指标

(条件:电源电压 $V_{DD}=(5\pm 10\%)V$;周围环境温度 $T_{AMB}=0\sim +70^{\circ}C$ (CG 级), $-40^{\circ}C\sim +85^{\circ}C$ (IG 级))

特 性	最小值	典型值	最大值	单 位	条 件
电源电压		5		V	
电源电流 I_{DD} , 芯片完全有效			100	mA	
CMOS 输入引脚(RTCINT、MASTER/SLAVE、MARKFB(3 : 1)、NANDA、NANDB、WPROG、ALE), 上拉电阻到 V_{DD}					
输入高电平电压	$0.8V_{DD}$			V	
输入低电平电压			$0.2V_{DD}$	V	
上拉电阻	20	75	250	k Ω	
CMOS 输入引脚(MOT/INTEL、CLKSEL、INTIN、TICIN), 下拉电阻到 V_{SS}					
输入高电平电压	$0.8V_{DD}$			V	
输入低电平电压			$0.2V_{DD}$	V	
下拉电阻	20	75	250	k Ω	
无上拉或下拉电阻的 CMOS 输入引脚(MASTERRESET、CS、WEN、RW、MASTERCLK、SLAVECLK、A(8 : 1)、D(15 : 0)、TCK、TDI、TMS、TRST)					

输入高电平电压	$0.8V_{DD}$			V	
---------	-------------	--	--	---	--

(续)

特性	最小值	典型值	最大值	单位	条件
输入低电平电压			$0.2V_{DD}$	V	
输入泄漏电流		1	10	μA	$V_{SS} < V_{PIN} < V_{DD}$
TTL 输入引脚(SIGN(9 : 0)、MAG(9 : 0)、PLLLOCKIN、GLONASSBIT), 上拉电阻到 V_{DD}					
输入高电平电压	2.0			V	
输入低电平电压			0.8	V	
上拉电阻	20	75	250	$\text{k}\Omega$	
TTL 输入引脚(TSCAN、TCKS、TDI1、TMS1、TMS2), 下拉电阻到 V_{SS}					
输入高电平电压	2.0			V	
输入低电平电压			0.8	V	
下拉电阻	20	75	250	$\text{k}\Omega$	
MASTERCLK 引脚, 低电平时钟输入					
正弦波峰峰值	600			mV	交流耦合
功率电平 1 输出, 引脚 TAMG、TSIGN、TDO、TDO(7 : 1)、NANDOP					
输出高电平电压	$V_{DD}-1$	$V_{DD}-0.5$		V	$I_{OH} = -1.5\text{mA}$
输出低电平电压		0.2	0.4	V	$I_{OL} = 1.5\text{mA}$
功率电平 3 输出(100/219kHz), 引脚 INTOUT、SMAPCLK、TICOUT、BITECNTL、DISCOP、TIMEMARK					
输出高电平电压	$V_{DD}-1$	$V_{DD}-0.5$		V	$I_{OH} = -4.5\text{mA}$
输出低电平电压		0.2	0.4	V	$I_{OL} = 4.5\text{mA}$
功率电平 1 输出(3 态), 引脚 MAG(9 : 0)、SIGN(8 : 2)、TCK(7 : 1)					
输出高电平电压	$V_{DD}-1$	$V_{DD}-0.5$		V	$I_{OH} = -1.5\text{mA}$
输出低电平电压		0.2	0.4	V	$I_{OL} = 1.5\text{mA}$
输出泄漏电流			10	μA	$V_{SS} < V_{PIN} < V_{DD}$
功率电平 3 输出(3 态), 引脚 SLAVECLK					
输出高电平电压	$V_{DD}-1$	$V_{DD}-0.5$		V	$I_{OH} = -4.5\text{mA}$
输出低电平电压		0.2	0.4	V	$I_{OL} = 4.5\text{mA}$
输出泄漏电流			10	μA	$V_{SS} < V_{PIN} < V_{DD}$
功率电平 6 输出(3 态), 引脚 D(15 : 0)					
输出高电平电压	$V_{DD}-1$	$V_{DD}-0.5$		V	$I_{OH} = -9.0\text{mA}$
输出低电平电压		0.2	0.4	V	$I_{OL} = 9.0\text{mA}$

输出泄漏电流			10	μA	$V_{SS} < V_{PIN} < V_{DD}$
储存温度	-55		+125	$^{\circ}\text{C}$	

6.1.3 GP1020 引脚功能

GP1020 的引脚封装形式如图 6-1 所示,引脚功能如表 6-2 所列。

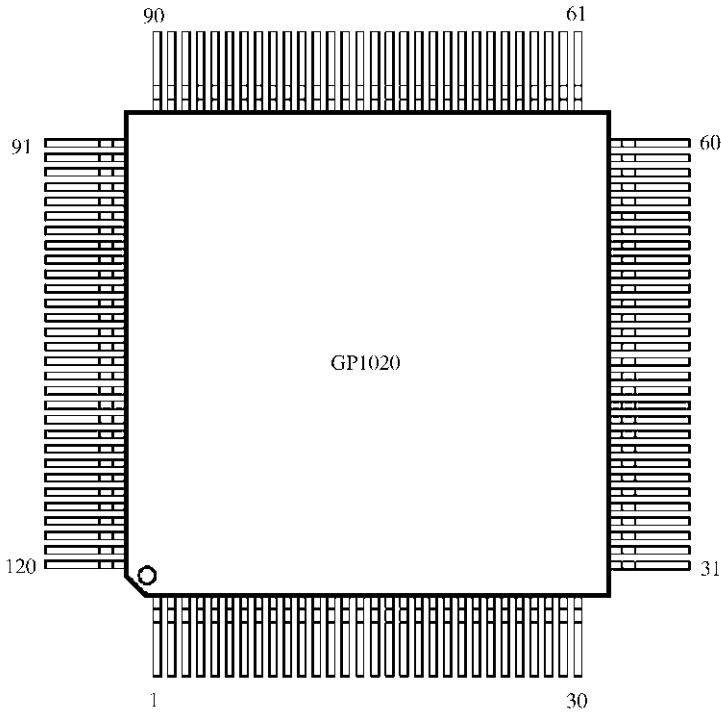


图 6-1 GP1020 的引脚封装形式

表 6-2 GP1020 引脚功能

引脚	符号	I/O 类型	功能
1	A7	输入	寄存器地址,位(bit)7
2	A8	输入	寄存器地址,位(bit)8
3	MASTER/ SLAVE	输入	主从模式选择
4	$\overline{\text{TSCAN}}$	输入	扫描测试模式选择
5	TCKS	输入	测试时钟选择
6	TDI1	输入	串行测试数据输入
7	$\overline{\text{MASTERRESET}}$	输入	主复位(低电平有效)
8	$\overline{\text{MOT/INTEL}}$	输入	总线选择, Motorola(高电平)或 Intel(低电平)
9	$\overline{\text{CS}}$	输入	对于总线的芯片选择(低电平有效)
10	V_{SS}	-	地
11	V_{DD}	+	正电源
12	WEN	输入	总线控制

13	<u>RW</u>	输入	总线控制
14	TMS2	输入	测试模式选择 2
15	TMS1	输入	测试模式选择 1

(续)

引脚	符号	I/O 类型	功能
16	TMAG	输出	测试伪随机噪声(PRN)模型量级输出
17	TSIGN	输出	测试伪随机噪声(PRN)模型符号输出
18	MAG2	输入/输出	卫星输入 2,量级
19	100/219kHz	输出	可编程中断定时器时钟
20	V _{DD}	+	电源正端
21	V _{SS}	-	地
22	INTOUT	输出	中断输出到微处理器
23	SIGN2	输入/输出	卫星输入 2,符号
24	MAG3	输入/输出	卫星输入 3,量级
25	SIGN3	输入/输出	卫星输入 3,符号
26	MAG4	输入/输出	卫星输入 4,量级
27	SIGN4	输入/输出	卫星输入 4,符号
28	MAG5	输入/输出	卫星输入 5,量级
29	SIGN5	输入/输出	卫星输入 5,符号
30	MAG6	输入/输出	卫星输入 6,量级
31	SIGN6	输入/输出	卫星输入 6,符号
32	MAG7	输入/输出	卫星输入 7,量级
33	SIGN7	输入/输出	卫星输入 7,符号
34	MAG8	输入/输出	卫星输入 8,量级
35	SIGN8	输入/输出	卫星输入 8,符号
36	MAG9	输入/输出	卫星输入 9,量级
37	SIGN9	输入/输出	卫星输入 9,符号
38	MAG1	输入/输出	卫星输入 1,量级
39	SIGN1	输入/输出	卫星输入 1,符号
40	V _{SS}	-	地
41	V _{DD}	+	电源正端
42	MAG0	输入	卫星输入 0,量级
43	SIGN0	输入	卫星输入 0,符号
44	SAMPCLK	输出	到下变频器的采样时钟
45	V _{DD}	+	电源正端
46	MASTERCLK	输入	40MHz 主时钟
47	V _{SS}	-	地
48	Bias	输出	对于 MASTERCLK 在 600mV 交流耦合模式的偏置

49	V _{SS}	—	地
50	V _{DD}	+	电源正端
51	V _{SS}	—	地
52	CLKSEL	输入	设置 100/219kHz 到 100 或 219kHz

(续)

引脚	符号	I/O 类型	功能
53	PLLLOCKIN	输入	来自下变频器的锁相环(PLL)的锁定状态
54	BITECNTL	输出	对下变频器的 BITE 控制
55	GLONASSBIT	输入	对 GLONASS 前端的 I/P 监视
56	SLAVECLK	输入/输出	从主设到从设的 20MHz 时钟
57	INTIN	输入	对主设/同步/从设的中断
58	TCK1	输入/输出	测试时钟 1
59	TCK2	输入/输出	测试时钟 2
60	TCK3	输入/输出	测试时钟 3
61	TCK4	输入/输出	测试时钟 4
62	TCK5	输入/输出	测试时钟 5
63	TCK6	输入/输出	测试时钟 6
64	TCK7	输入/输出	测试时钟 7
65	TCK8	输入	测试时钟 8
66	TICIN	输入	TIC 输入到从设
67	TICOUT	输出	来自主设的 TIC 输出
68	D0	输入/输出	数据总线,位(bit)0
69	D1	输入/输出	数据总线,位(bit)1
70	V _{SS}	—	地
71	V _{DD}	+	电源正端
72	D2	输入/输出	数据总线,位(bit)2
73	D3	输入/输出	数据总线,位(bit)3
74	TIME MARK	输出	秒脉冲输出
75	RTCINT	输入	实时时钟中断输入
76	MARKFB1	输入	时间标志驱动器反馈
77	MARKFB2	输入	时间标志驱动器反馈
78	D4	输入/输出	数据总线,位(bit)4
79	D5	输入/输出	数据总线,位(bit)5
80	V _{DD}	+	电源正端
81	V _{SS}	—	地
82	D6	输入/输出	数据总线,位(bit)6
83	D7	输入/输出	数据总线,位(bit)7
84	WPROG	输入	总线时序模式

85	NANDA	输入	测试结构
86	NANDB	输入	测试结构
87	TDO	输出	边界扫描输出
88	TCK	输入	边界扫描时钟
89	TRST	输入	边界扫描复位

(续)

引脚	符号	I/O 类型	功能
90	NANDOP	输出	测试结构
91	TMS	输入	边界扫描控制
92	TDI	输入	边界扫描输入
93	MARKFB3	输入	时间标志驱动器反馈
94	TDO7	输出	串行测试数据输出 7
95	DISCOP	输出	GP1010 对于低噪声放大器(LNA)的开/关
96	TDO6	输出	串行测试数据输出 6
97	TDO5	输出	串行测试数据输出 5
98	D8	输入/输出	数据总线,位(bit)8
99	D9	输入/输出	数据总线,位(bit)9
100	V _{SS}	—	地
101	V _{DD}	+	电源正端
102	D10	输入/输出	数据总线,位(bit)10
103	D11	输入/输出	数据总线,位(bit)11
104	TDO4	输出	串行测试数据输出 4
105	TDO3	输出	串行测试数据输出 3
106	TDO2	输出	串行测试数据输出 2
107	TDO1	输出	串行测试数据输出 1
108	D12	输入/输出	数据总线,位(bit)12
109	D13	输入/输出	数据总线,位(bit)13
110	V _{DD}	+	电源正端
111	V _{SS}	—	地
112	D14	输入/输出	数据总线,位(bit)14
113	D15	输入/输出	数据总线,位(bit)15
114	ALE	输入	地址锁存使能,总线控制
115	A1	输入	寄存器地址,位(bit)1(LSB)
116	A2	输入	寄存器地址,位(bit)2
117	A3	输入	寄存器地址,位(bit)3
118	A4	输入	寄存器地址,位(bit)4
119	A5	输入	寄存器地址,位(bit)5
120	A6	输入	寄存器地址,位(bit)6

6.1.4 GP1020 内部结构与工作原理

GP1020 的内部结构方框图如图 6-2 所示,芯片内部有:输入选择器(INPUT SELECTOR (DUAL 11 TO 7 MUX))、时基发生器(TIMEBASE GENERATOR)、时钟发生器(CLOCK GENERATOR)、通道 1~6 跟踪模块(TRACKING MODULE CHANNEL 1~6)、状态寄存器(STATUS REGISTER)、自测试发生器(SELF TEST GENERATOR)、位接口(BITE INTERFACE)、状态检查(STATISTICS CHECK)等功能模块。

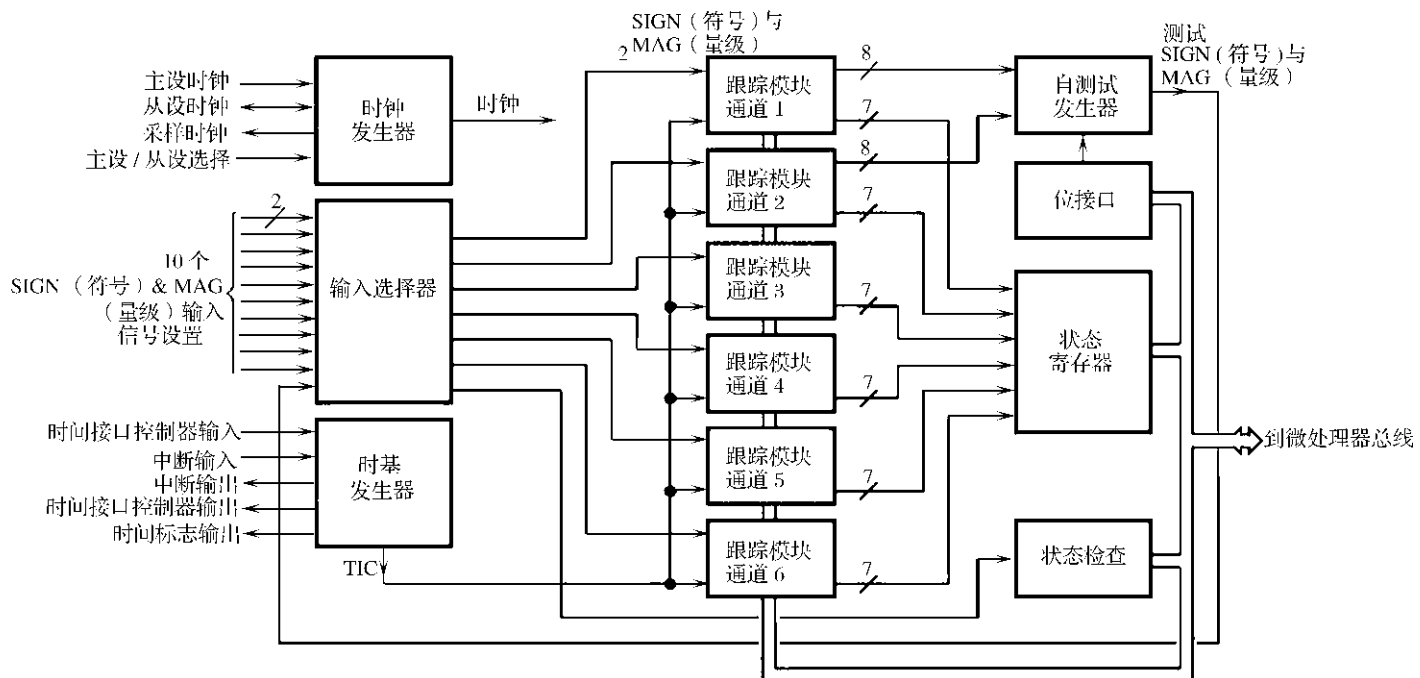


图 6-2 GP1020 的内部结构方框图

1. 时钟发生器(CLOCK GENERATOR)

时钟发生器模块产生各种在 GP1020 中所需要的时钟信号。时钟发生器模块可以作为主设或从设使用。当它作为主设工作时,时钟发生器模块是由前端芯片 GP1010 提供的 40MHz 时钟驱动,为从设器件提供一个 20MHz 的输出(SLAVE CLK 引脚);当 GP1020 作为从设工作时,时钟发生器模块由来自主设器件的 20MHz 的时钟驱动(SLAVE CLK 引脚)。在主设模式时,40MHz 的时钟信号在计数器中被分频形成 7 个时钟相位来控制数据流;在从设模式时,为了获得相同的时序,双 20MHz 分频器使用两个独立的高低相位,来获得 40MHz 时钟的定时效果。

当在主设模式时,这 7 个相位也用来产生一个 $40\text{MHz} \div 7 = 5.71\text{MHz}$ 的采样时钟,通过引脚 SAMP CLK 输出,作为 GP1010 的数据采样时钟。100/219kHz 输出用来作为微处理器的可编程中断时钟。

2. 时基发生器(TIMEBASE GENERATOR)

时基发生器产生一个 $505.05\mu\text{s}$ 中断时基输出(INT OUT 引脚);一个周期可被选择为 100ms 或 9.09ms 的 TIC OUT 信号输出;一个周期为 1s 的 TIME MARK 信号输出。TIC 主要用于锁存在同一时刻所有 6 个信道的测量数据(时间计数、代码相位、代码 DCO(Digitally-Controlled Oscillator)相位和集成载波相位(DCO 相位和周期计数))。

3. 位接口(BITE INTERFACE)

位接口模块包括一个允许控制整个芯片内置测试功能的寄存器。另外,这个寄存器允许处理器读各输入引脚的状态,像 PLLLOCKIN 连接到 GP1010 的状态输出,也可以设置 BITE CNTL 和 DISCOP 输出引脚的状态。这些可以轮流进行,例如,用于分别驱动 GP1010 BITE 输入引脚和低噪声放大器(LNA)电源开/关选择引脚。

4. 状态寄存器(STATUS REGISTERS)

状态寄存器模块包括一个描述由每一个信道提供的累加和测量数据状态寄存器。

5. 信号选择模块(SIGNAL SELECTION BLOCK)

信号选择模块包括一个多路复用器,能够被编程来引导 10 个输入源中的任何一个输入到 6 个跟踪信道中的任何一个。在 GLONASS 系统中需要这个功能,使用频分多路和独立的本振来接收每个卫星的信号,引导到各自的中频滤波器信道。在 GPS 中,使用一个码分多路输入选择器允许使用多路天线,以克服不完美的天空能见度问题。

对于 SIGN 输入,LOW = -, HIGH = +;对于 MAG 输入,LOW = +, HIGH = -。

6. 跟踪模块(TRACKING MODULE BLOCKS)

6 个跟踪模块功能是完全相同的,用 CH_x 表示 CH1、CH2、CH3、CH4、CH5 或 CH6 输入或寄存器中的任何一个。跟踪模块的结构如图 6-3 所示。

(1) 载波 DCO(CARRIER DCO)。载波 DCO 是一个累加器,可以在一个恒定值或者是一个可编程的增量值下执行加法。它用来合成数字本振信号,在混频模块中把需要的输入信号加到基带中,并可调整到偏离标称值的多普勒漂移和晶体振荡器频率误差。输出的标称频率为 1.405396825MHz,由装载到 26 位的 CH_x_CARR_INCR 寄存器的数据 01F7B1B_{9H} 设置,寄存器是可编程的,分辨率 42.57475mHz。好的分辨率可保持 DCO 与卫星信号同相。

(2) 代码 DCO(CODE DCO)。代码 DCO 模块有一个与载波 DCO 模块相似的结构,用来合成一个在码片速率和相位合适的、驱动代码发生器的振荡器信号。输出的标称频率为 2.046MHz,提供一个 1.023MHz 的码片速率,由装载到 25 位 CH_x_CODE_INCR 寄存器的时间 016EA4A_{8H} 来设置,寄存器是可编程的,具有 85.14949mHz 的分辨率。好的分辨率可

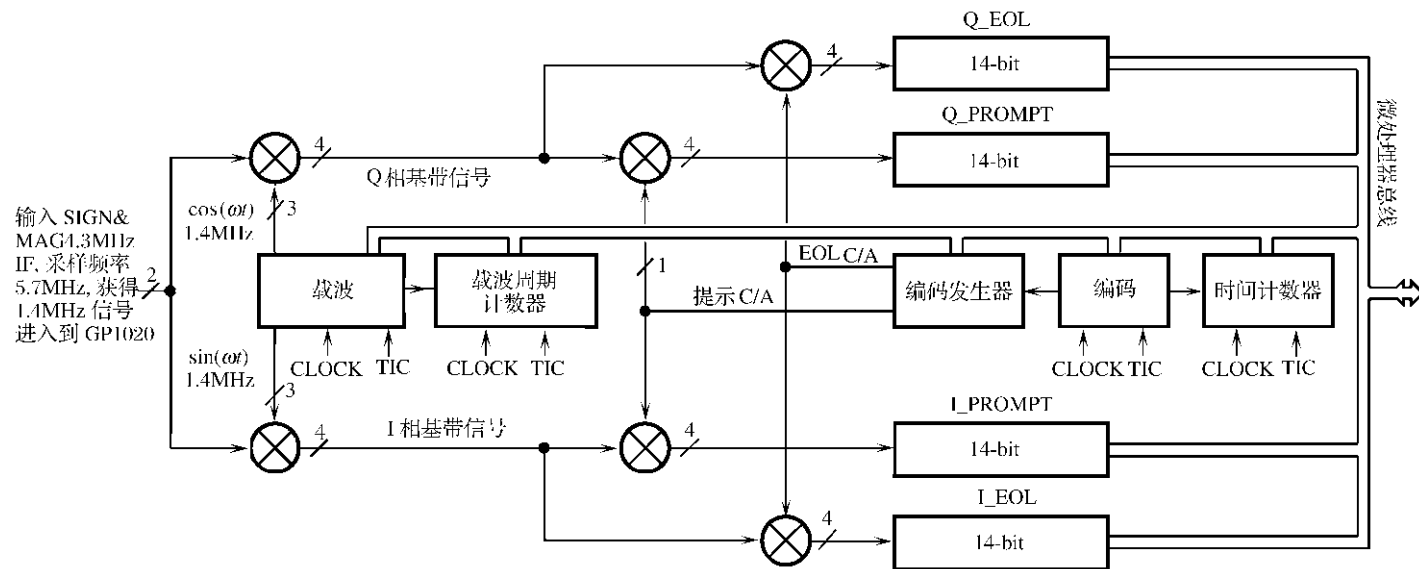


图 6-3 跟踪模块方框图

保持 DCO 与卫星信号同相。

(3) 代码发生器(CODE GENERATOR)。它产生被处理器选择的 GPS 金码(GPS Gold code), 或 GLONASS 码, 或 8 个 INMARSAT(International Maritime Satellite Organization——国际海事卫星组织)码。双发生器用来产生一个即时模式和一个用于跟踪的超前、滞后或超前减滞后模式。在每个代码序列的最后产生一个信号 DUMP 来锁存独立用于每个信道的累加数据。

(4) 混频器和相关器(MIXER AND CORRELATOR)。混频器和相关器首先将数字化输入信号和载波 DCO 数字本振混频产生一个基带信号, 然后使用代码发生器输出去相关数据流。模块包括同相和正交信道。

7. 寄存器(REGISTER)

GP1020 内部寄存器使用 8 位地址(A1~A8), 寄存器的地址与功能如表 6-3 所列。

表 6-3 寄存器的地址与功能

地址范围(Hex)	寄存器功能
00~07	访问跟踪通道 1 的控制寄存器
10~17	访问跟踪通道 2 的控制寄存器
20~27	访问跟踪通道 3 的控制寄存器
30~37	访问跟踪通道 4 的控制寄存器
40~47	访问跟踪通道 5 的控制寄存器
50~57	访问跟踪通道 6 的控制寄存器
70~77	写操作, 访问所有的跟踪通道寄存器, 相同的数据写在这些寄存器中
80~83	访问积累数据和测量数据状态
84~9B	访问 I 相和 Q 相累积数据寄存器和所有通道的状态位复位(Status Bit Reset, SBR)命令
9C, 9D	使用单写操作访问所有通道的状态位复位(Status Bit Reset, SBR)命令
A0~B7	访问所有通道的测量数据寄存器
BC~BF	写操作。访问所有通道的测量数据寄存器, 相同的数据写在这些寄存器中
C0~C8	访问 BITE 接口, TIME_BASE_GEN 和 RESET_CNTRL 信号选择和测试寄存器

6.1.5 GP1020 电路应用

1. 典型的 GPS 接收机(TYPICAL GPS RECEIVER)

典型 GPS 接收机电路如图 6-4 所示, 所有的卫星使用相同的频率, 即 L1(1575.42MHz), 但有不同的金码(Gold code), 因此可以使用一个射频前端。为了达到更好的天空覆盖效果, 它可以使用不止一个的天线, 因此需要使用各自的射频前端。

2. 典型的 GLONASS 接收机(TYPICAL GLONASS RECEIVER)

典型的 GLONASS 接收机电路如图 6-5 所示, 在 1602.5625MHz~1615.500MHz 频率范围内, 每个卫星使用一个不同的 L1 载波频率, 间隔为 0.5625MHz, 但都使用相同的 511 位扩展码。一般接收这些信号的方法是使用许多前端, 也可以公用第 1 级低噪声放大器(LNA)和混频器功能块, 但在后级电路一定需要使用不同的本振和混频器。

3. Motorola™ 或者 Intel™ 模式选择

MOT/INTEL、RW 和 WEN 引脚端的状态决定 GP1020 的工作模式, 如表 6-4 所列。

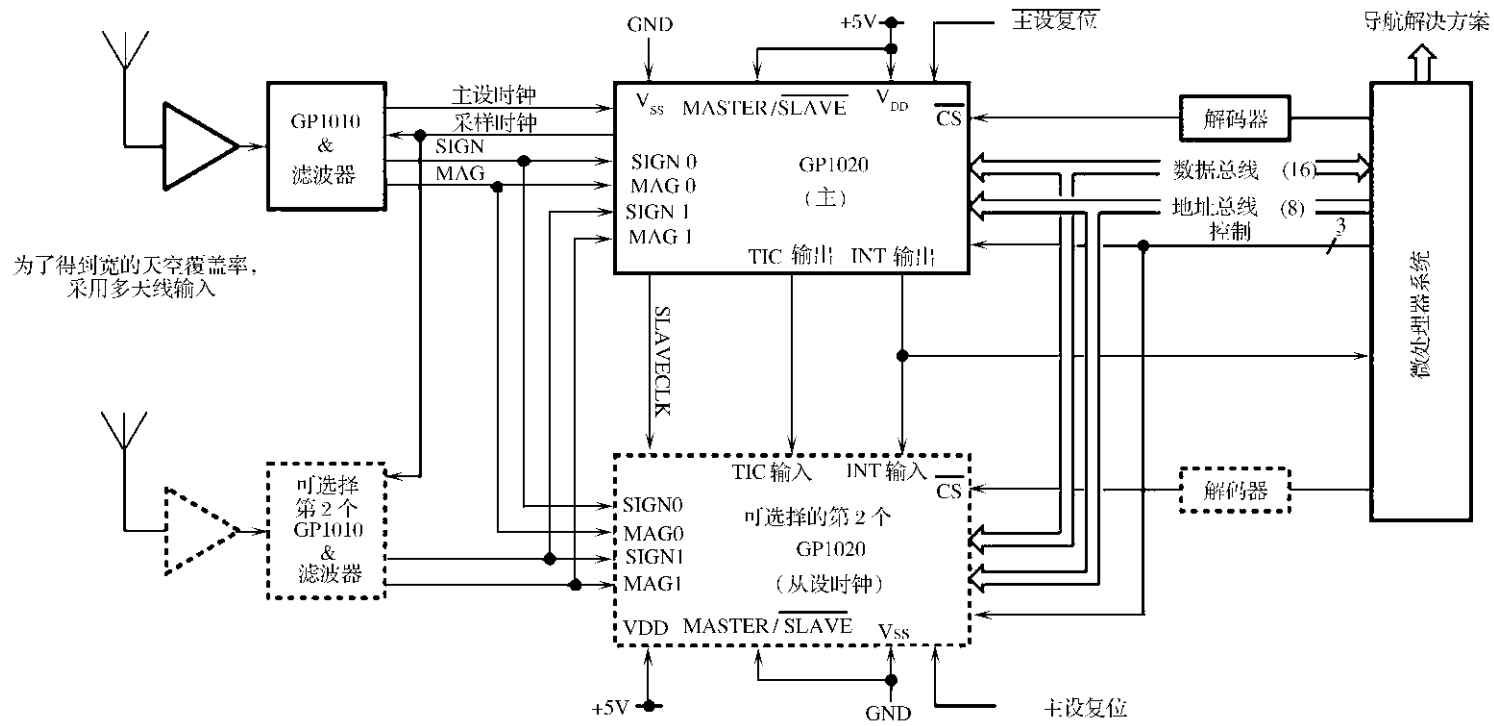


图 6-4 GPS 接收器简化模块图

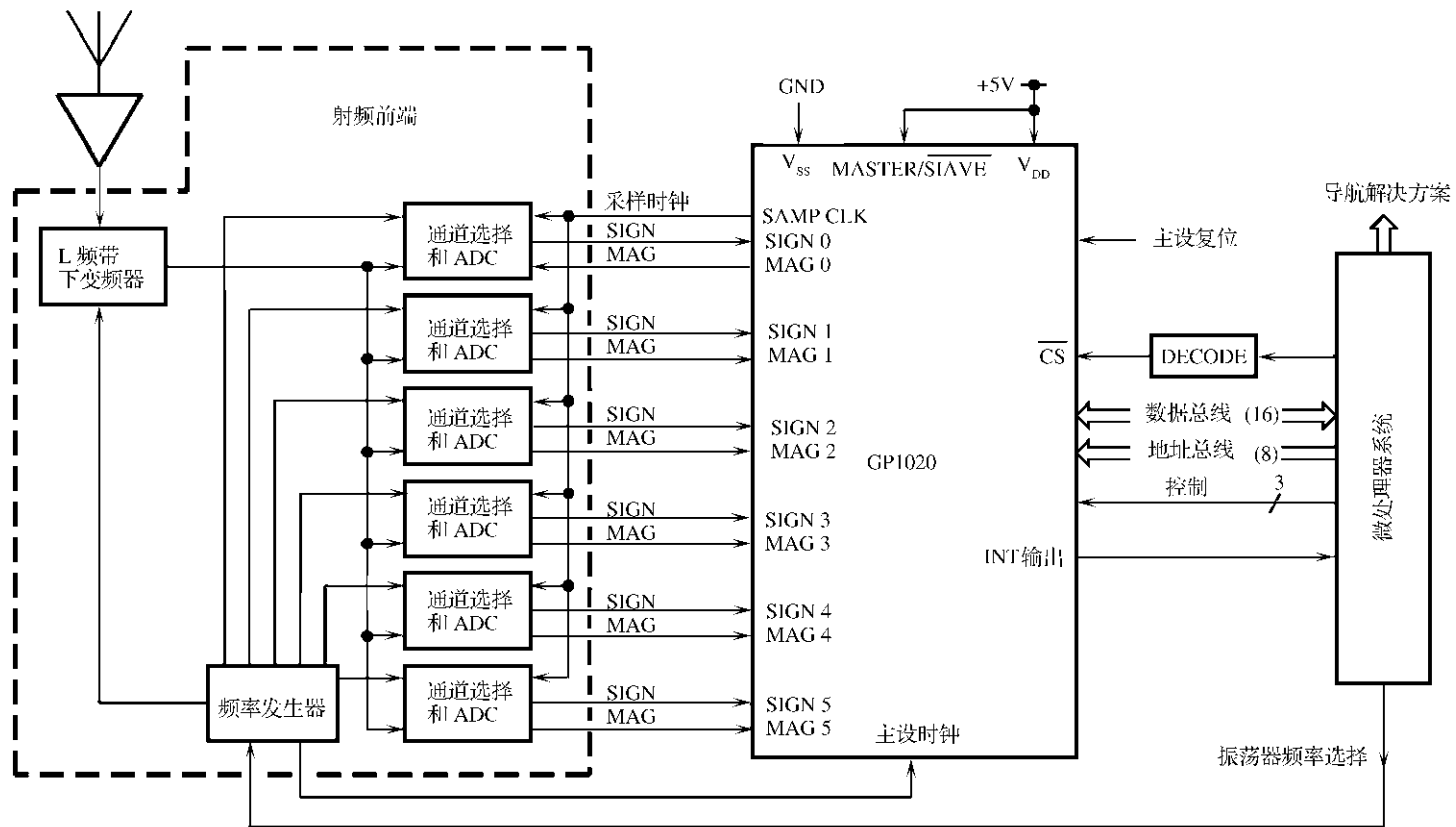


图 6-5 GLONASS 接收器简化模块图

MOT/INTEL='1'选择 Motorola™ 模式;MOT/INTEL='0'选择 Intel™ 模式。在 Motorola 模式, WEN 是使能信号,高电平有效;RW 是 Read/Write(读/写)选择('1'=Read)。在 Intel 模式,RW 是读,低电平有效;WEN 是写,低电平有效。

表 6-4 GP1020 的工作模式选择

MOT/INTEL	模式	WEN	RW	功能	MOT/INTEL	模式	WEN	RW	功能
1	Motorola	1	0	写	0	Intel	1	0	读
1	Motorola	1	1	读	0	Intel	0	1	写

4. GP1020 总线时序

GP1020 在 Motorola 模式和在 Intel 模式的总线时序图如图 6-6 至图 6-9 所示,时间参数如表 6-5 所列。

表 6-5 时序的时间参数

参 数	符 号	最小值	最大值	单 位
地址保持时间	t_{AHOLD}	10		ns
地址锁存允许(ALE)脉冲宽度	t_{ALEPW}	20		ns
ALE 有效到 WEN 或 RW 有效(WPROG=1)	$t_{ALESETUP}$	5		ns
ALE 有效到 WEN 或 RW 有效(WPROG=0)	t_{ALVWRV}	20		ns
地址有效到 ALE 低电平	t_{ASETUP}	20		ns
地址有效到 WEN 或 RW 有效	t_{AVWRV}	20		ns
CS 高电平到 ALE 有效	t_{CHALV}	10		ns
CS 低电平到 WEN 或 RW 有效	t_{CVWRV}	0		ns
数据保持时间	t_{DHOLD}	10		ns
数据建立时间	t_{DSETUP}	30		ns
RW 高电平到数据在高阻抗	t_{RHDZ}	10	25	ns
RW 有效到数据有效	$t_{RV DV}$	10	50	ns
RW 有效到 WEN 高电平	$t_{RWVWENH}$	15		ns
WEN 低电平到 RW 无效	$t_{WENLRWV}$	15		ns
写脉冲宽度	t_{WLWH}	30		ns
在 RW 或 WEN 无效之后,CS 的保持时间	t_{WRHCH}	0		ns

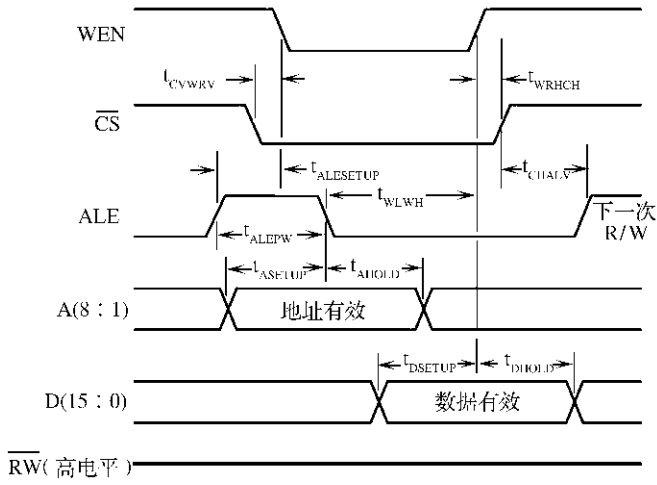


图 6-6 Intel 486 模式写操作

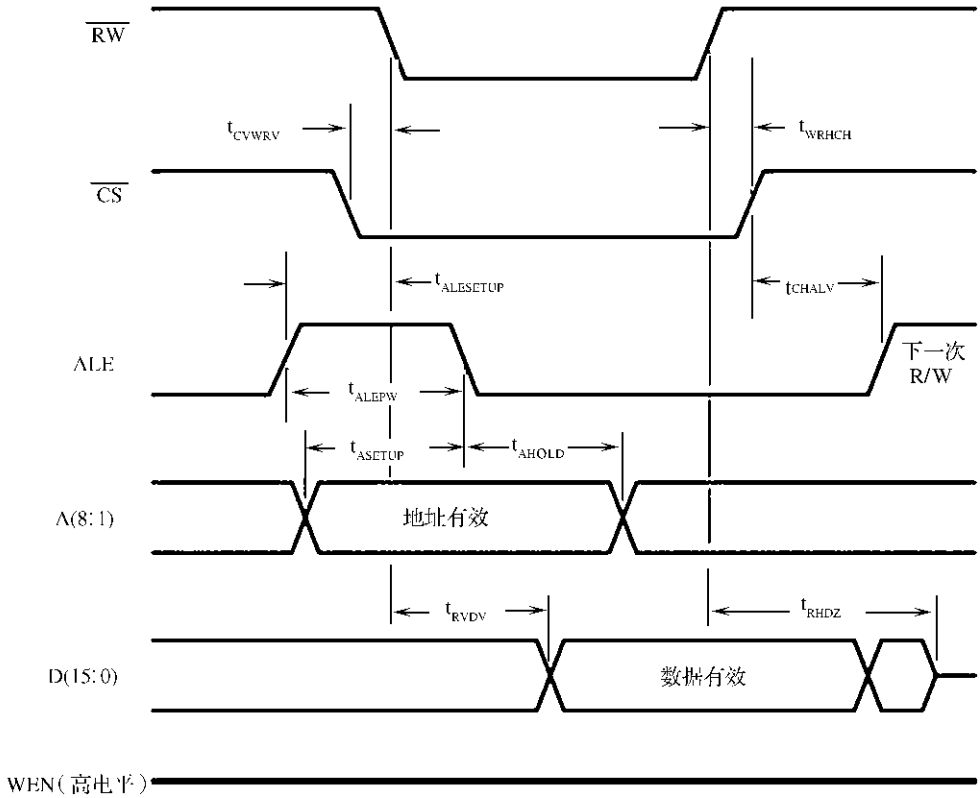


图 6-7 Intel486 模式读操作

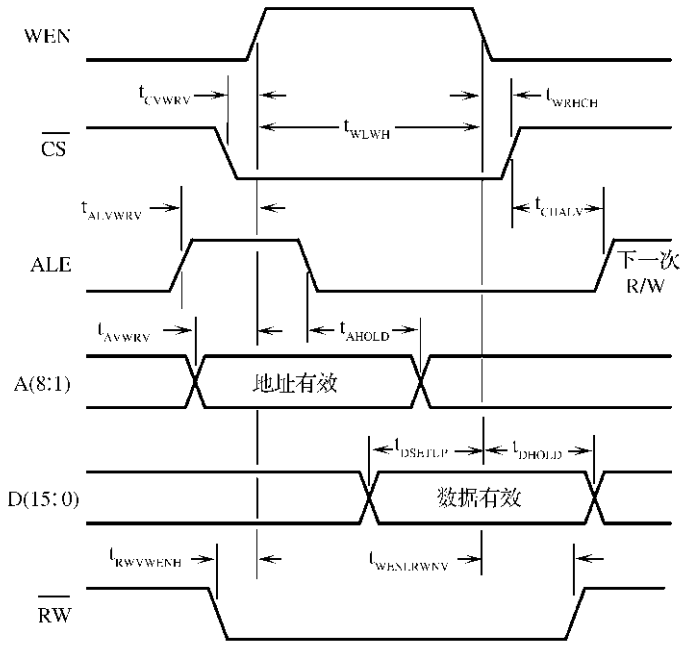


图 6-8 Motorola68×××模式写操作

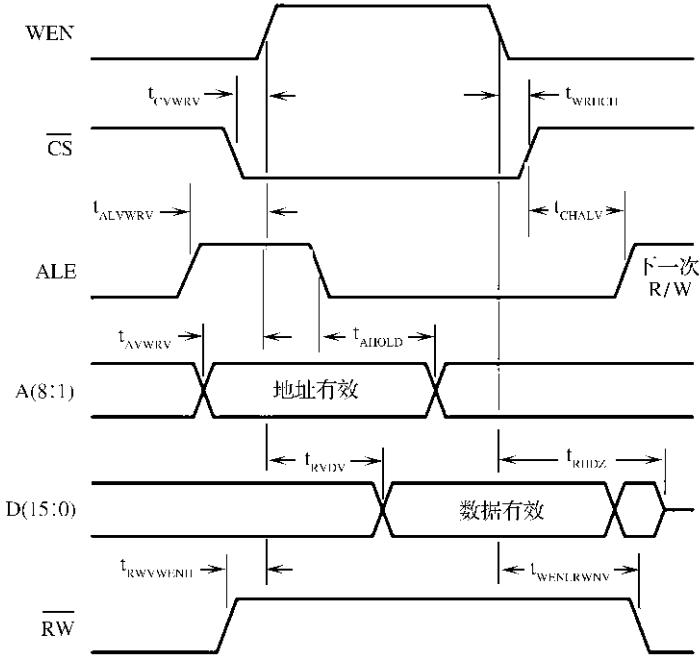


图 6-9 Motorola68×××模式读操作

5. 时钟信号

(1) 主时钟(MASTER CLK)。MASTER CLK 是一个 40MHz 的时钟,用来设置在一个 GPS 接收器中使用 GP1020 所有功能的时序。在一个多路 GP1020 系统中,只有主设器件需要这个时钟,而且它可以以两种方式连接,取决于信号电平。如果时钟是一个 TTL 信号,可直接连接到 MASTER CLK 输入端,BIAS 输出引脚悬空。另一个选择是一个交流耦合

600mV 峰峰值信号, BIAS 的输出用来设置在图 6-10 中的 MASTER CLK 引脚的直流电压。在从设 GP1020 上的 MASTER CLK 引脚端不使用时, 必须连接到 V_{DD} 或 V_{SS} 。

(2) 从设时钟(SLAVE CLK), 从设时钟频率为 20MHz, 占空比为 1 : 1。由主设 GP1020 输出, 输入到从设器件。使用一个由 MASTER/SLAVE 控制的双向缓存器。当主设芯片被复位时, 这个信号保持低电平, 在 MASTERRESET 被释放后 200ns 之内开始触发。

(3) 采样时钟 (SAMP CLK)。当芯片在主设模式时输出为 $40\text{MHz} \div 7 = 5.7142857\text{MHz}$; 占空比是 1 : 1。当 MASTERRESET 有效而且在从模式时, 这个信号保持低电平。

6.1.6 GP1020 封装尺寸

GP1020 采用 120L MQFP 封装, 封装尺寸如图 6-11 所示。

符 号	最小值/mm	最大值/mm	最小值/英寸	最大值/英寸
A	—	4.10	—	0.161
A1	0.25	0.50	0.010	0.020
A2	3.20	3.60	0.126	0.142
D	31.20	BSC	1.228	BSC
D1	28.00	BSC	1.102	BSC
E	31.20	BSC	1.228	BSC
E1	28.00	BSC	1.102	BSC
L	0.73	1.03	0.029	0.041
e	0.80	BSC	0.031	BSC
b	0.29	0.45	0.011	0.018
c	0.11	0.23	0.004	0.009

图 6-11 GP1020 封装

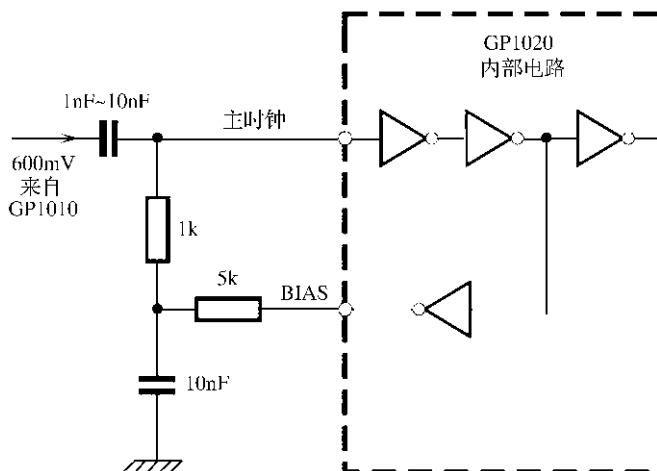
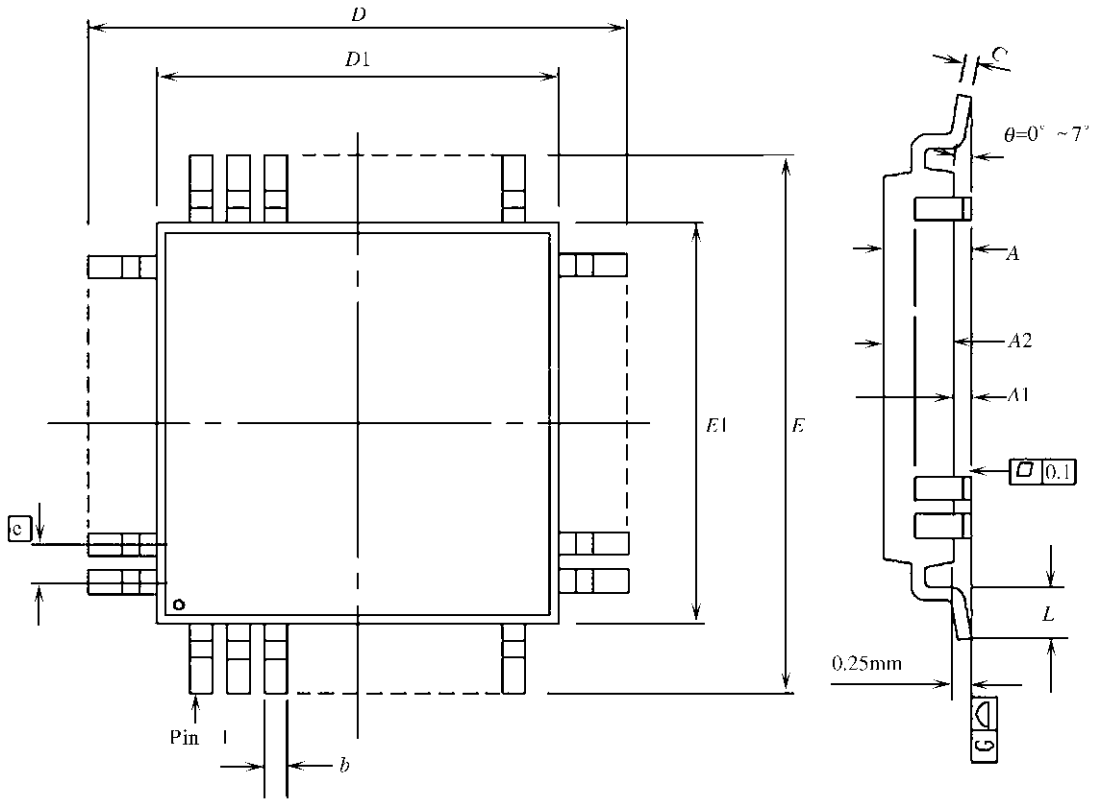


图 6-10 主设时钟交流耦合的偏置电路



6.2 基于 GP2021 的 GPS12 信道相关器电路

6.2.1 GP2021 简介

GP2021 是一个 12 信道的 C/A 码基带相关器,在 NAVSTAR GPS 卫星导航接收机中应用。可以与 GP2015 和 GP2010 C/A 码射频下变频器组合使用。GP2021 可以与大多数的 16 bit 和 32 bit 微处理器组合使用,尤其适合 Motorola 和 Intel 的微处理器。另外,片上支持 ARM60 32 bit RISC 微处理器。当使用 ARM60 32 bit RISC 微处理器时,片上的存储器支持所有的 GPS 接收机功能。在不需要 12 个通道工作时,GP2021 允许 12 个通道中的任一个不工作,以降低功耗和减少微处理器的负载。在备用电池模式,GP2021 允许所有的功能不使能,仅 32.768kHz 振荡器和实时时钟(Real Time Clock,RTC)维持工作。GP2021 具有 12 个独立的相关器信道,双 UART 和 RTC,电源电压 5V,功耗小于 150mW,备用电池电压 2.2V。采用 80L MQFP 封装,封装尺寸 $14mm \times 14mm \times 2.0mm$,适合 GPS 导航接收机、GPS 测量接收机、GPS 时间传递接收机等应用。

6.2.2 GP2021 主要性能指标

GP2021 的主要性能指标如表 6-6 所列。

表 6-6 GP2021 主要性能指标

(条件:电源电压 $V_{DD}=(5\pm 10\%)V$;周围环境温度 $T_{AMB}=0\sim+70^{\circ}C$ (CG级), $-40^{\circ}C\sim+85^{\circ}C$ (IG级))

参 数	最小值	典型值	最大值	单 位	条 件
电源电压		5		V	
备用电池电压		2.2		V	
电源电流 I_{DD}					
12 个通道有效		38		mA	
8 个通道有效		32		mA	
4 个通道有效		27		mA	
没有通道有效		22		mA	
低功耗模式		20	500	μA	$V_{DD}=2.2V\sim 5.0V$
施密特触发器输入(ST1,ST2)					
正阈值电压 V_{T1}		1.9	2.3	V	$V_{DD}=3V$
负阈值电压 V_{T2}	0.8	1.2		V	$V_{DD}=3V$
滞后电压 V_H	0.35	0.62		V	$V_{DD}=3V$

(续)

参 数	最小值	典型值	最大值	单 位	条 件
主时钟输入引脚(CLK-T,CLK-I)					
输入高电平电压	$0.8V_{DD}$			V	直流耦合
输入低电平电压			$0.2V_{DD}$	V	直流耦合
差分正弦波电压	130			mV	直流耦合
单端正弦波电压	600			mV	交流耦合
晶体振荡器引脚(XTLO,XTLI)					
频率范围 f_{OSC}		32	1000	kHz	
输出阻抗 Z_O	20	50	100	k Ω	
晶 振 特 性					
频率		32.768		kHz	
串联电阻		50	100	k Ω	
负载电容		10		pF	
输出引脚(OP6 和 OPT6, OP3 和 OPT3, OP2 和 OPT2, OP1 和 OPT1)					

输出高电平电压	$0.8V_{DD}$			V	
输出低电平电压			0.4	V	
输出电容		5		pF	

6.2.3 GP2021 引脚功能

GP2021 的引脚封装形式如图 6-12 所示,引脚端功能如表 6-7 所列。

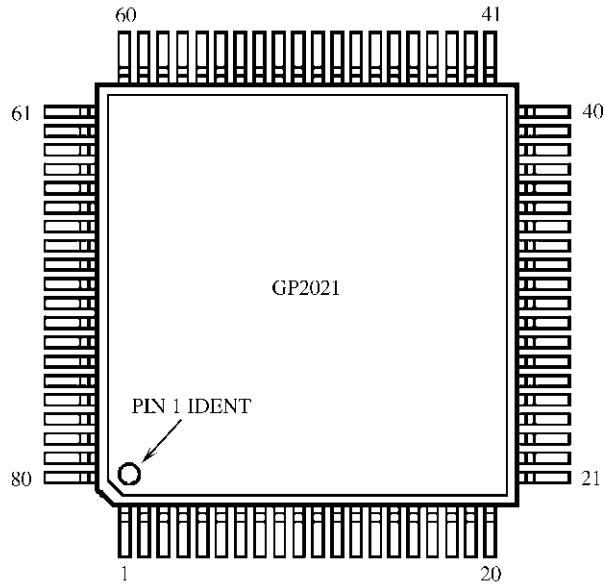


图 6-12 GP2021 的引脚封装形式
表 6-7 GP2021 引脚功能

引脚	符号	I/O 类型	功能
1	MULTI_FN_IO	I/O	多功能输入/输出引脚,用来配置 IO-CONFIG 寄存器。在 GP2021 复位后,做为数字系统测试使能输入
2	POWER_GOOD	I	电源监视器输入,高电平为标准工作模式,低电平为低功耗模式
3	NRESET_OP	O	系统复位输出,低电平有效
4	NARMSYS	ST2	处理器模式选择输入,低电平选择 ARM 系统模式;高电平选择标准接口模式
5	XIN	I	晶体振荡器输入,连接到实时时钟
6	XOUT	O	晶体振荡器输出,来自实时时钟
7	TXA	O	双 UART 的 A 通道发射数据输出
8	TXB	O	双 UART 的 B 通道发射数据输出

9	RXA	I	双 UART 的 A 通道接收数据输入。在数字系统测试模式,这个引脚也作为主时钟输入
10	RXB	I	双 UART 的 B 通道接收数据输入。在数字系统测试模式,这个引脚也做为实时时钟输入
11	NROM/NC	O	ROM 片选输出,低电平有效
12	NEEPROM/NC	O	EEPROM 片选输出,低电平有效
13	NSPARE_CS/NC	O	备用片选输出,低电平有效
14	VDD	VDD	电源正端
15	VSS	VSS	地
16	NRAM/NC	O	RAM 片选输出,低电平有效
17	NW0/NCOP		字节 0 写选通输出,低电平有效
18	NW1/NCOP		字节 1 写选通输出,低电平有效
19	NW2/NCOP		字节 2 写选通输出,低电平有效
20	NW3/NCOP		字节 3 写选通输出,低电平有效
21	NRD/NCOP		读数据选通输出,低电平有效
22	ARM_ALE/NC	O	ALE 输出到微处理器,高电平有效
23	DBE/NC	O	数据总线使能输出到微处理器
24	ACCUM_INT	O	自由运行中断到微处理器。它控制在相关器中的累加器和微处理器之间的数据传输

(续)

引脚	符号	I/O 类型	功能
25	MEAS_INTOP		中断到微处理器。它控制在相关器和微处理器之间测量数据的传输
26	NBW/WRPROG	I	(1) 字节/字输入,来自微处理器。低电平表示字节传输;高电平表示字传输。 (2) 可编程读-写输入。在 Intel 模式,高电平选择 486 接口,低电平选择 186 格式。Motorola 模式不使用
27	NMREQ/DISCIP2	I	(1) 存储器请求输入,来自微处理器。低电平表示微处理器在下一个周期请求存储器访问。 (2) 多用途离散输入

28	NOPC/NINTEL-MOT	I	(1) 取操作码,来自微处理器。低电平表示取指令;高电平表示数据传输。 (2) 高电平选择 Motorola 模式,低电平选择 Intel 模式
29	NRW/DISCI3	I	(1) 读/写选择输入,来自微处理器。低电平表示读周期,高电平表示写周期。 (2) 多用途离散输入
30	MCLK/NC	O	微处理器时钟输出,20MHz
31	ABORT/MICRO_CLK	O	(1) 异常中断输出到微处理器。产生一个有效的 ARM 数据异常中断时序,被在 MULTI_FN_IO 引脚的信号上升沿触发。 (2) 20MHz 时钟输出,占空比 1:1
32	DISCIO I/O	ST2	多用途离散输入/输出。在 GP2021 复位后,可以配置为输入
33	A22/READ	I	(1) 地址输入,来自微处理器。 (2) 读输入,来自微处理器。在 Intel 模式,低电平读选通有效;在 Motorola 模式,读(高电平)/写(低电平)
34	VDD	VDD	电源正端
35	VSS	VSS	地
36	A21/NCS	TTL/ST2	(1) 地址输入,来自微处理器。 (2) GP2021 片选输入,低电平有效
37	A20/WREN	I	(1) 地址输入,来自微处理器。 (2) 写—读选通输入,来自微处理器。在 Intel 模式,低电平写选通有效;在 Motorola 模式,高电平有效,写—读选通
38~45	A9~A2	I	地址总线,来自微处理器

(续)

引脚	符号	I/O 类型	功能
46	A1/ALE_IP	I	(1) 地址总线,来自微处理器。 (2) 地址锁存使能输入,来自微处理器,高电平有效
47	A0/NRESET_IP	I	(1) 地址总线,来自微处理器。 (2) 复位输入,低电平有效
48~54	D0~D6	I/O	双向数据总线
55	VDD	VDD	电源正端
56	VSS	VSS	地
57~65	D7~D15	I/O	双向数据总线

66	PLL_LOCK	I	PLL 锁定指示器输入,来自 RF 部分。高电平表示在 RF 部分 PLL 被锁定
67	VDD	VDD	电源正端
68	DISCOP	O	多用途离散输出
69	VSS	VSS	地
70	CLK_T	I	主时钟输入,40MHz
71	CLK_I	I	反向主时钟输入
72	VSS	VSS	地
73	SAMPCLK	O	采样时钟输出,到射频前端。提供 5.714MHz 时钟,占空比 4 : 3
74	VDD	VDD	电源正端
75	NBRAM/DISCIP4	I	(1) 电池备用 RAM 选择输入。 (2) 多用途离散输入
76	SIGN0	I	SIGN0 输入,来自射频部分
77	MAG0	I	MAG0 输入,来自射频部分
78	SIGN1	I	SIGN1 输入,来自射频部分
79	MAG1	I	MAG1 输入,来自射频部分
80	DISCIP1	I	多用途离散输入

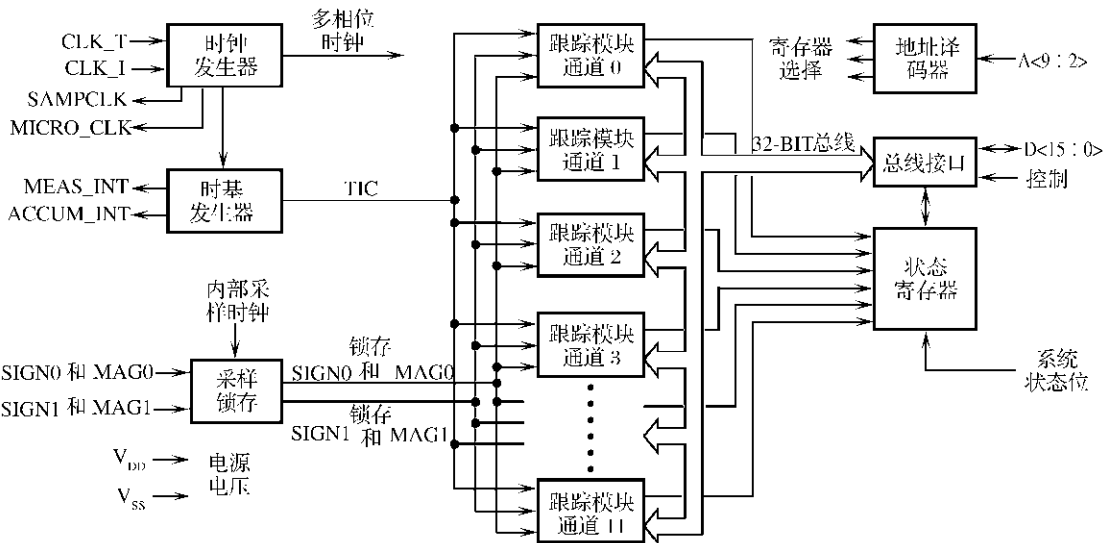


图 6-13 GP2021 的内部结构方框图

6.2.4 GP2021 内部结构与工作原理

GP2021 的内部结构方框图如图 6-13 所示,芯片内部包含有:时基发生器(TIMEBASE GENERATOR)、时钟发生器(CLOCK GENERATOR)、通道 1~12 跟踪模块(TRACKING MODULE CHANNEL 1~12)、状态寄存器(STATUS REGISTER)、采样锁存(SAMPLE LATCH)、总线接口(BUS INTERFACE)、地址译码器(ADDRESS DECODER)等功能模块。

1. 时基发生器(TIMEBASE GENERATOR)

时基发生器产生 4 个重要的定时信号:ACCUM_INT、TIC、MEAS_INT 和 TIME-MARK。

ACCUM_INT 是一个中断控制信号,控制在相关器的累加器与微处理器之间的数据传输。它可以根据 ACCUM_INT 的输出被检测,或者读 ACCUM_STATUS_A 寄存器的 bit 15。读 ACCUM_STATUS_A 将清除 ACCUM_INT。

TIC 是一个内部信号,默认周期是 $99999.90\mu\text{s}$ 。TIC 用来同时锁存 12 个通道的测量数据(时间计数、代码相位、代码 DCO 相位、载波 DCO 相位和载波周期计数)。TIC 的周期可以提供写 PROG_TIC_HIGH 和 PROG_TIC_LOW 寄存器,或者 SYSTEM_SETUP 的 FRONT_END_MODE 位而改变。读 ACCUM_STATUS_B 或者 MEAS_STATUS_A 寄存器后,MEAS_INT 被清除,与 SYSTEM_SETUP 的 MEAS_INT_SOURCE 位有关。

TIMEMARK 也是一个由 TIC 驱动的信号,可以在离散输出引脚的任一个引脚端输出。TIMEMARK 可作为 1PPS 时间基准。

MEAS_INT 是一个由 TIC 计数器驱动的信号。它可以被用来做为位处理器的软件模式转换中断,或者作为 MEAS_INT 输出,或者读 ACCUM_STATUS_B,或者读 MEAS_STATUS_A 寄存器。

2. 时钟发生器(CLOCK GENERATOR)

时钟发生器模块分频主时钟 CLK_T/CLK_I,产生在 GP2021 中所需要的各种时钟信号。

当在“真输入”模式(Real_Input mode),CLK_T/CLK_I 通常是 40MHz。当在“综合输入”模式(Complex_Input mode),CLK_T/CLK_I 通常是 35MHz。在“真输入”模式,SAMPCLK 引脚的输出是 5.714MHz 时钟信号,占空比是 4:3。

时钟发生器也产生一个 MICRO_CLK 时钟信号,MICRO_CLK 时钟信号是主时钟信号的一半(在“真输入”模式是 20 MHz,在“综合输入”模式是 17.5 MHz),占空比是 1:1。在标准接口模式,这个信号在 MICRO_CLK 引脚输出。在 ARM 系统模式,MICRO_CLK 时钟信号主要做为存储器同步控制逻辑的同步信号。

3. 状态寄存器 (STATUS REGISTERS)

有 4 个状态寄存器: ACCUM_STATUS_A、ACCUM_STATUS_B、ACCUM_STATUS_C 和 MEAS_STATUS_A。状态寄存器保存 12 个通道的每一个信道的累加和测量数据,一些系统状态也保存在状态寄存器中。

4. 采样锁存 (Sample Latches)

利用内部的 SAMPCLK 作为采样锁存,同步来自射频前端的数据。

在“真输入”模式,下变频的卫星信号在射频前端输出能够被 SAMPCLK 采样,然后这个数据输入到 GP2021 的 SIGN0、MAG0,或者 SIGN1、MAG1 输入端。这些信号是分布在 12 个跟踪模块。当使用 GP2015 或 GP2010 射频前端,数据包含在 4.309MHz 信号中,采样时钟是 5.714MHz,形成 1.405MHz 的中频。

在“综合输入”模式,下变频的卫星信号直接加在 GP2021 的 SIGN0、MAG0、SIGN1 和 MAG1 输入端,作为 I 相符号和量级。Q 相符号和量级。这些信号在相关器中由 5.833MHz 时钟频率采样后,传送到跟踪模块。

5. 地址译码器 (Address Decoder)

地址译码器完成相关器的地址译码。

6. 总线接口 (Bus Interface)

总线接口控制在外部 16bit 数据总线和内部 32bit 数据总线之间的数据传输。

7. 跟踪模块 (TRACKING MODULE BLOCKS)

12 个跟踪模块功能是完全相同的,用 CH_x 表示 CH₀~CH₁₁。跟踪模块的结构如图 6-14 所

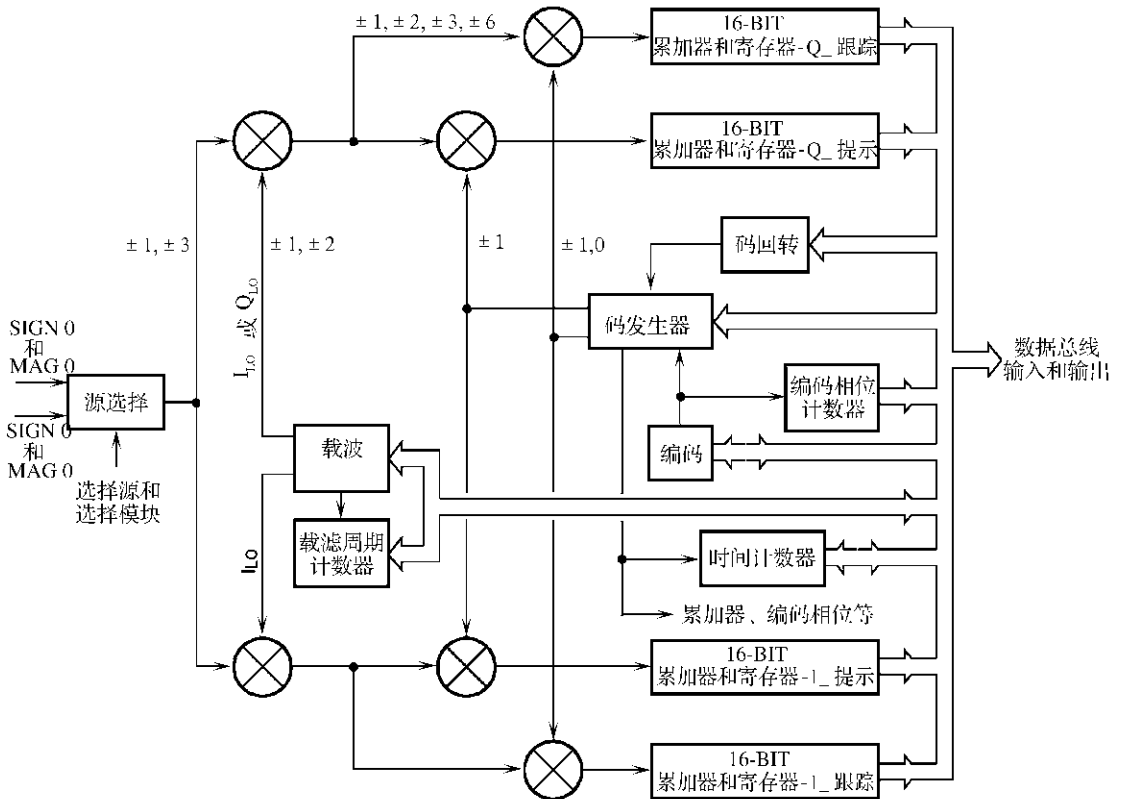


图 6-14 跟踪模块方框图

示。

(1) 载波 DCO(CARRIER DCO)。载波 DCO 是一个累加器,可以在一个恒定值或者是一个可编程的增量值下执行加法。它用来合成数字本振信号,在混频模块中把需要的输入信号加到基带中,并可调整到偏离标称值的多普勒漂移和晶体振荡器频率误差。输出的标称频率为 1.405396825MHz,由装载到 26 位的 CHx_CARRIER_DCO_INCR 寄存器的数据设置,寄存器是可编程的,分辨率 42.57475mHz。好的分辨率可保持 DCO 与卫星信号同相。

(2) 代码 DCO(CODE DCO)。代码 DCO 模块有一个与载波 DCO 模块相似的结构,用来合成一个在码片速率和相位合适的、驱动代码发生器的振荡器信号。输出的标称频率为 2.046MHz,提供一个 1.023MHz 的码片速率,由装载到 25 位 CHx_CODE_DCO_INCR 寄存器的数据来设置,寄存器是可编程的,具有 85.14949mHz 的分辨率。好的分辨率可保持 DCO 与卫星信号同相。

(3) C/A 代码发生器(C/A CODE GENERATOR)。这产生被处理器选择的 GPS 金码(GPS Gold code),或 GLONASS 码,或 8 个 INMARSAT(International Maritime Satellite Organization——国际海事卫星组织)码。双发生器用来产生一个即时模式和一个用于跟踪的超前、滞后或超前减滞后模式。在每个代码序列的最后产生一个信号 DUMP 用来锁存独立用于每个信道的累加数据。

(4) 混频器和相关器(MIXER AND CORRELATOR)。混频器和相关器首先将数字化输入信号和载波 DCO 数字本振混频产生一个基带信号,然后使用代码发生器输出去相关数据流。模块包括 I 相和 Q 相信道。

8. 寄存器(REGISTER)

GP2021 内部寄存器的地址与功能如表 6-8 所列。地址 A0 和 A1 没有使用,具有其他功能。ARM 模式和标准模式地址不同。

表 6-8 寄存器的地址与功能

寄存器功能块	地址(Hex)			寄存器
	ARM 系统模式		标准接口模式	
	A<22:20>	A<9:0>	A<9:2>	
相关器控制	2	000~01C	00~07	CH0 控制寄存器
相关器控制	2	020~03C	08~0F	CH1 控制寄存器
相关器控制	2	040~05C	10~17	CH2 控制寄存器
相关器控制	2	060~07C	18~1F	CH3 控制寄存器
相关器控制	2	080~09C	20~27	CH4 控制寄存器
相关器控制	2	0A0~0BC	28~2F	CH5 控制寄存器
相关器控制	2	0C0~0DC	30~37	CH6 控制寄存器
相关器控制	2	0E0~0FC	38~3F	CH7 控制寄存器
相关器控制	2	100~11C	40~47	CH8 控制寄存器

相关器控制	2	120~13C	48~4F	CH9 控制寄存器
-------	---	---------	-------	-----------

(续)

寄存器功能块	地址 (Hex)			寄存器
	ARM 系统模式		标准接口模式	
	A<22 : 20>	A<9 : 0>	A<9 : 2>	
相关器控制	2	140~15C	50~57	CH10 控制寄存器
相关器控制	2	160~05C	58~5F	CH11 控制寄存器
相关器控制	2	180~19C	60~67	MULTI 控制寄存器
	2	1A4	69	X_DCO_INCR_HIGH
	2	1AC	6B	PROG_ACCUM_INT
	2	1B4	6D	PROG_TIC_HIGH
相关器控制	2	1BC	6F	PROG_TIC_LOW
	2	1C0~1DC	70~77	ALL 控制寄存器
	2	1EC	7B	TIMEMARK_CONTROL
	2	1F0	7C	TEST_CONTROL
	2	1F4	7D	MULTI_CHANNEL_SELECT
	2	1F8	7E	SYSTEM_SETUP
	2	1FC	7F	RESET_CONTROL
	2	200~20C	80~83	状态寄存器
累积寄存器	2	210~21C	84~87	CH0 累积寄存器
累积寄存器	2	220~22C	88~8B	CH1 累积寄存器
累积寄存器	2	230~23C	8C~8F	CH2 累积寄存器
累积寄存器	2	240~24C	90~93	CH3 累积寄存器
累积寄存器	2	260~26C	98~9B	CH5 累积寄存器
累积寄存器	2	270~27C	9C~9F	CH6 累积寄存器
累积寄存器	2	280~28C	A0~A3	CH7 累积寄存器
累积寄存器	2	290~29C	A4~A7	CH8 累积寄存器
累积寄存器	2	2A0~2AC	A8~AB	CH9 累积寄存器
累积寄存器	2	2B0~2BC	AC~AF	CH10 累积寄存器
累积寄存器	2	2C0~2CC	B0~B3	CH11 累积寄存器

累积寄存器	2	2D0~2DC	B4~B7	MULTI 累积寄存器
累积寄存器	2	2E0~2EC	B8~BB	ALL 累积寄存器

(续)

寄存器功能块	地址 (Hex)			寄存器
	ARM 系统模式		标准接口模式	
	A<22:20>	A<9:0>	A<9:2>	
实时时钟	3	000	C0	RTC_LS
	3	004	C1	RTC_2ND
	3	008	C2	RTC_MS
	3	00C	C3	CLOCK_RESET
	3	010	C4	WATCHDOG_RESET
双 UART	3	040	D0	TX_DATA_A, RX_DATA_A
	3	044	D1	TX_DATA_B, RX_DATA_B
	3	048	D2	CONFIG_A, STATUS_A
	3	04C	D3	CONFIG B, STATUS_B
	3	050	D4	CH10 控制寄存器
	3	054	D5	CH11 控制寄存器
	3	058	D6	MULTI 控制寄存器
	3	05C	D7	X_DCO_INCR_HIGH
系统控制	3	080	E0	WAIT_STATE
	3	084	E1	SYSTEM_CONFIG
	3	088	E2	没有使用
	3	08C	E3	SYSTEM_ERROR_STATUS
	3	090	E4	DATA_RETENT
一般控制	3	0C0	F0	IO_CONFIG
	3	0C4	F1	TEST_CONFIG
	3	0C8	F2	DATA BUS TEST

6.2.5 GP2021 电路应用

1. 典型的 GPS 接收机 (TYPICAL GPS RECEIVER)

典型 GPS 接收机电路如图 6-15 所示, 电路由 GP2010 或者 GP2015 射频前端、GP2021 相关器和 ARM60 32 bit RISC 微处理器组成。因为所有的卫星使用相同的频率, 即 L1 (1575.42MHz), 因此可以使用一个射频前端。为了达到更好的天空覆盖效果, 它可以使不止一个的天线, 因此需要使用各自的射频前端。在射频部分, GP2010 或者 GP2015 射频前端

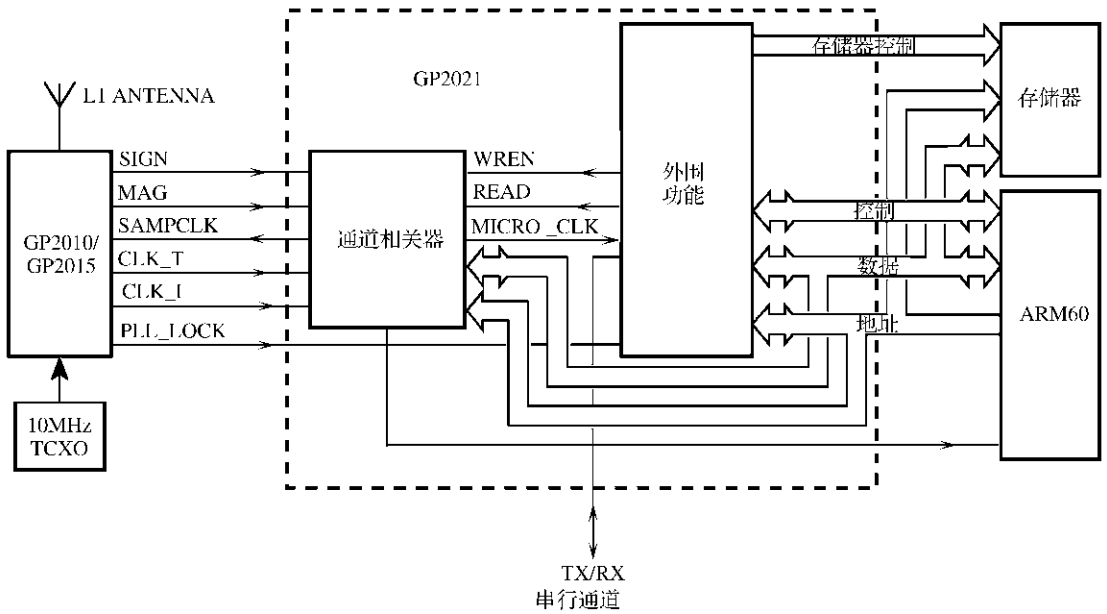


图 6-15 典型的 GPS 接收机电路

为数字基带处理完成 L1 信号的下变频。获得的信号在 GP2021 中与内部产生的卫星代码相关。每一个通道有自己单独的代码,可以对 12 个不同卫星信号进行截获和跟踪。相关的结果形成累积数据传输到微处理器进行处理,得到导航信息。

2. “真输入”模式和“综合输入”模式选择

GP2021 有两种工作模式:“真输入”模式和“综合输入”模式。模式选择在 SYSTEM_SETUP 寄存器中的 FRONT_END_MODE 位控制,默认值是“真输入”模式(Real_input mode)。“真输入”模式和“综合输入”模式(Complex-input-mode)的不同如表 6-9 所列。

表 6-9 “真输入”模式和“综合输入”模式的不同

参 数	“真输入”模式	“综合输入”模式
推荐的主时钟频率	40MHz	35MHz
GP2021 的内部时钟频率	40MHz÷47	35MHz÷46
MICRO_CLK 2 输出频率	20MHz	17.5MHz
MICRO_CLK 2 输出信号占空比	1 : 1	1 : 1
引脚 76	SIGN0	SIGN_I
引脚 77	MAG0	MAG_I
引脚 78	SIGN 1	SIGN_Q
引脚 79	MAG 1	MAG_Q
输入信号采样速率	5.714MHz	5.833MHz
SAMPCLK 输出频率	5.714MHz	没有使用
SAMPCLK 输出信号占空比	4 : 3	保持低电平

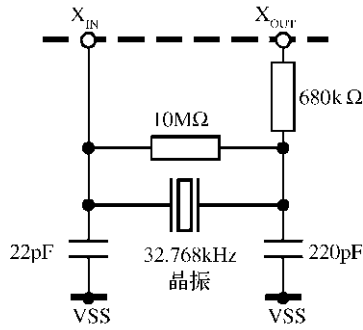


图 6-16 推荐的晶体振荡器电路

3. 实时时钟和看门狗(Real Time Clock (RTC) and Watchdog)

实时时钟和看门狗功能模块由 32.768kHz 晶体振荡器、固定分频率的分频器、24 bit 计数器、看门狗和 3 个 8 bit 的数据寄存器组成。XIN 和 XOUT 是晶体振荡器输入端和晶体振荡器输出端,连接到晶体振荡器电路。推荐的晶体振荡器电路如图 6-16 所示。当实时时钟没有被使用时,XIN 引脚端必须为低电平。

4. 低功耗模式(Power Down Mode)

为了降低电池备用模式的功率消耗,GP2021 具有低功耗模式,电池电压可以降低到 2.2V。在低功耗模式,除实时时钟电路外,GP2021 的所有电路功能不使能。

设置 POWER_GOOD 引脚为低电平,GP2021 进入低功耗模式。在 ARM 系统模式,NBRAM 引脚保持低电平,在 MICRO_CLK 下沿进入低功耗模式。推荐的电池备用电路如图 6-17 所示。表 6-10 列出低功耗模式各引脚电平。在低功耗模式,除 POWER_GOOD 和 XIN 引脚外,所有输入和 I/O 引脚在内部被转换到已知逻辑电平,可以被浮置。D<15 : 0>、MULTI_FN_IO 和 DISCIO 引脚由它们的内部驱动器驱动到高阻抗状态。

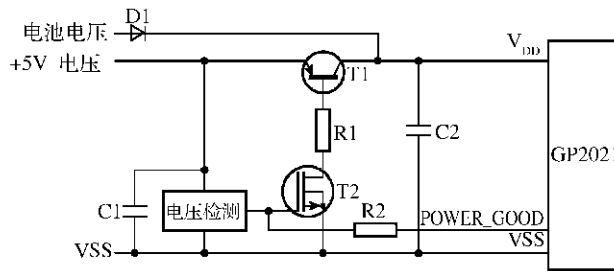


图 6-17 推荐的电池备用电路

表 6-10 低功耗模式各引脚电平

引 脚	输出电平	引 脚	输出电平
NW<3 : 0>/NC	低电平	MEAS_INT	高阻抗
NRD/NC	低电平	ABORT_MICRO_CLK	低电平
NRAM(标准接口模式)	低电平	MCLK/NC	低电平
NRAM(ARM 系统模式)	NB RAM	ARM_ALE/NC	低电平
NROM/NC	高阻抗	DBE/NC	低电平

NSPARE_CS/NC	高阻抗	NRESET_OP	低电平
NEEPROM/NC	高阻抗	DISCOP	高阻抗
TXATXB	低电平	SAMPCLK	低电平
ACCUM_INT	高阻抗	XOUT	有效

5. ARM 系统模式电路连接 (ARM System Mode)

ARM 系统模式电路连接图如图 6-18 所示,GP2021 与 ARM60 微处理器和外部存储器器件(RAM,ROM, EEPROM, EPROM, Flash)直接连接,不需要外部逻辑电路。时序图如图 6-19 所示,图 6-19 中,OP 表示 GP2021;IP 表示微处理器输出。

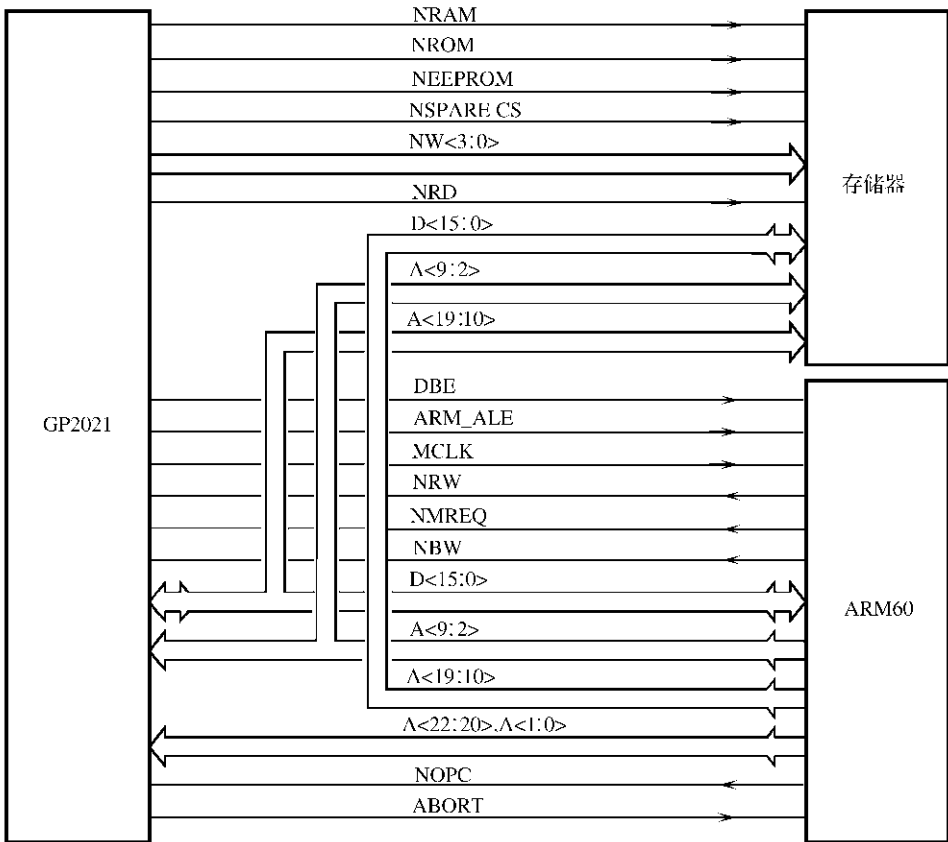


图 6-18 ARM 系统模式电路连接图

6. 标准接口模式电路连接 (Standard Interface Mode)

标准接口模式电路连接如图 6-20 所示,GP2021 可以与大多数的 16 bit 和 32 bit 的微处理器连接,需要外部地址译码逻辑电路。

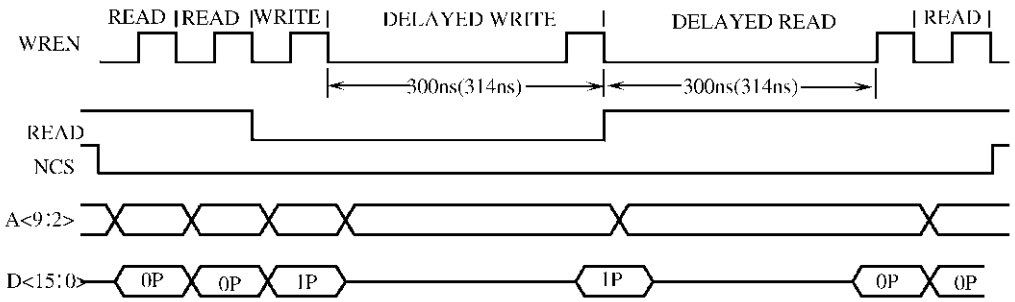


图 6-19 ARM 系统模式时序图

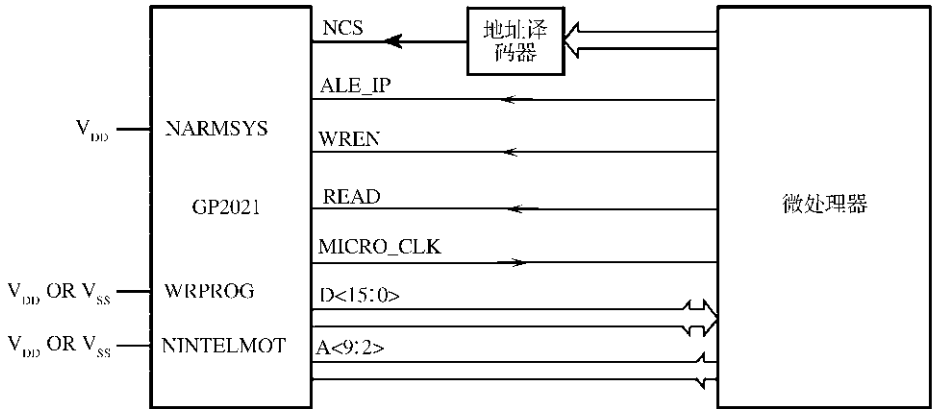
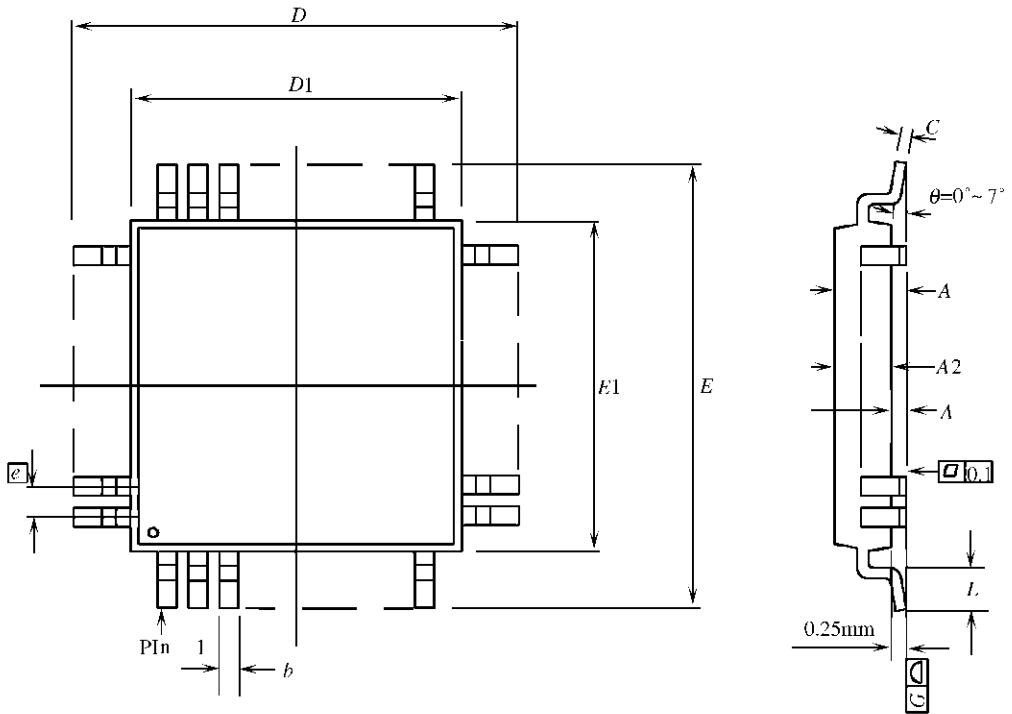


图 6-20 标准接口模式电路连接

6.2.6 GP2021 封装尺寸

GP2021 采用 80 MQFP 封装,封装尺寸如图 6-21 所示。



符 号	最小值/mm	最大值/mm	最小值/英寸	最大值/英寸
A	—	2.45	—	0.096
A1	0.00	0.25	0.000	0.010
A2	1.80	2.20	0.071	0.087
D	17.20	BSC	0.677	BSC
D1	14.00	BSC	0.551	BSC
E	17.20	BSC	0.677	BSC
E1	14.00	BSC	0.551	BSC
L	0.73	1.03	0.029	0.041
e	0.65	BSC	0.026	BSC
b	0.22	0.40	0.009	0.016
c	0.11	0.23	0.004	0.009

图 6-21 GP2021 封装尺寸

6.3 基于 XE16BB10 的 GPS 接收机相关器电路

6.3.1 XE16BB10 简介

XE16BB10 是基于先进的 FirstGPS™ 体系机构的 XE1610 芯片集的一部分。XE16BB10

是增强型 GPS 信道相关器,其接收和解码来自 Colossus™ 射频集成电路的数字信号,输出 GPS 测量值到“导航平台”,在“导航平台”这些测量值用来计算位置、速度和/或时间,可并行跟踪 GPS L1(1.575GHz)频率信号。

XE16BB10 具有 8 路 GPS 信道,32 个相关器;工作电压:VDDC(内核电压)为 1.6V~2.0V,VDDR(射频集成电路电压)为 2.7V~3.3V;具有极低功耗,在 1.8V 时内核电压 < 3mA,4 种功率控制模式;通用异步接收发送串行接口,全双工异步,速率 2.4kbaud、9.6kbaud、14.4kbaud、19.2kbaud、28.8kbaud、38.4kbaud、57.6kbaud、115.2kbaud。芯片采用 SO16NB 封装或 TSSOP28 封装;工作温度范围 -40℃~85℃。

XE16BB10 可在膝上型电脑、个人数字助理(PDA)和掌上电脑、休闲和运动的 GPS 接收机、财产管理和跟踪、汽车、手机等中应用。

6.3.2 XE16BB10 主要性能指标

XE16BB10 的主要性能指标如表 6-11~表 6-13 所列。

表 6-11 绝对最大额定值

参 数	符 号	最小值	最大值	单 位
内核电源电压	VDDC	$V_{SS}-0.3$	2.5	V
导航接口电源电压	VDDN	$V_{SS}-0.3$	5.0	V
射频前端电源电压	VDDR	$V_{SS}-0.3$	5.0	V
在偏置状态下的环境温度	Tmr	-40	+85	℃

表 6-12 工作条件

参 数	符 号	最小值	典型值	最大值	单 位
内核电源电压	VDDC	1.6	1.8	2.0	V
导航接口电源电压	VDDN	3.0	3.3	3.6	V
射频前端电源电压	VDDR	2.7	3.0	3.3	V
高电平输入导航电压	VIHN	2.1		VDDN	V
低电平输入导航电压	VILN	0		0.9	V
高电平输入射频电压	VIHR	2.1		VDDR	V
低电平输入射频电压	VILR	0		0.9	V
高电平输出导航电压	VOHN	2.4		VDDN	V
低电平输出导航电压	VOLN	0		0.4	V
高电平输出射频电压	VOHR	2.4		VDDR	V
低电平输出射频电压	VOLR	0		0.4	V
射频电源电流	I_{PWRRF}			6	mA
在 VDDN 提供的源电流 (VOH=2.4V)	$I_{outN,source}$			4	mA
在 VDDN 提供的吸收电流 (VOL=0.4V)	$I_{outN,sink}$			-4	mA

在 VDDR 提供的源电流 (VOH=2.4V)	$I_{outR,source}$			3	mA
在 VDDR 提供的吸收电流 (VOH=2.4V)	$I_{outR,sink}$			-3	mA
环境温度	Tamb	-40		+85	°C
最大输入上升时间,从 10%到 90%	trise			20	ns
最大输入下降时间,从 90%到 10%	tfall			20	ns
在 SCLK 输出引脚端的负载电容	Clclk		10	20	pF
在并行端口输出引脚端的负载电容	Clpp		15	40	pF
在 Tx 输出的负载电容	Cltx		15	40	pF
在 TC, TOUT 引脚端的负载电容	Clfc		470		pF
在 PWRRF 引脚端的负载电容	Clprwf		100		pF
在其他输出引脚端的负载电容	Clother		15	70	pF

表 6-13 电 流 消 耗

参 数	条 件	最 大 值	单 位
电流消耗	VDDC=1.8V;SCLK 频率为 4.185MHz; MCLK 频率为 12.504MHz;并行通道输出频率 <14kWords/s;CR816 频率为 3MHz	<3.4	mA

6.3.3 XE16BB10 芯片封装与引脚功能

XE16BB10 芯片采用 SO16NB 封装或 TSSOP28 封装。当芯片采用 SO16NB 封装时,芯片的一部分功能将丧失。XE16BB10 采用 SO16NB 封装的引脚封装形式如图 6-22 所示,引脚功能如表 6-14 所列。XE16BB10 采用 TSSOP28 封装的引脚封装形式如图 6-23 所示,引脚功能如表 6-15 所列。

表 6-14 XE16BB10 采用 SO16NB 封装的引脚功能

引脚	符号	功 能	引脚	符号	功 能
1	VDDN	用于连接到导航平台(NAV)的电源电压	9	QRF	输入数据 Q,数据在 SCLK 的上升沿改变
2	TE	测试使能端	10	IRF	输入数据 I,数据在 SCLK 的上升沿改变
3	TC	温控振荡器补偿	11	VDDR	Colossus 射频芯片的电源(射频电路)
4	TOUT	温控振荡器方波输出	12	VDDC	内核电源
5	TIN	来自热敏电阻的温控振荡器输入	13	RX	通用异步接收发送器(UART)的接收输入
6	PWRRF	Colossus 射频芯片的电源(数字电路)	14	TX	通用异步接收发送器(UART)的发送输出
7	MCLK	主设时钟输入	15	MSECIN	其他输入输出端口的同步端
8	SCLK	采样时钟	16	VSS	地

表 6-15 XE16BB10 采用 TSSOP28 封装的引脚功能

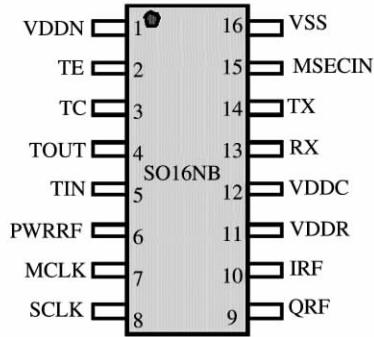


图 6-22 采用 SO16NB 封装的引脚封装形式

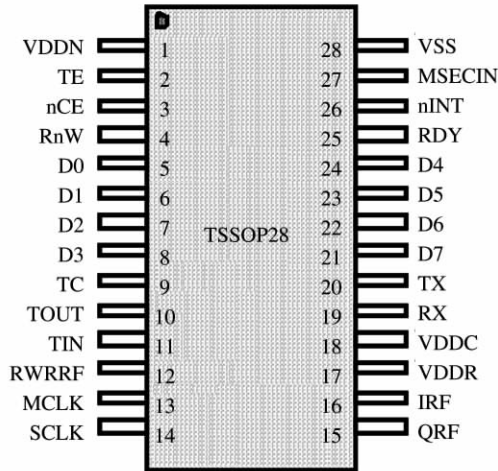


图 6-23 采用 TSSOP28 封装的引脚封装形式

引脚	符号	功 能	引脚	符号	功 能
1	VDDN	用于连接到导航平台(NAV)的电源电压	6	D1	并行端口数据位 1
2	TE	测试使能端	7	D2	并行端口数据位 2
3	nCE	并行端口芯片使能信号	8	D3	并行端口数据位 3
4	RnW	并行端口读/写信号	9	TC	温控振荡器补偿
5	D0	并行端口数据位 0	10	TOUT	温控振荡器方波输出

(续)

引脚	符号	功 能	引脚	符号	功 能
11	TIN	来自热敏电阻的温控振荡器输入	20	TX	通用异步接收发送器(UART)的发送输出
12	PWRRF	Colossus 射频芯片的电源(数字电路)	21	D7	并行端口数据位 7
13	MCLK	主时钟输入	22	D6	并行端口数据位 6

14	SCLK	采样时钟	23	D5	并行端口数据位 5
15	QRF	输入数据,数据在 SCLK 的上升沿改变	24	D4	并行端口数据位 4
16	IRF	输入数据,数据在 SCLK 的上升沿改变	25	RDY	并行端口准备信号
17	VDDR	Colossus 射频芯片的电源(射频电路)	26	nINT	并行端口数据位中断信号
18	VDDC	内核电源	27	MSECIN	其他输入输出口的同步端
19	RX	通用异步接收发送器(UART)的接收输入	28	VSS	地

6.3.4 XE16BB10 内部结构

XE16BB10 内部结构方框图如图 6-24 所示。XE16BB10 信道相关器芯片内部包含有嵌入式微控制器 CoolRISC™ 816 (CR816)。片上控制器完成处理各种测量功能和与主设接口。XE16BB10 使用一个标准 RS232 接口,利用专用的协议与主系统导航平台的通信。不能够直接访问 CR816 微控制器。信道相关器功能通过一个应用编程接口(API)被主机处理器调用。

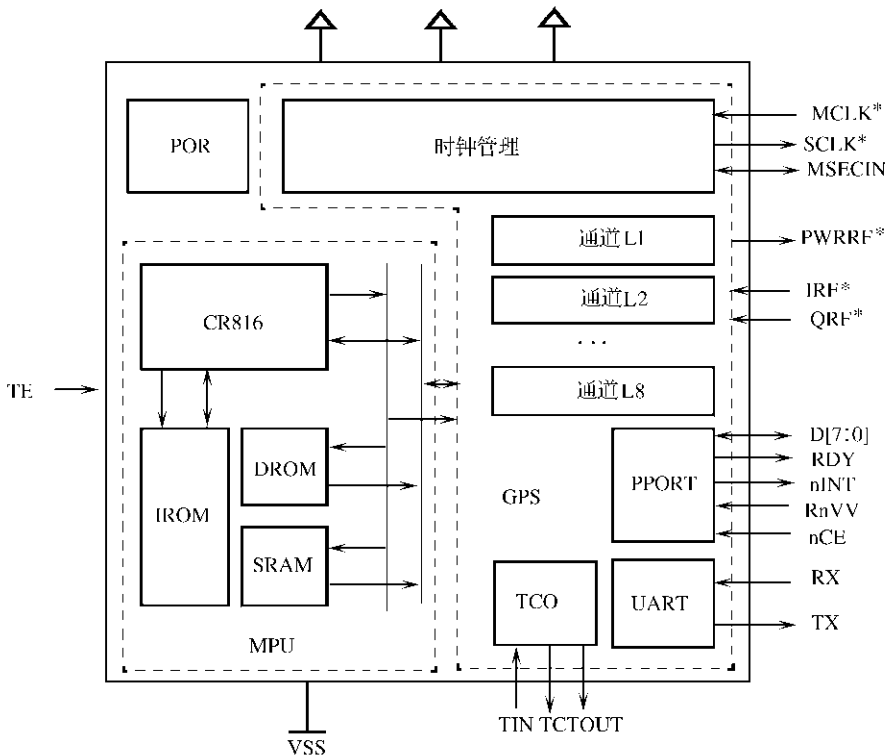


图 6-24 XE16BB10 内部结构方框图

6.3.5 XE16BB10 电路应用

XE16BB10 增强型信道相关器是 GPS 接收机的数字前端部分。XE16BB10 接收从 Colossus 射频前端产生的数字信号并对信号中的数据进行编码。测量值在并行端口或者串行端口输出。

XE16BB10 的一般应用电路结构形式如图 6-25 所示,与射频集成电路 3330R/38743 连接的应用电路如图 6-26 所示,图 6-26 中,“*”表示高频旁路,元件值是典型值(SCLK=2.112MHz),

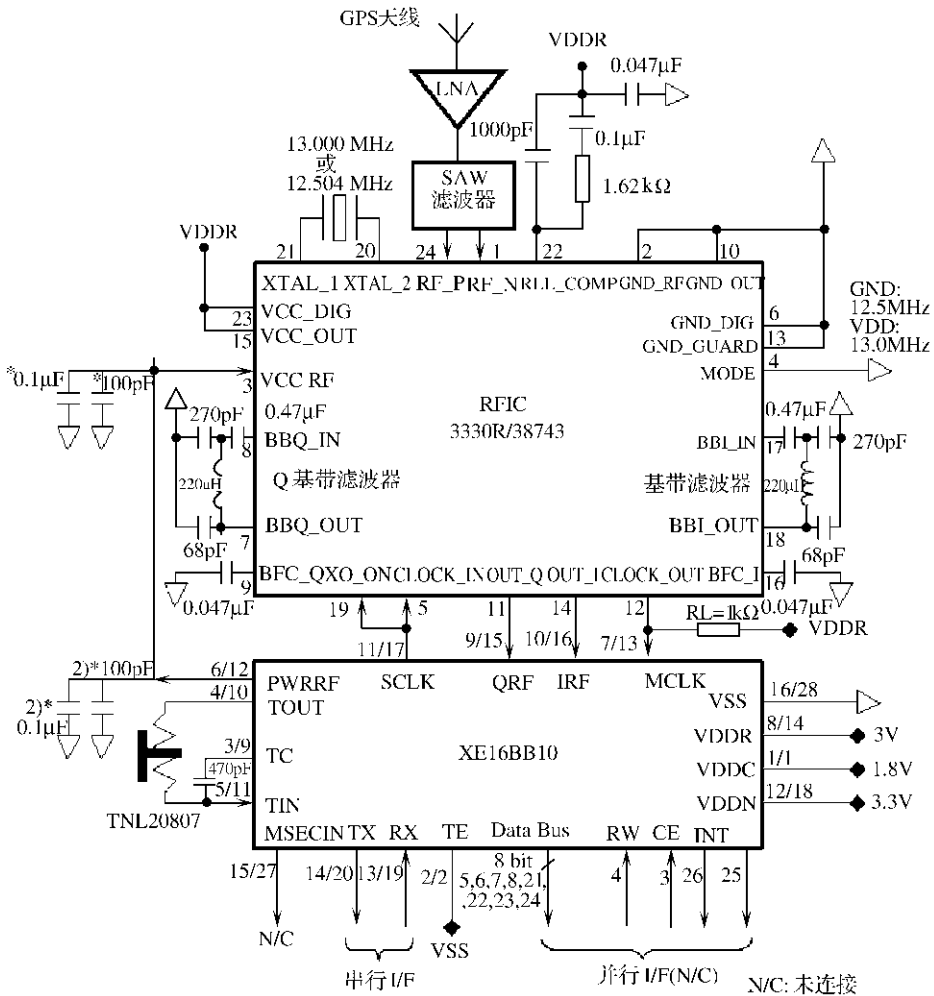


图 6-26 XE16BB10 与 RFIC 3330R/38743 连接的应用电路
 可以使用串行或并行端口(但不在同一时间)。

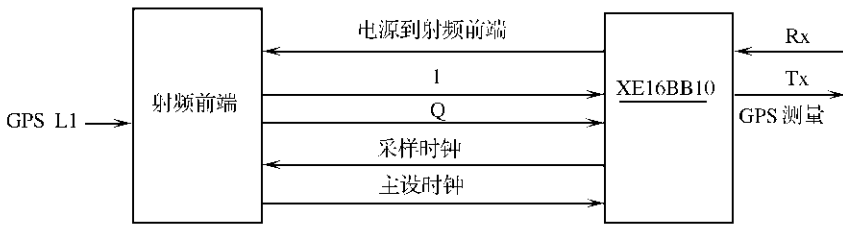


图 6-25 XE16BB10 的一般应用电路结构

6.3.6 XE16BB10 封装尺寸

XE16BB10 芯片采用 SO16NB 封装或 TSSOP28 封装。XE16BB10 采用 SO16NB 封装的封装尺寸如图 6-27 所示, XE16BB10 采用 TSSOP28 封装的封装尺寸如图 6-28 所示, 尺寸单位为 mm。

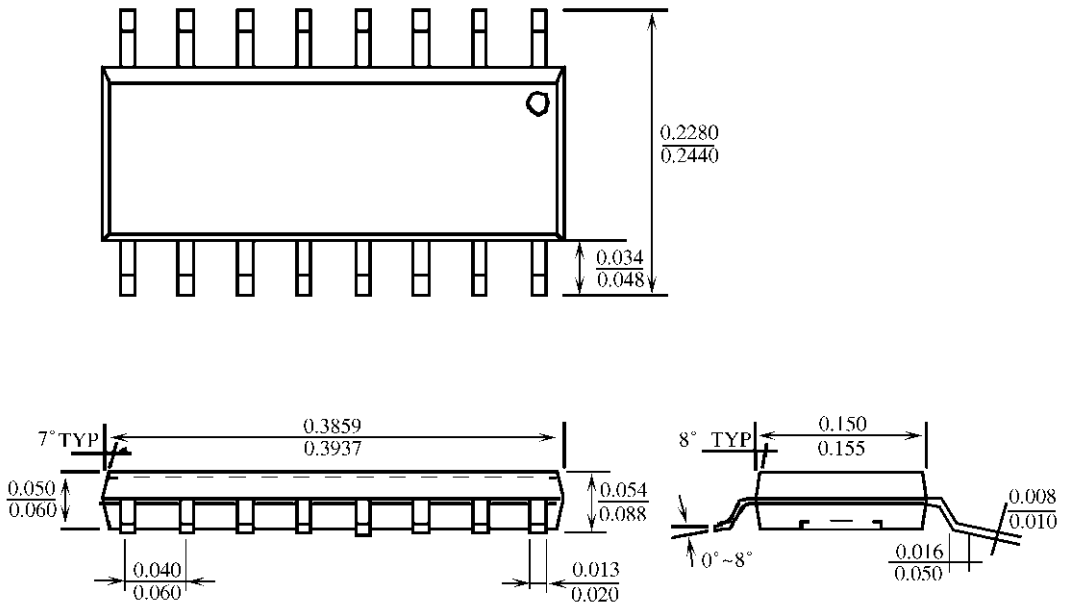


图 6-27 XE16BB10 采用 SO16NB 封装的封装尺寸

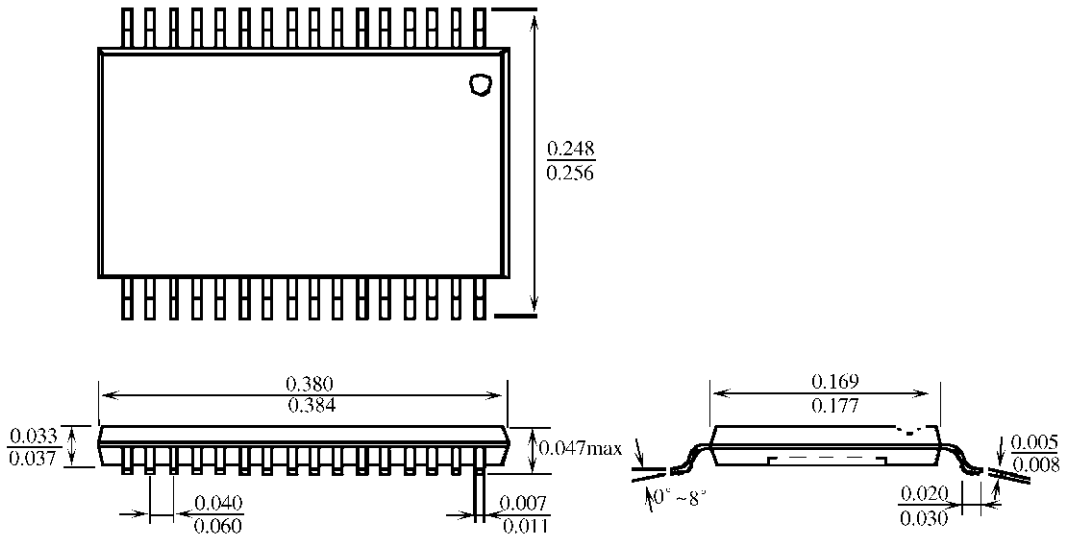


图 6-28 XE16BB10 采用 TSSOP28 封装的封装尺寸

第 7 章 GPS 接收机基带处理器电路设计

7.1 基于 ATR0620 的 GPS 接收机基带处理器电路

7.1.1 ATR0620 简介

ATR0620GPS 基带处理器包含一个基于 ARM7TDMI 处理器核的 16 通道的相关器。处理器具有高性能的 32bit RISC 结构,使用 16 bit 指令系统,具有很低的功耗。芯片内部具有大量的功能寄存器可以满足实时控制应用。ATR0620 利用外部总线接口,可以与片外存储器直接连接,包括闪存。ATR0620 利用 ARM7TDMI 微控制器核与片上 RAM,完成 GPS16 通道相关器和外围设备接口功能。ATR0620 为 GPS 应用提供一个有效的、高灵活性的、低价格的应用解决方案。

7.1.2 ATR0620 主要性能指标

ATR0620 主要性能指标如下。

(1) 利用 ARM7TDMI™ARM® Thumb® 处理器核,具有高性能的 32 bit RISC 结构,高密度的 16 bit 指令组,嵌入式 ICE(In-circuit Emulation)。

(2) 128KB 内部 RAM。

(3) 完全可编程的外部总线接口(External Bus Interface,EBI),可扩展最大 64 MB 外部地址空间,4 个片选控制选择,软件可编程 8/16bit 外部数据总线(External Data Bus)。

(4) 16 通道 GPS 相关器。

(5) 8 通道外围设备数据控制器(Peripheral Data Controller,PDC)具有 8 级优先权、可单独屏蔽的、矢量中断控制器,3 个外部中断源。

(6) 20 根可编程 I/O 线。

(7) 3 个 USARTs,每个 USART 有 2 个专门的外围设备数据控制器通道。

(8) 主设/从设 SPI 接口具有 2 个专门的外围设备数据控制器通道,8bit~16bit 可编程数据长度,4 个外部从设芯片选择。

(9) 可编程看门狗定时器。

(10) 电源功率管理控制器(Power Management Controller,PMC),CPU 和外围设备能够被单独不使能。

(11) 时钟管理器(Clock Manager,CLM)可连接主设时钟以减少功率消耗,睡眠状态不使用主时钟。

(12) PWM 控制器具有 2 个 PWM 信号。

(13) 实时时钟(Real Time Clock,RTC)时间符合 GPS 格式,可编程中断,定时器用 8bit 秒的小数部分和并行装入。

(14) 2.3V~3.6V 或者 1.8V 电源电压。

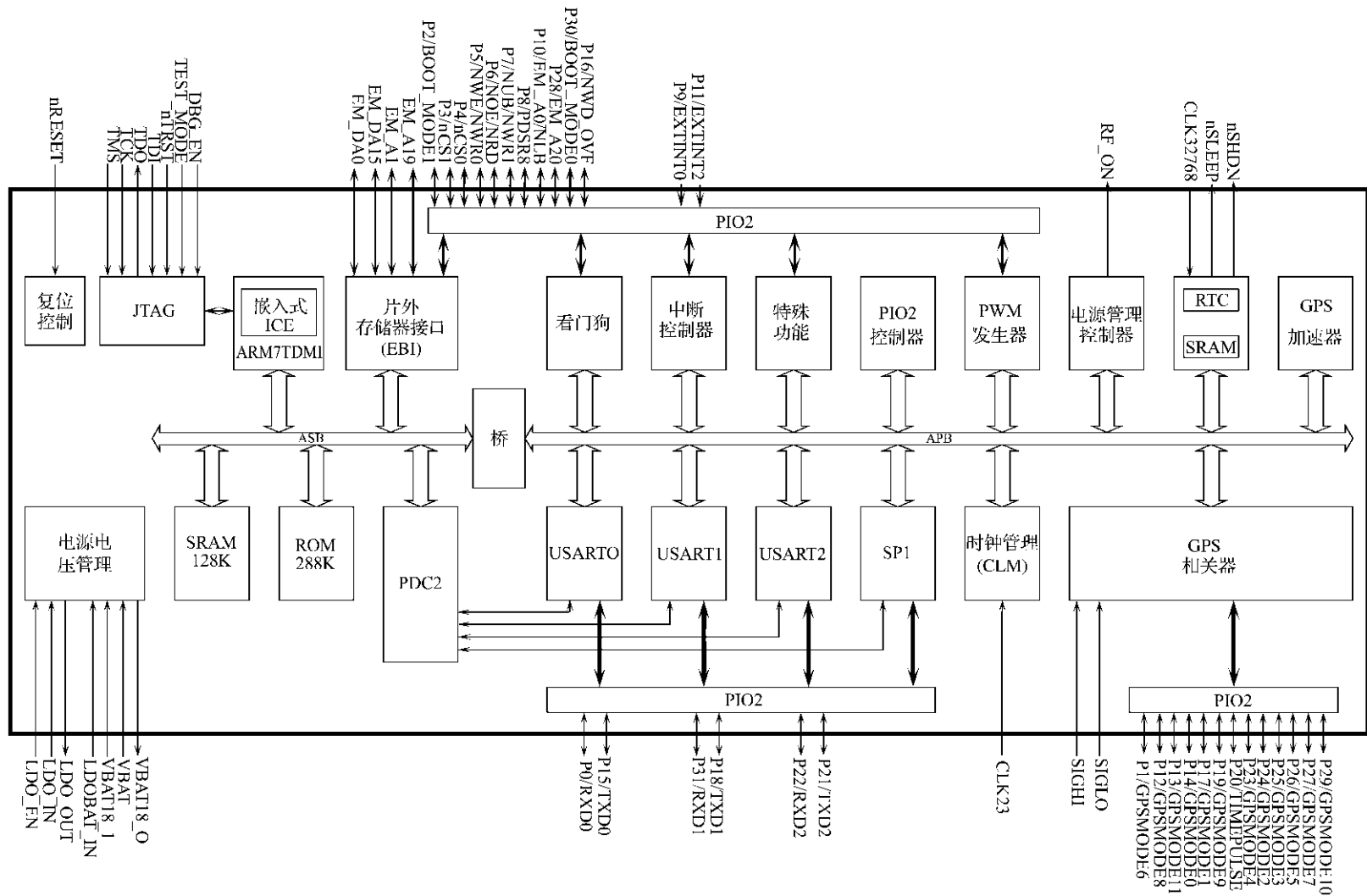


图 7-1 ATR0620 内部结构方框图

(15) 电池备份存储器。

(16) 采用 9mm×9mm BGA-100 封装。

7.1.3 ATR0620 引脚功能

ATR0620 采用 BGA-100 封装,引脚符号如表 7-1 所列,引脚端功能如表 7-2 所列。

表 7-1 ATR0620 引脚符号

序号	BGA-100 引脚编号	符 号	序号	BGA-100 引脚编号	符 号
1	B6	EM_DA0	24	E10	SIGLO
2	B10	EM_DA1	25	J9	XT_IN
3	C7	EM_DA2	26	J10	XT_OUT
4	C10	EM_DA3	27	J6	nSLEEP
5	D10	EM_DA4	28	G9	CLK23
6	E7	EM_DA5	29	G5	P30,BOOT_MODE0
7	E9	EM_DA6	30	G4	P2,BOOT_MODE1
8	B7	EM_DA7	31	J1	TMS
9	B8	EM_DA8	32	J3	TCK
10	A9	EM_DA9	33	J2	TDI
11	C8	EM_DA10	34	K2	nTRST
12	B9	EM_DA11	35	K3	TDO
13	D8	EM_DA12	36	F4	TEST_MODE
14	C9	EM_DA13	37	H4	DBG_EN
15	D9	EM_DA14	38	K6	RF_ON
16	E8	EM_DA15	39	C4	nRESET
17	K5	P15, TXD0	40	G7	nSHDN
18	K9	P0, RXD0	41	A6	EM_A1
19	J5	P14, GPSPMODE4	42	A5	EM_A2
20	K4	P18, TXD1	43	A4	EM_A3
21	H9	P31, RXD1	44	A2	EM_A4
22	J4	P17, GPSPMODE5	45	A3	EM_A5
23	F9	SIGHI	46	B5	EM_A6

(续)

序号	BGA-100 引脚编号	符 号	序号	BGA-100 引脚编号	符 号
47	B4	EM_ A7	74	J8	P9,GPSMODE1
48	B2	EM_ A8	75	H7	LDO_ EN
49	D4	EM_ A9	76	H6	LDO_ OUT
50	C2	EM_ A10	77	H5	P3(OH),nCS1
51	D6	EM_ A11	78	A7	P4(OH),nCS0
52	D7	EM_ A12	79	B1	P5(OH),NWE/NWR0
53	C3	EM_ A13	80	A8	P6(OH),NOE/NRD
54	C1	EM_ A14	81	K7	LDO_ IN
55	D5	EM_ A15	82	D2	P7(OH),NUB/NWR1
56	C6	EM_ A16	83	E4	P10(OH),EM_ A0/ NLB
57	F8	EM_ A17	84	H10	P11,EM_ A21
58	B3	EM_ A18	85	G2	P8,OUT(RFU)
59	C5	EM_ A19	86	E1	P16,NWD_ OVF
60	E5	VDD18_ R	87	F1	P19,GPSMODE6
61	E6	VDD18_ B	88	G3	P1,GPSMODE0
62	F7	VDD18_ L2	89	K8	LDOBAT_ IN
63	F6	VDD18_ L1	90	F2	P21,TXD2
64	J7	VBAT	91	H8	P22,RXD2
65	A1	GND_ R	92	H2	P20,1PPS
66	A10	GND_ B	93	E2	P27, GPSMODE11
67	K1	GND_ T	94	G1	P28,EM_ A20
68	F10	GND_ L	95	E3	P29,GPSMODE12
69	K10	GND_ BAT	96	F3	P12,GPSMODE2
70	H1	P24,GPSMODE8	97	G10	P13,GPSMODE3
71	D1	P25,GPSMODE9	98	G6	VBAT18_ O
72	H3	P23,GPSMODE7	99	F5	VBAT18_ I
73	G8	P26, GPSMODE10	100	D3	TOUT1

表 7-2 ATR0620 引脚功能

模块	符号	功能	I/O类	有效电平	注释
EBI	EM_A0-23	地址总线	输出		所有的引脚端在复位后有效
	EM_DA0-31	数据总线	I/O		
	NCS0-NCS3	片选	I/O	低电平	
	NWR0	低字节 0 写信号	I/O	低电平	在字节写选项中使用
	NWR1	低字节 1 写信号	I/O	低电平	在字节写选项中使用
	NRD	读信号	I/O	低电平	在字节写选项中使用
	NWE	写使能	I/O	低电平	在字节选择选项中使用
	NOE	输出使能	I/O	低电平	在字节选择选项中使用
	NUB	上半部字节选择(16-bitSRAM)	I/O	低电平	在字节选择选项中使用
	NLB	下半部字节选择(16-bitSRAM)	输出	低电平	在字节写选项中使用
	NWAIT	等待信号	I/O	低电平	
	BOOT_MODE0	引导模式输入 0	I/O		在复位后被 PIO 控制, 上拉
	BOOT_MODE1	引导模式输入 1	I/O		在复位后被 PIO 控制, 下拉
USART	TXD0	发射数据输出	I/O		在复位后被 PIO 控制
	RXD0	接收数据输入	I/O		在复位后被 PIO 控制
	SCK0	外部串行时钟	I/O		在复位后被 PIO 控制
AIC	EXTINT0-2	外部中断请求	I/O	高/低电平	在复位后被 PIO 控制
PWM	AGCOUT0-1	自动增益控制	输出		在复位后被 PIO 控制
PMC	RF_ON				ATR0600
RTC	nSleep	清除睡眠输出(AF-LDO)	输出	低电平	在复位后被 PIO 控制
	nSHDN	清除睡眠输出(.8LDO)	I/O	低电平	在复位后被 PIO 控制
	XT_IN	振荡器输入	输入		OSC
	XT_OUT	振荡器输出	输出		OSC
SPI	SCK	SPI 时钟	I/O		在复位后被 PIO 控制
	MOSI	主设输出从设输入	I/O		在复位后被 PIO 控制
	MISO	主设输入从设输出	I/O		在复位后被 PIO 控制
	NPCS0-3	从设选择	I/O	低电平	在复位后被 PIO 控制
WD	NWD_OVF	看门狗定时器溢出	I/O		在复位后被 PIO 控制
PIO	PDSR0-31	可编程 I/O 通道	I/O		在复位后输入
GPS	GPSMODE0-12	GPS 模式	I/O		在复位后被 PIO 控制
	SIGHI		输入		
	SIGLO		输入		
	SIGHI2		输入		

(续)

模块	符 号	功 能	I/O类	有效电平	注 释
GPS	SIGLO2		输入		
	1PPS		输出		
	MSOUT		输出		
	GPS_MON0-11	GPS 监视器	I/O		
JTAG/ICE	TMS	测试模式选择	输入		下拉
	TDI	测试数据输入	输入		下拉
	TDO	测试数据输出	输出		
	TCK	测试时钟	输入		下拉
	NTRST	测试复位输入	输入	低电平	下拉
	DBG_EN	调试使能	输入		下拉
CLOCK	CLK23	时钟输入	输入		施密特触发器
	MCLK_OUT	主设时钟输出	输出		
RESET	nReset	复位输入	输入	低电平	
POWER	VDD18		电源		
	GND		电源		
	VBAT18_I		电源		备用电源输入
LDOBAT	LDOBAT_IN		电源		
	VBAT		电源		
	VBAT18_O		输出		备用电源输出
LDO	LDO_IN	LDO 输入	电源		
	LDO_OUT	LDO 输出	电源		
	LDO_EN	LDO 使能	输入		
TEST	TEST_MODE	测试模式选择	输入		产品测试
	POR_VEXT	测试输入	输入		POR18 测试
	TMON0-26	测试监测器输出	输出		调试信息包
	TOUT1/APB_Select	测试输出	输出		

7.1.4 ATR0620 内部结构与电路应用

ATR0620 内部结构方框图如图 7-1 所示, 芯片内部包括: 具有 ARM7TDMI 的嵌入式 ICE(Embedded ICE)、片外存储器接口(Interface to Off-Chip Memory, EBI)、PIO2 控制器(PIO2 Controller)、JTAG 接口、看门狗(Watchdog)、复位控制器(Reset Controller)、功率管理器(Power Management Controller)、PWM 发生器(PWM Generator)、GPS 加速器(GPS Accelerator)、GPS 相关器(GPS Correlators)、高级中断控制器(Advanced Interrupt Controller)、128K SRAM、288K ROM、实时时钟(RTC)、PDC2、电源电压管理器(Power Supply Manager)、USART 接口、时钟管理器(Clock Manager, CLM)、PIO2 接口等电路。

1. 外围设备数据控制器(Peripheral Data Controller,PDC2)

ATR0620 有一个 8 通道的 PDC2,专门用于片上的 3 个 USART 和 SPI。对于每个外部设备通道,一个 PDC2 通道连接到接收通道,另一个连接到发射通道。PDC2 通道的用户接口被集成在每个 USART 的存储器空间和 SPI 的存储器空间。它包含一个 32 bit 的地址指示器寄存器和 16bit 的计数寄存器。当被编程数据传输终止时,由对应的外围设备产生中断。PDC2 操作和编程,更详细的内容见 USART 和 SPI 部分。

2. 外部总线接口(External Bus Interface,EBI)

EBI 产生信号控制对外部存储器和外围设备的访问。The EBI 是完全可编程的,具有 4 个片选控制信号(低电平有效)和 20bit 地址总线,地址寻址范围到 64B。16bit 的数据总线能够被配置成为 8bit 或者 16bit 形式,与外部器件接口。独立的读和写控制信号允许直接存储和与外设连接。EBI 支持不同的访问协议,允许单时钟周期存储器访问。

3. 高级中断控制器(Advanced Interrupt Controller,AIC)

ATR0620 具有一个 8 级中断优先权、可单个中断屏蔽、矢量中断控制器,在处理内部和外部中断时,可以减少软件和主控制器的实时操作。中断控制器连接到 ARM7TDMI 处理器的 NFIQ(快速中断请求)和 NIRQ(标准中断请求)输入端。ARM7TDMI 处理器的 NFIQ 端仅能够接受外部快速中断请求输入 FIQ。NIRQ 端能够接受片上外围设备和外部中断请求输入 IRQ0~IRQ3。8 级中断优先权编码器允许用户确定在不同的 NIRQ 中断源之间的优先权。内部中断源的电平和触发沿是可编程的。外部中断源的高电平或者低电平、正沿或者负沿触发也是可以编程的。

4. 并行输入/输出端口控制器(Parallel I/O Controller, PIO)

ATR0620 具有 32 个可编程的 I/O 引脚端,这些 I/O 引脚端是多功能的。PIO2 控制器提供内部中断信号到优先级中断控制器(Advanced Interrupt Controller,AIC)。

5. USART(Universal Synchronous/Asynchronous Receiver/Transmitter)

ATR0620 提供 3 个相同的、全双工的、通用的同步/异步接收器/发射器与 APB 接口,连接到外围设备数据控制器。USART 具有可编程的波特率发生器,奇偶、帧和溢出错检测,5bit、6bit、7bit、8bit 和 9bit 字符长度,采用 ISO 7816 T=0 和 T=1 协议。

6. 串行外围设备接口(Serial Peripheral Interface,SPI)

ATR0620 具有一个 SPI 接口,以主设或者从设模式与外部器件通信。SPI 有 4 个外部片选信号,可以连接 15 个外部器件。数据长度可编程为 8bit~16bit。为了获得最大的实时数据处理吞吐量,PDC 被用来直接在存储器和 SPI 之间传送数据,而不需要 CPU 干涉。

7. 看门狗定时器(Watchdog Timer, WD)

ATR0620 有一个内部的看门狗定时器,可以用来防止系统因为软件问题死锁。看门狗定时器可以编程产生内部中断或者复位。

8. 电源管理控制器(Power Manager Controller,PMC)

电源管理控制器允许功率消耗最佳化。PMC 使能/不使能控制时钟输入到大多数外围设备和 ARM 处理器。

9. 时钟管理器(Clock Manager,CLM)

附加在电源管理器中的时钟管理器可以进一步减少功率消耗。时钟管理器为 USART、SPI 和看门狗定时器提供固定分频的时钟,同时产生主设时钟,主设时钟也是可分频的。主设时钟频率可编程范围是在 175kHz~23.1MHz 之间。

10. 特殊功能(Special Function, SF)

ATR0620 提供专门的寄存器完成芯片鉴定和复位状态。

11. PWM

PWM 包含两个 PWM 通道,它们能够被单独编程,产生的输出电压范围从 $0 \sim (255/256) \times V_{DD}$ 。

12. RTC

RTC 提供 GPS 格式时间。

13. GPS 相关器(GPS Correlator)

GPS 相关器具有 16 个 GPS 通道,提供需要的所有功能如采样、下变频、相关 GPS 信号等。

14. GPS 加速器(GPS Accelerator)

ATR0620 具有一个 GPS 加速器,可以用来减少确定正确的 GPS 信号的时间。

7.1.5 ATR0620 封装尺寸

ATR0620-100 采用 CTBGA1009mm×9mm, 0.80mm pitch 封装,封装尺寸如图 7-2 所示,尺寸单位为 mm。

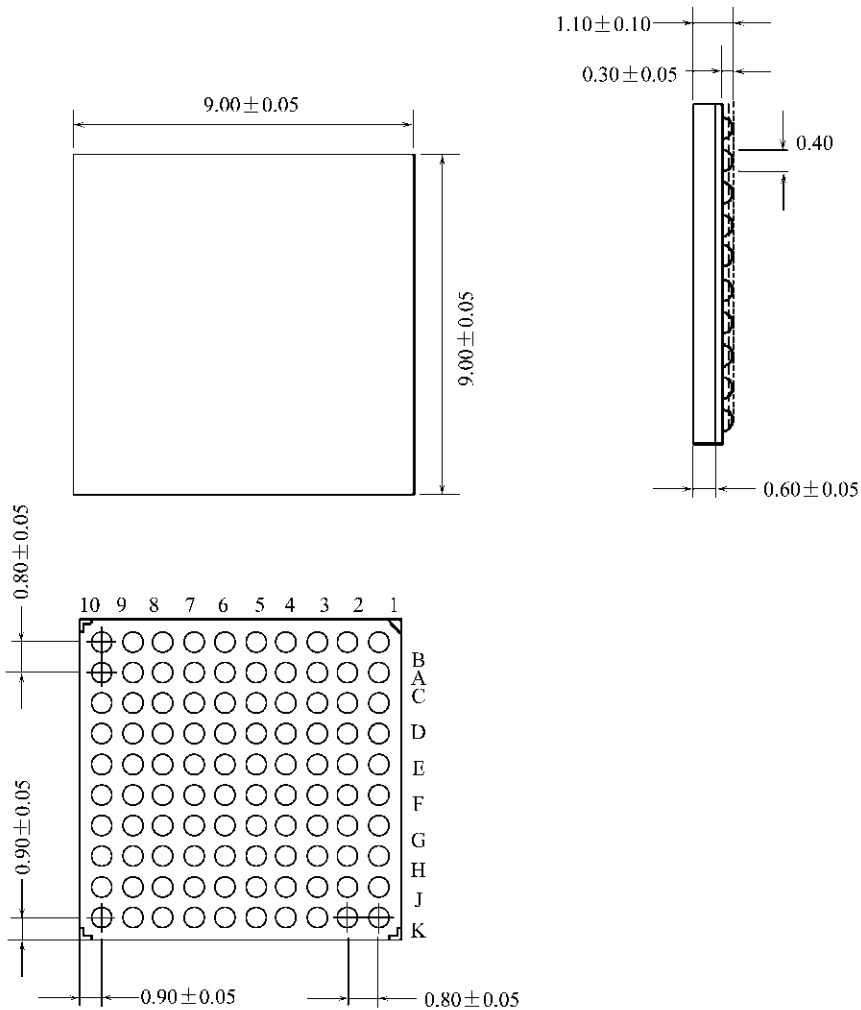


图 7-2 ATR0620-100 封装尺寸

7.2 基于 CXD2931R-9/GA-9 的 GPS 接收机基带处理器电路

7.2.1 CXD2931R-9/GA-9 简介

CXD2931R-9/GA-9 是一个单片 GPS 接收机基带处理器(LSI)。芯片集成了 32-bit RISC CPU、2M-bit MASK ROM、RAM、UART、定时器等电路,与 RF LSI(CXA1951AQ)组合,可以构成 2 片的 GPS 接收机系统,接收信号频率 1575.42MHz (L1 频带,CA 码)。

CXD2931R-9/GA-9 具有处理 16 通道 GPS 接收机的能力,支持不同类型的 GPS 系统(RTCM SC-104 Ver. 2.1、DARC),采用二星测量法,定时器支持 GPS 定时,具有 256KB 可编程 ROM,36KB RAM。3 个 UART 具有波特率发生器,支持 1.2k、2.4k、4.8k、9.6k、19.2k 和 38.4k 波特率,支持 1/2/4-B 缓冲模式。23 位通用 I/O 通道可以单独编程为输入/输出形式。具有 8bitAD 转换器。

7.2.2 CXD2931R-9/GA-9 主要性能指标

CXD2931R-9/GA-9 主要性能指标如表 7-3 至表 7-6 所列。

表 7-3 绝对最大值范围

参 数	符号	数 值	单 位
电源电压	VDD	VSS-0.5~+4.6	V
输入电压	VI	VSS-0.5~VDD+0.5	V
输出电压	VO	VSS-0.5~VDD+0.5	V
工作温度	T_{opr}	-40~+85	°C
存储温度	T_{stg}	-50~+150	°C

表 7-4 推荐工作条件

参 数	符号	数 值	单 位
电源电压	VDD	3.0~3.6	V
工作温度	T_{opr}	-40~+85	°C

表 7-5 输入/输出引脚端电容(基带部分)

参 数	符号	数 值(最大值)	单 位
输入电容	CIN	9	pF
输出电容	COUT	11	pF
I/O 引脚电容	CI/O	11	pF

表 7-6 基带部分特性

参 数	数 值	单 位
跟踪灵敏度	-145	dBm
冷启动(没有星历表和历书时间)TTFF(到第 1 次的固定时间)	27~58	s

暖启动(没有星历表,但有历书时间)TTFF(到第1次的固定时间)	23~45	s
----------------------------------	-------	---

(续)

参 数		数 值	单 位
热启动(有星历表和历书时间)TTFF(到第1次的固定时间)		6~17	s
定位精度	2DRMS	12(大约)	m
测量数据更新时间		1	s
识别格式	NMEA0183	4800	b/s
	Sony Binary	9600	b/s

7.2.3 CXD2931R-9/GA-9 芯片封装与引脚功能

CXD2931R-9 采用 LQFP-144 封装,引脚封装形式如图 7-3 所示,引脚功能如表 7-7 所列。

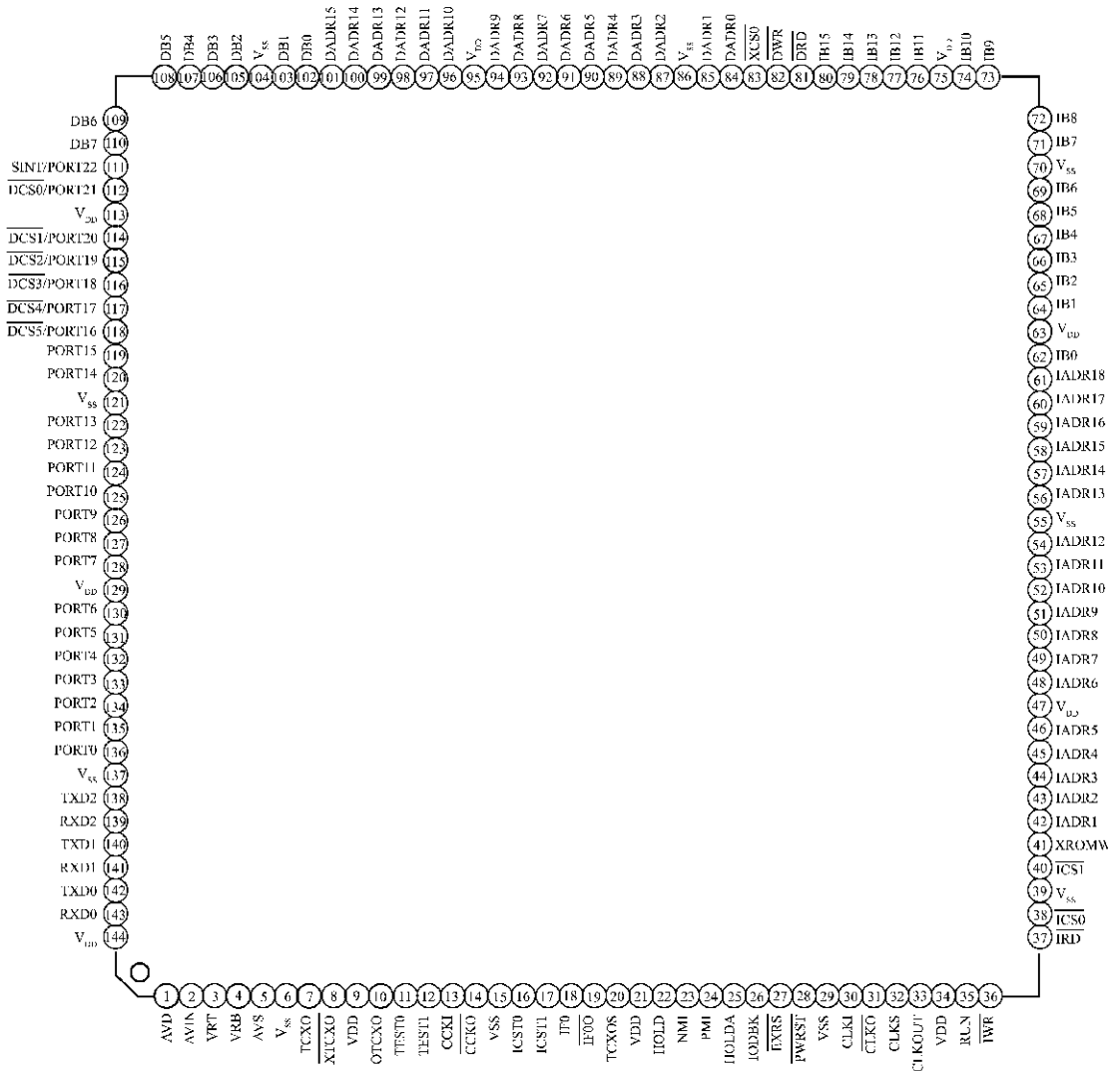


图 7-3 CXD2931R-9 引脚封装形式

CXD2931GA-9 采用 LFLGA-144 封装, 引脚封装形式如图 7-4 所示, 引脚功能如表 7-7 所列。

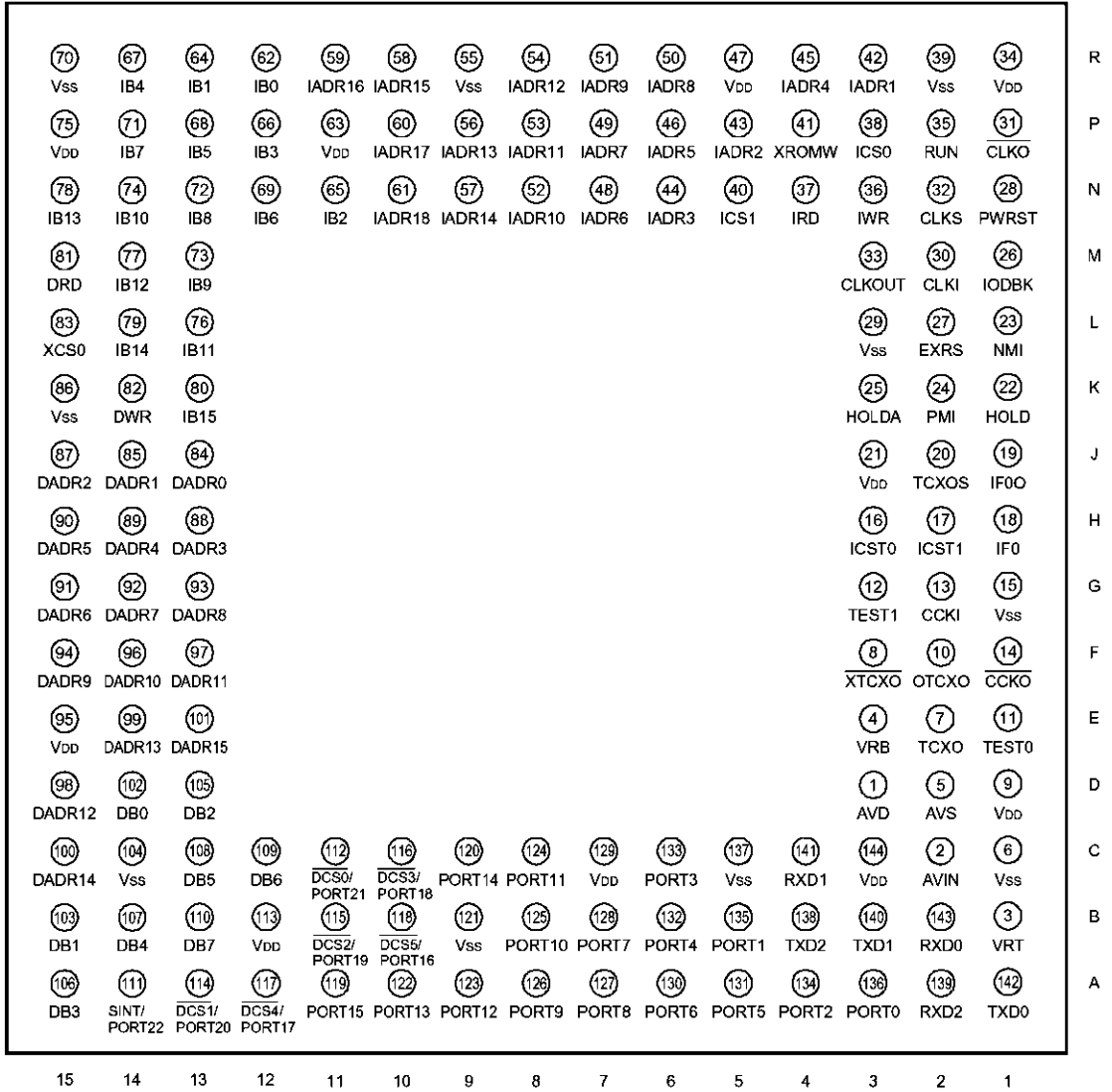


图 7-4 CXD2931GA-9 引脚封装形式

表 7-7 CXD2931R-9/GA-9 引脚功能

引脚	符号	功能	引脚	符号	功能
1	AVD	A/D 转换器电源电压	7	TCXO	TCXO 二元转换电路/晶体振荡器
2	AVIN	模拟输入	8	$\overline{\text{XTCXO}}$	TCXO 二元转换电路/晶体振荡器
3	VRT	基准输入	9	V _{DD}	电源电压
4	VRB	基准输入	10	OTCXO	TCXO 时钟输出
5	AVS	A/D 转换器地	11	TEST0	测试(固定在低电平)

6	V _{SS}	地	12	TEST1	测试(固定在低电平)
---	-----------------	---	----	-------	------------

(续)

引脚	符号	功 能	引脚	符号	功 能
13	CCKI	定时器振荡器输入(32.768±100×10 ⁻⁶)kHz	39	V _{SS}	地
14	$\overline{\text{CCKO}}$	定时器振荡器输出(32.768±100×10 ⁻⁶)kHz	40	ICS1	扩展的外部存储器片选信号 1
15	V _{SS}	地	41	XROMW	扩展的外部存储器等待信号(高电平:等待)
16	ICST0	测试(固定在低电平)	42	IADR1	扩展的外部存储器地址信号 1(LSB)
17	ICST1	测试(固定在低电平)	43	IADR2	扩展的外部存储器地址信号 2
18	IF0	IF 信号二元转换电路	44	IADR3	扩展的外部存储器地址信号 3
19	IF0O	IF 信号二元转换电路	45	IADR4	扩展的外部存储器地址信号 4
20	TCXOS	TCXO 选择, 低电平: TCXO/2; 高电平: TCXO	46	IADR5	扩展的外部存储器地址信号 5
21	V _{DD}	电源电压	47	V _{DD}	电源电压
22	HOLD	保持输入信号(高电平:保持)	48	IADR6	扩展的外部存储器地址信号 6
23	NMI	非屏蔽中断	49	IADR7	扩展的外部存储器地址信号 7
24	PMI	可编程屏蔽中断	50	IADR8	扩展的外部存储器地址信号 8
25	HOLDA	保持应答信号	51	IADR9	扩展的外部存储器地址信号 9
26	IODBK	调试断点信号	52	IADR10	扩展的外部存储器地址信号 10
27	EXRS	复位输入信号	53	IADR11	扩展的外部存储器地址信号 11
28	PWRST	连接到主电源电压	54	IADR12	扩展的外部存储器地址信号 12
29	V _{SS}	地	55	V _{SS}	地
30	CLKI	CPU 时钟振荡器电路输入	56	IADR13	扩展的外部存储器地址信号 13
31	$\overline{\text{CLKO}}$	CPU 时钟振荡器电路输出	57	IADR14	扩展的外部存储器地址信号 14
32	CLKS	CPU 时钟选择信号(低电平选择 TCXO;高电平选择 CLKD)	58	IADR15	扩展的外部存储器地址信号 15
33	CLKOUT	CPU 时钟输出	59	IADR16	扩展的外部存储器地址信号 16
34	V _{DD}	电源电压	60	IADR17	扩展的外部存储器地址信号 17
35	RUN	信号指示 CPU 工作状态	61	IADR18	扩展的外部存储器地址信号 18
36	IWR	扩展的外部存储器写信号	62	IB0	扩展的外部存储器数据总线 0(LSB)

37	IRD	扩展的外部存储器读信号	63	V _{DD}	电源电压
38	ICS0	扩展的外部存储器片选信号 0	64	IB1	扩展的外部存储器数据总线 1

(续)

引脚	符号	功能	引脚	符号	功能
65	IB2	扩展的外部存储器数据总线 2	90	DADR5	扩展的外部数据存储器地址信号 5
66	IB3	扩展的外部存储器数据总线 3	91	DADR6	扩展的外部数据存储器地址信号 6
67	IB4	扩展的外部存储器数据总线 4	92	DADR7	扩展的外部数据存储器地址信号 7
68	IB5	扩展的外部存储器数据总线 5	93	DADR8	扩展的外部数据存储器地址信号 8
69	IB6	扩展的外部存储器数据总线 6	94	DADR9	扩展的外部数据存储器地址信号 9
70	V _{SS}	地	95	V _{DD}	电源电压
71	IB7	扩展的外部存储器数据总线 7	96	DADR10	扩展的外部数据存储器地址信号 10
72	IB8	扩展的外部存储器数据总线 8	97	DADR11	扩展的外部数据存储器地址信号 11
73	IB9	扩展的外部存储器数据总线 9	98	DADR12	扩展的外部数据存储器地址信号 12
74	IB10	扩展的外部存储器数据总线 10	99	DADR13	扩展的外部数据存储器地址信号 13
75	V _{DD}	电源电压	100	DADR14	扩展的外部数据存储器地址信号 14
76	IB11	扩展的外部存储器数据总线 11	101	DADR15	扩展的外部数据存储器地址信号 15
77	IB12	扩展的外部存储器数据总线 12	102	DB0	扩展的外部数据存储器数据总线 0
78	IB13	扩展的外部存储器数据总线 13	103	DB1	扩展的外部数据存储器数据总线 1
79	IB14	扩展的外部存储器数据总线 14	104	V _{SS}	地
80	IB15	扩展的外部存储器数据总线 15	105	DB2	扩展的外部数据存储器数据总线 2
81	DRD	扩展的外部数据存储器读信号	106	DB3	扩展的外部数据存储器数据总线 3
82	DWR	扩展的外部数据存储器写信号	107	DB4	扩展的外部数据存储器数据总线 4
83	XCS0	扩展的外部数据存储器片选信号 0	108	DB5	扩展的外部数据存储器数据总线 5
84	DADR0	扩展的外部数据存储器地址信号 0	109	DB6	扩展的外部数据存储器数据总线 6
85	DADR1	扩展的外部数据存储器地址信号 1	110	DB7	扩展的外部数据存储器数据总线 7
86	V _{SS}	地	111	SINT/PORT22	外部中断输入信号/通用 I/O 通道 22
87	DADR2	扩展的外部数据存储器地址信号 2	112	$\overline{\text{DCS0}}/\text{PORT21}$	扩展的外部数据存储器片选信号/通用 I/O 通道 21

88	DADR3	扩展的外部数据存储器地址信号 3	113	V _{DD}	电源电压
89	DADR4	扩展的外部数据存储器地址信号 4	114	$\overline{\text{DCSI}}/\text{PORT}20$	扩展的外部数据存储器片选信号/通用 I/O 通道 20

(续)

引脚	符号	功 能	引脚	符号	功 能
115	$\overline{\text{DCS}}2/\text{PORT}19$	扩展的外部数据存储器片选信号/ 通用 I/O 通道 19	130	PORT6	通用 I/O 通道 6
116	$\overline{\text{DCS}}3/\text{PORT}18$	扩展的外部数据存储器片选信号/ 通用 I/O 通道 18	131	PORT5	通用 I/O 通道 5
117	$\overline{\text{DCS}}4/\text{PORT}17$	扩展的外部数据存储器片选信号/ 通用 I/O 通道 17	132	PORT4	通用 I/O 通道 4
118	$\overline{\text{DCS}}5/\text{PORT}16$	扩展的外部数据存储器片选信号/ 通用 I/O 通道 16	133	PORT3	通用 I/O 通道 3
119	PORT15	通用 I/O 通道 15	134	PORT2	通用 I/O 通道 2
120	PORT14	通用 I/O 通道 14	135	PORT1	通用 I/O 通道 1
121	V _{SS}	地	136	PORT0	通用 I/O 通道 0
122	PORT13	通用 I/O 通道 13	137	V _{SS}	地
123	PORT12	通用 I/O 通道 12	138	TXD2	UART 发射数据输出(通道 2)
124	PORT11	通用 I/O 通道 11	139	RXD2	UART 接收数据输入(通道 2)
125	PORT10	通用 I/O 通道 10	140	TXD1	UART 发射数据输出(通道 1)
126	PORT9	通用 I/O 通道 9	141	RXD1	UART 接收数据输入(通道 1)
127	PORT8	通用 I/O 通道 8	142	TXD0	UART 发射数据输出(通道 0)
128	PORT7	通用 I/O 通道 7	143	RXD0	UART 接收数据输入(通道 0)
129	V _{DD}	电源电压	144	V _{DD}	电源电压

7.2.4 CXD2931R-9/GA-9 内部结构

CXD2931R-9/GA-9 是一个完整的 GPS 接收机基带处理器芯片,内部结构方框图如图 7-5 所示。芯片内部包含有:36KB SRAM、UART (波特率发生器,Baud Rate Generator)×3,定时器(TIMER)×3,16 通道 GPS 设置数字信号处理器(16ch GPS DSP),二元输入单元(BIU),32 bit RISC CPU,256KB ROM,8 bit ADC 等电路。

7.2.5 CXD2931R-9/GA-9 电路应用

1. CXD2931R-9 的 GPS 接收机系统方框图

使用 CXD2931R-9 的 GPS 接收机系统方框图如图 7-6 所示,图中 CXA1951AQ 是 GPS 接收机射频前端部分。

2. 电池备份模式(Battery Backup Mode)控制

当 GPS 接收机的电源关断和电源导通复位到低电平时,电池备份模式有效。当电源导通复位到低电平时,定时器时钟继续工作,其他时钟固定在高电平状态,芯片处于低功耗模式。在这个时刻,RAM 数据被保持,寄存器被初始化。设置电源导通复位引脚端到高电平,取消电池备份模式。时序图如图 7-7 所示。

3. 外接命令时序图

CXD2931R-9/GA-9 外部命令时序图如图 7-8 所示,时间参数如表 7-8 所列。

表 7-8 外部命令时序参数

参 数	符号	最小值	典型值	最大值	单位
读周期时间	(a)	—	100	—	ns
地址延迟时间	(b)	—	—	12	ns
片选下降沿延迟时间	(c)	2	—	10	ns
片选上升沿延迟时间	(d)	2	—	10	ns
读信号下降沿延迟时间	(e)	0	—	3	ns
读信号上升沿延迟时间	(f)	0	—	5	ns
读数据建立时间	(g)	11	—	—	ns
读数据保持时间	(h)	0	—	—	ns

4. 外部数据存取时序图

外部数据存取时序图如图 7-9 所示,时序参数如表 7-9 所列。

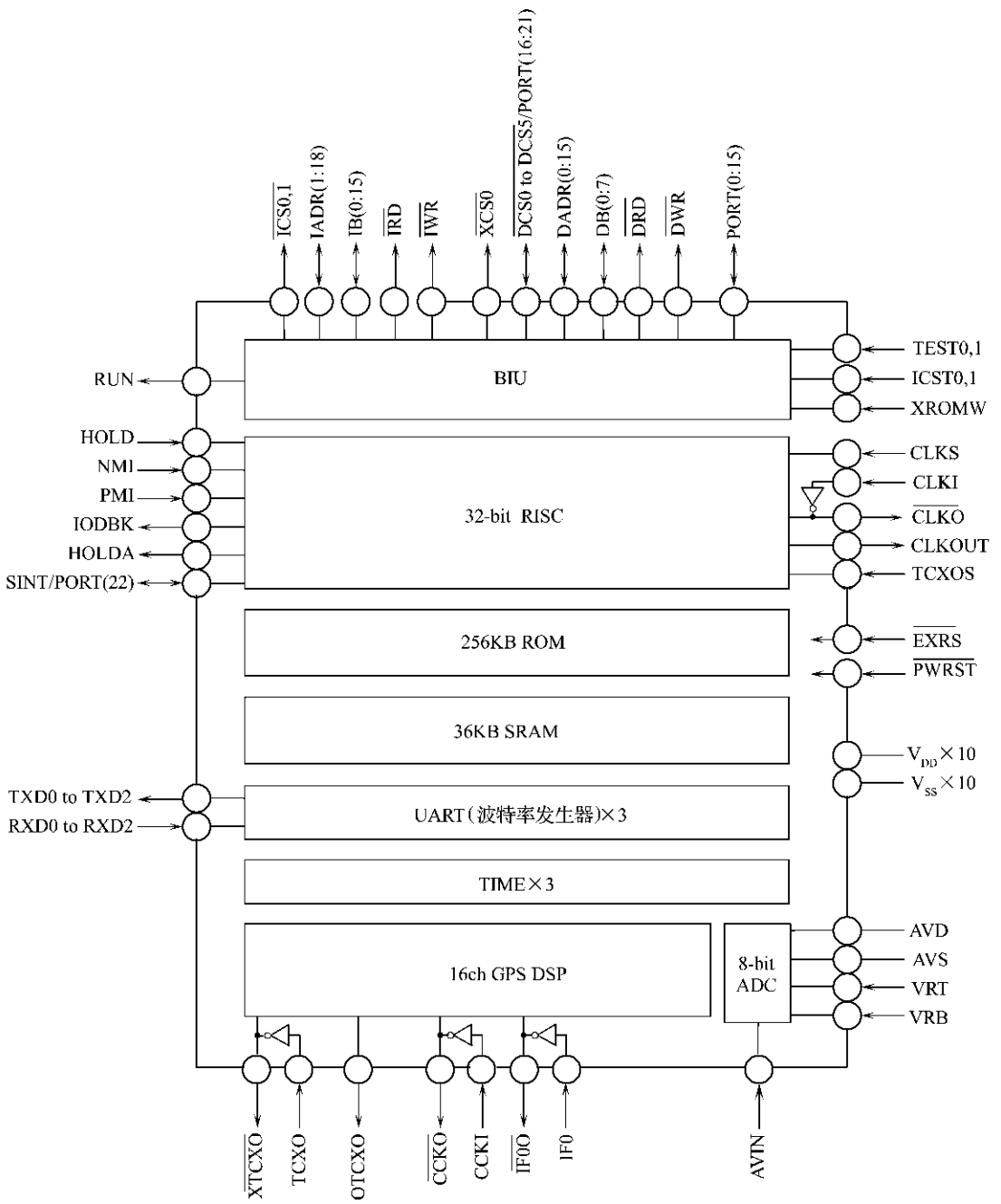


图 7-5 CXD2931R-9/GA-9 内部结构方框图

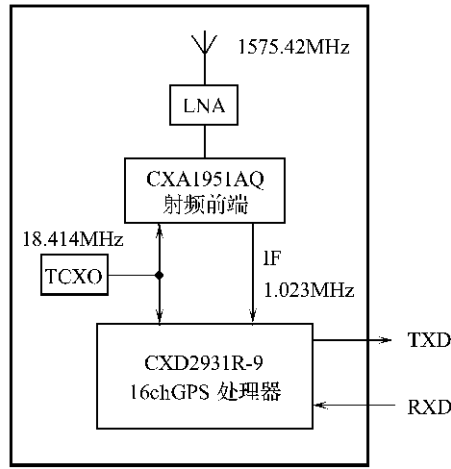


图 7-6 使用 CXD2931R-9 的 GPS 接收机系统方框图

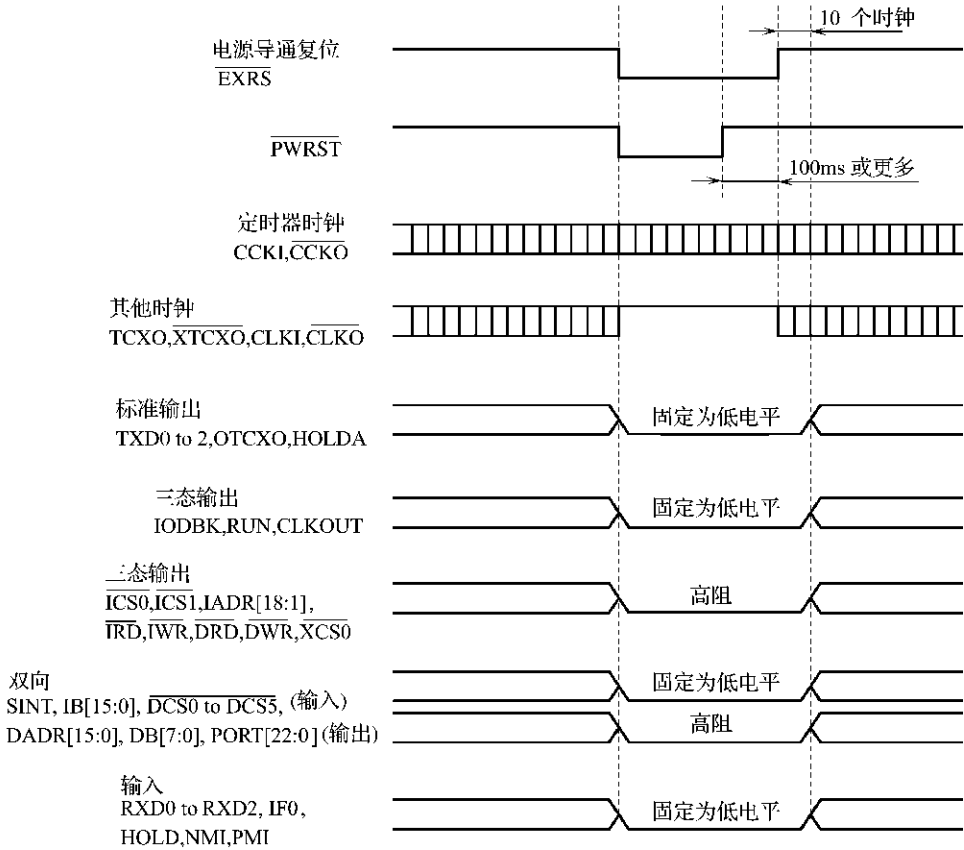


图 7-7 备份模式时序图

表 7-9 外部数据存取时序图参数

参 数	符号	最小值	典型值	最大值	单位
读/写周期时间	(a)		100		ns

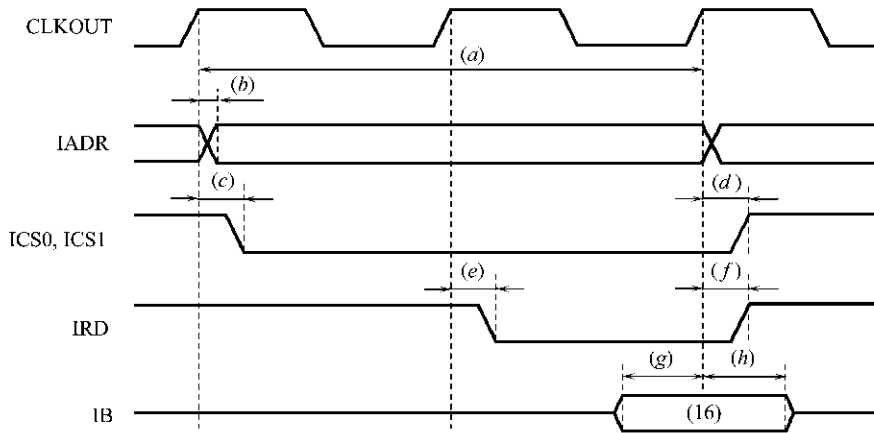


图 7-8 外部命令时序图(XROMW=0)

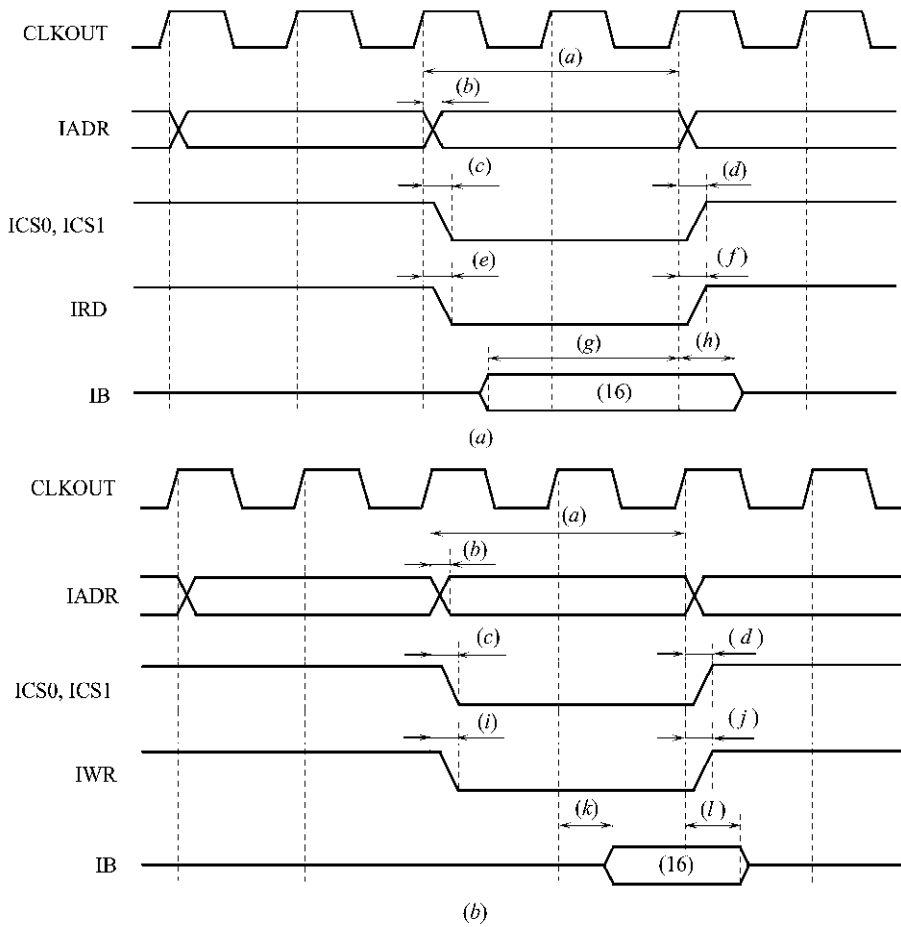


图 7-9 外部数据存取时序图

(a) 读时序图; (b) 写时序图。

地址延迟时间	(b)			12	ns
--------	-----	--	--	----	----

片选下降沿延迟时间	(c)	2		10	ns
片选上升沿延迟时间	(d)	2		10	ns
读信号下降沿延迟时间	(e)	0		3	ns
读信号上升沿延迟时间	(f)	0		5	ns
读数据建立时间	(g)	11			ns
读数据保持时间	(h)	0			ns
写信号下降沿延迟时间	(i)	0		1	ns
写信号上升沿延迟时间	(j)	0		2	ns
写数据确定时间	(k)			5	ns
写数据保持时间	(l)	5			ns

5. TCXO 输入

TCXO (Pin 7) 输入信号要求 $18.414\text{MHz} \pm 3\text{p} \times 10^{-6}$, 输入电路如图 7-10 所示。

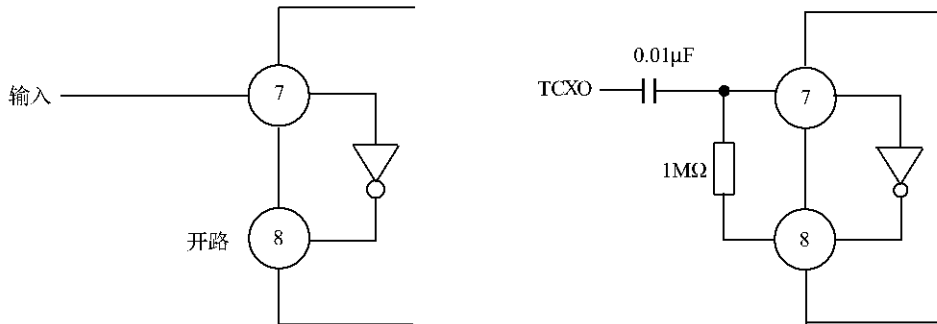


图 7-10 TCXO 输入信号

6. CPU 时钟产生

引脚 32 用来选择 TCXO, 还是使用引脚 MCKI 和 MCKO (引脚 30、31) 自振荡。

(1) 选择 TCXO 时 (TCXO 作为 CPU 的时钟), 设置引脚 32、30 为低电平, 引脚 31 开路。

(2) 当使用引脚 MCKI 和 MCKO (引脚 30、31) 自振荡时, 设置引脚 32 为高电平, 晶体振荡器频率将小于 20MHz。电路如图 7-11 所示。

7. IF 信号输入

IF 信号输入电路如图 7-12 所示。

7.2.6 CXD2931R-9/GA-9 封装尺寸

CXD2931R-9 采用 LQFP-144 封装, 封装尺寸如图 7-13 所示。CXD2931GA-9 采用 LFL-GA-144 封装, 封装尺寸如图 7-14 所示。尺寸单位均为 mm。

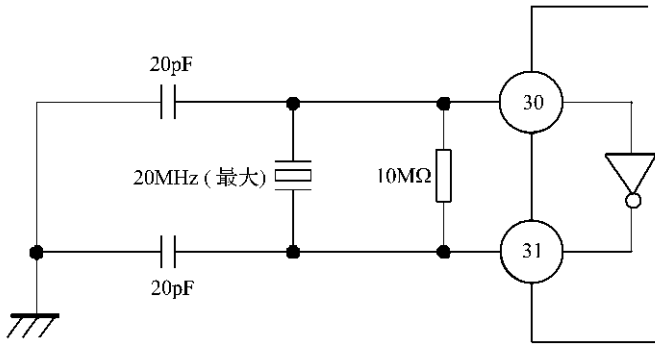


图 7-11 晶体振荡器电路

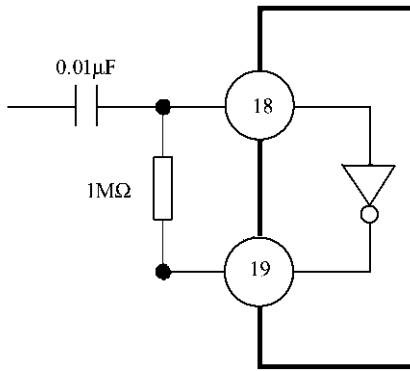


图 7-12 IF 信号输入电路

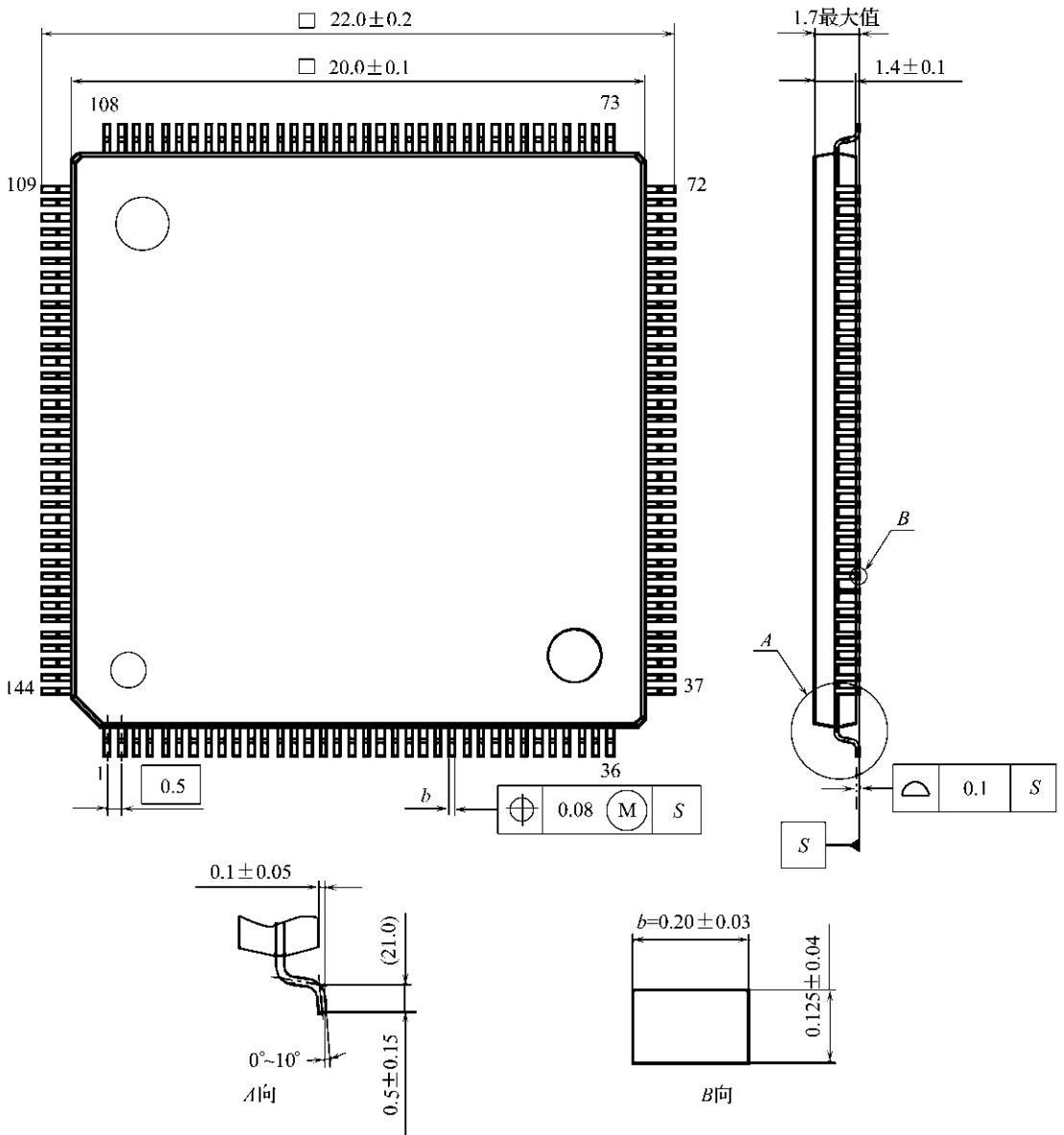


图 7-13 CXD2931R-9 封装尺寸

7.3 基于 CXD2932AGA-2 的 GPS 接收机基带处理器电路

7.3.1 CXD2932AGA-2 简介

CXD2932AGA-2 是一个单片 GPS 接收机基带处理器 (LSI)，芯片集成了 32-bit RISC CPU、卫星跟踪电路、2MB MASK ROM、RAM、UART、定时器等电路，与 GPS RF LSI(如 CXA1951AQ)组合，可以构成 2 片的 GPS 接收机系统，接收信号频率 1575.42MHz (L1 频段，CA 码)。

CXD2932AGA-2 具有处理 16 通道 GPS 接收机的能力，支持不同类型的 GPS 系统

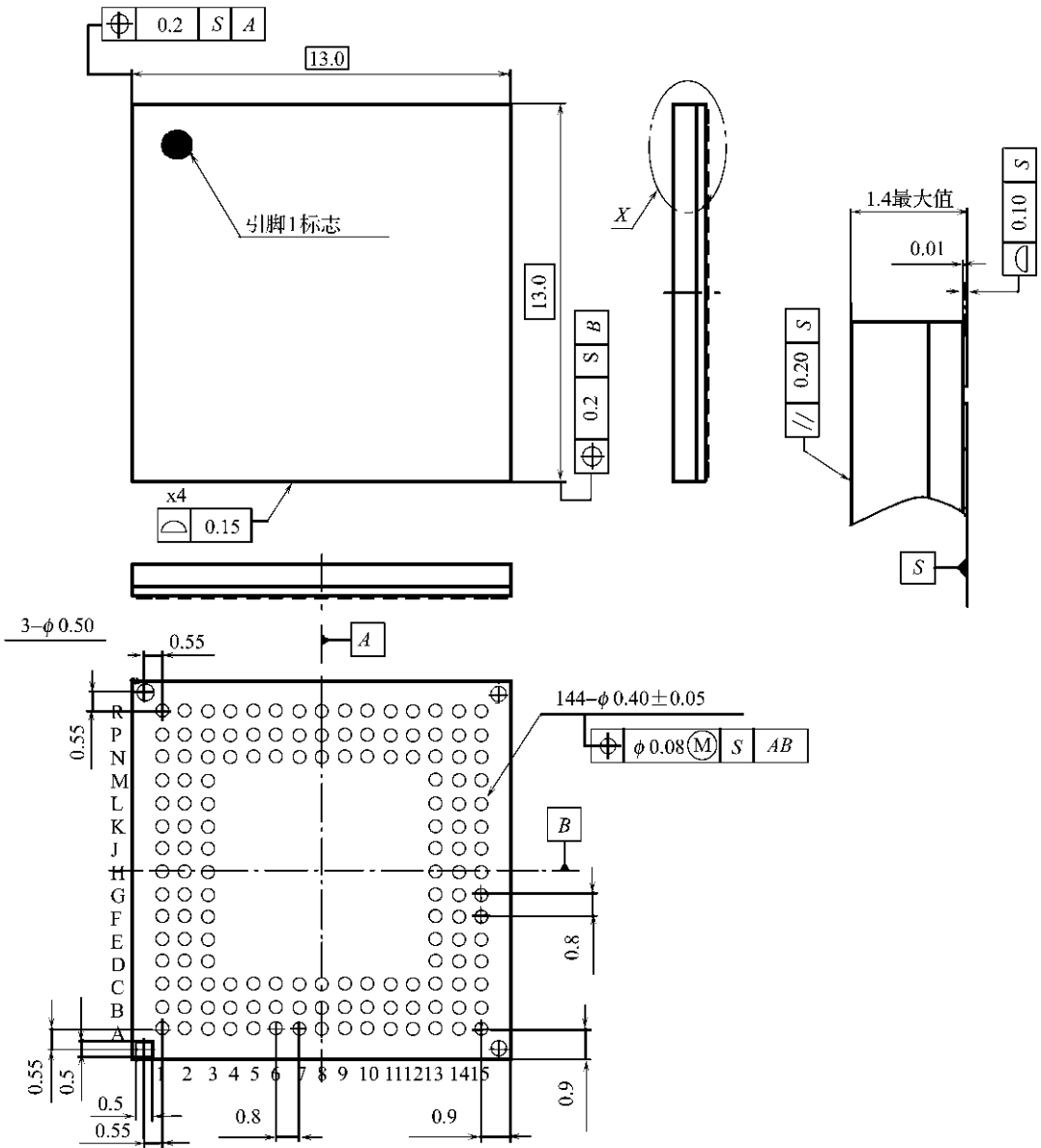


图 7-14 CXD2931GA-9 封装尺寸

(RTCM SC-104 Ver. 2.1、DARC),采用 2 星测量法,定时器支持 GPS 定时,具有 256KB 可编程 ROM,40KB RAM,2 个 UART,4 通道时间间隔定时器,16 位通用 I/O 通道可以单独编程为输入/输出形式。具有 12 bit AD 转换器(包含 4 通道模拟开关)。

7.3.2 CXD2932AGA-2 主要性能指标

CXD2932AGA-2 主要性能指标如表 7-10 至表 7-13 所列。

表 7-10 绝对最大值范围

参 数	符号	数 值	单位
电源电压	VDD	VSS-0.5~+4.6	V
输入电压	VI	VSS-0.5~VDD+0.5	V
输出电压	VO	VSS-0.5~VDD+0.5	V
工作温度	T_{opr}	-40~+85	°C
存储温度	T_{stg}	-50~+150	°C

表 7-11 推荐工作条件

参 数	符号	数 值	单位
电源电压	VDD	3.0~3.6	V
工作温度	T_{opr}	-40~+85	°C

表 7-12 输入/输出引脚端电容(基带部分)

参 数	符号	数 值	单位
输入电容	CIN	9 (最大值)	pF
输出电容	COU	11 (最大值)	pF
I/O 引脚端电容	CI/O	11 (最大值)	pF

表 7-13 基带部分特性

参 数		数 值	单位
跟踪灵敏度		-145	dBm
冷启动(没有星历表和历书时间)TTFF		27~58	s
暖启动(没有星历表,但有历书时间)TTFF		23~45	s
热启动(有星历表和历书时间)TTFF		6~17	s
定位精度	2DRMS	约 5	m
测量数据更新时间		1	s
识别格式	NMEA0183	4800	b/s
	Sony Binary	9600	b/s

7.3.3 CXD2932AGA-2 芯片封装与引脚功能

CXD2932AGA-2 采用 LFLGA-144 封装,引脚封装形式如图 7-15 所示,引脚功能如表 7-14 所列。

表 7-14 CXD2932AGA-2 引脚功能

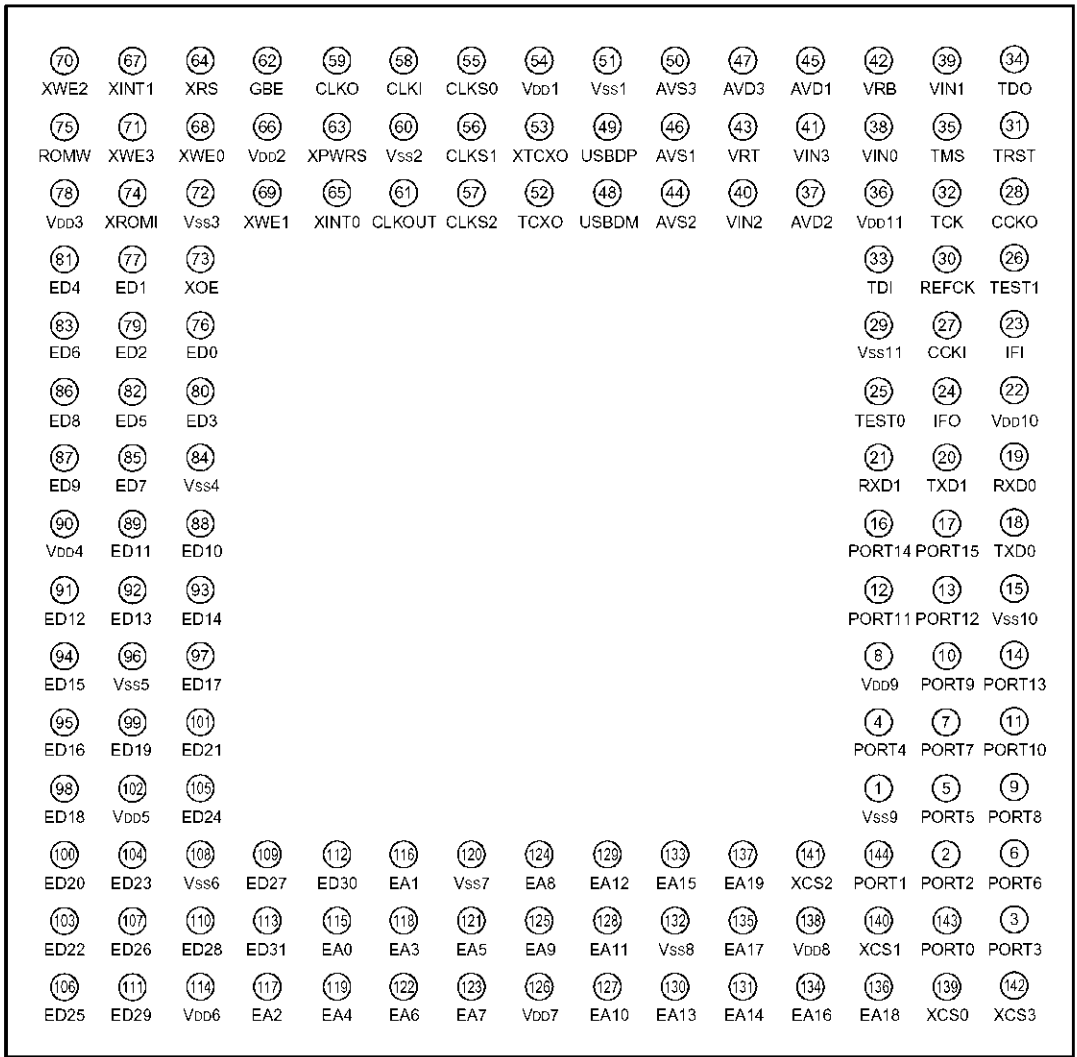


图 7-15 CXD2932AGA-2 引脚封装形式

引脚	符号	功能	引脚	符号	功能
1	VSS9	地	7	PORT7	I/O 通道 7
2	PORT2	I/O 通道 2	8	VDD9	电源电压
3	PORT3	I/O 通道 3	9	PORT8	I/O 通道 8
4	PORT4	I/O 通道 4	10	PORT9	I/O 通道 9
5	PORT5	I/O 通道 5	11	PORT10	I/O 通道 10
6	PORT6	I/O 通道 6	12	PORT11	I/O 通道 11

(续)

引脚	符号	功能	引脚	符号	功能
13	PORT12	I/O 通道 12	48	USBDM	USB 数据+
14	PORT13	I/O 通道 13	49	USBDP	USB 数据-

15	VSS10	地	50	AVS3	USB 地
16	PORT14	I/O 通道 14	51	VSS1	地
17	PORT15	I/O 通道 15	52	TCXO	TCXO 晶体振荡器(18.414±3×10 ⁻⁶)MHz
18	TXD0	UART 发射数据(CH1)	53	XTCXO	TCXO 晶体振荡器(18.414±3×10 ⁻⁶)MHz
19	RXD0	UART 接收数据(CH0)	54	VDD1	电源电压
20	TXD1	UART 发射数据(CH1)	55	CLKS0	CPU 时钟选择 (CLKS2, CLKS1, CLKS0) = (0,0,1):18.414MHz(TCXO) (CLKS2, CLKS1, CLKS0) = (0,1,0):27.671MHz(TCXO)
21	RXD1	UART 接收数据(CH1)	56	CLKS1	
22	VDD10	电源电压	57	CLKS2	
23	IFI	IF 信号二进制转换电路	58	CLKI	CPU 时钟振荡器
24	IFO	IF 信号二进制转换电路	59	CLKO	
25	TEST0	测试(固定为低电平)	60	VSS2	地
26	TEST1	测试(固定为低电平)	61	CLKOUT	1PPS(Pulse Per Second)输出
27	CCKI	定时器振荡电路(32.768±100×10 ⁻⁶)kHz	62	GBE	外部总线使能,高电平有效
28	CCKO	定时器振荡电路(32.768±100×10 ⁻⁶)kHz	63	XPWRS	振荡器使能,高电平有效
29	VSS11	地	64	XRS	复位,低电平有效
30	REFCK	测试(固定为低电平)	65	XINT0	外部中断 0,低电平有效
31	TRST	测试(开路)	66	VDD2	电源电压
32	TCK	测试(开路)	67	XINT1	外部中断 1,低电平有效
33	TDI	测试(开路)	68	XWE0	外部扩展写信号 0
34	TDO	测试(开路)	69	XWE1	外部扩展写信号 1
35	TMS	测试(开路)	70	XWE2	外部扩展写信号 2
36	VDD11	电源电压	71	XWE3	外部扩展写信号 3
37	AVD2	AD 转换器电源电压	72	VSS3	地
38	VIN0	模拟输入通道 0	73	XOE	外部扩展读信号
39	VIN1	模拟输入通道 1	74	XROMI	可编程区域选择。低电平:内部 ROM;高电平:外部 ROM
40	VIN2	模拟输入通道 2	75	ROMW	(固定为低电平)
41	VIN3	模拟输入通道 3	76	ED0	外部扩展数据 0
42	VRB	基准输入(高端)	77	ED1	外部扩展数据 1
43	VRT	基准输入(低端)	78	VDD3	电源电压
44	AVS2	AD 转换器地	79	ED2	外部扩展数据 2
45	AVD1	PLL 电源电压	80	ED3	外部扩展数据 3
46	AVS1	PLL 地	81	ED4	外部扩展数据 4
47	AVD3	USB 电源电压	82	ED5	外部扩展数据 5

(续)

引脚	符号	功能	引脚	符号	功能
83	ED6	外部扩展数据 6	114	VDD6	电源电压

84	VSS4	地	115	EA0	外部扩展地址 0
85	ED7	外部扩展数据 7	116	EA1	外部扩展地址 1
86	ED8	外部扩展数据 8	117	EA2	外部扩展地址 2
87	ED9	外部扩展数据 9	118	EA3	外部扩展地址 3
88	ED10	外部扩展数据 10	119	EA4	外部扩展地址 4
89	ED11	外部扩展数据 11	120	VSS7	地
90	VDD4	电源电压	121	EA5	外部扩展地址 5
91	ED12	外部扩展数据 12	122	EA6	外部扩展地址 6
92	ED13	外部扩展数据 13	123	EA7	外部扩展地址 7
93	ED14	外部扩展数据 14	124	EA8	外部扩展地址 8
94	ED15	外部扩展数据 15	125	EA9	外部扩展地址 9
95	ED16	外部扩展数据 16	126	VDD7	电源电压
96	VSS5	地	127	EA10	外部扩展地址 10
97	ED17	外部扩展数据 17	128	EA11	外部扩展地址 11
98	ED18	外部扩展数据 18	129	EA12	外部扩展地址 12
99	ED19	外部扩展数据 19	130	EA13	外部扩展地址 13
100	ED20	外部扩展数据 20	131	EA14	外部扩展地址 14
101	ED21	外部扩展数据 21	132	VSS8	地
102	VDD5	电源电压	133	EA15	外部扩展地址 15
103	ED22	外部扩展数据 22	134	EA16	外部扩展地址 16
104	ED23	外部扩展数据 23	135	EA17	外部扩展地址 17
105	ED24	外部扩展数据 24	136	EA18	外部扩展地址 18
106	ED25	外部扩展数据 25	137	EA19	外部扩展地址 19
107	ED26	外部扩展数据 26	138	VDD8	电源电压
108	VSS6	地	139	XCS0	外部扩展芯片选择 0
109	ED27	外部扩展数据 27	140	XCS1	外部扩展芯片选择 1
110	ED28	外部扩展数据 28	141	XCS2	外部扩展芯片选择 2
111	ED29	外部扩展数据 29	142	XCS3	外部扩展芯片选择 3
112	ED30	外部扩展数据 30	143	PORT0	I/O 通道 0
113	ED31	外部扩展数据 31	144	PORT1	I/O 通道 1

7.3.4 CXD2932AGA-2 内部结构

CXD2932AGA-2 是一个完整的 GPS 接收机基带处理器芯片,内部结构方框图如图 7-16 所示。芯片内部包括: ARM CPU 核 (ARM7TDMI)、40KB SRAM、256KB ROM、判优器 (ARBITER)、定时中断控制器 (TIC)、译码器 (DECODER)、系统寄存器 (System, SYS _ REG)、32k 定时器 (32k-Timer)、USB 接口 (USB/DRV)、I/O 通道 (PORT)、2 通道 UART (UART: 2ch)、3 通道定时器 (Timer: 3ch)、17 通道 SSD1 (SSD1: 17ch)、中断控制寄存器 (Interrupt, INT _ CNTL)、时钟信号发生器 (9MHz~18MHz (ARM)、18MHz (TCXO)、6MHz (USB))、JTAG 接口 (JTAG (ARM-CORE)、BIST (SRAM)、SCAN)、内部 32 位地址总线 (ADDR: 32 bit)和 32 位数据总线 (DATA: 32 bit)、扩展的 20 位地址总线 (ADDR: 20 bit)和 32 位数据总线 (DATA: 32 bit)等电路。

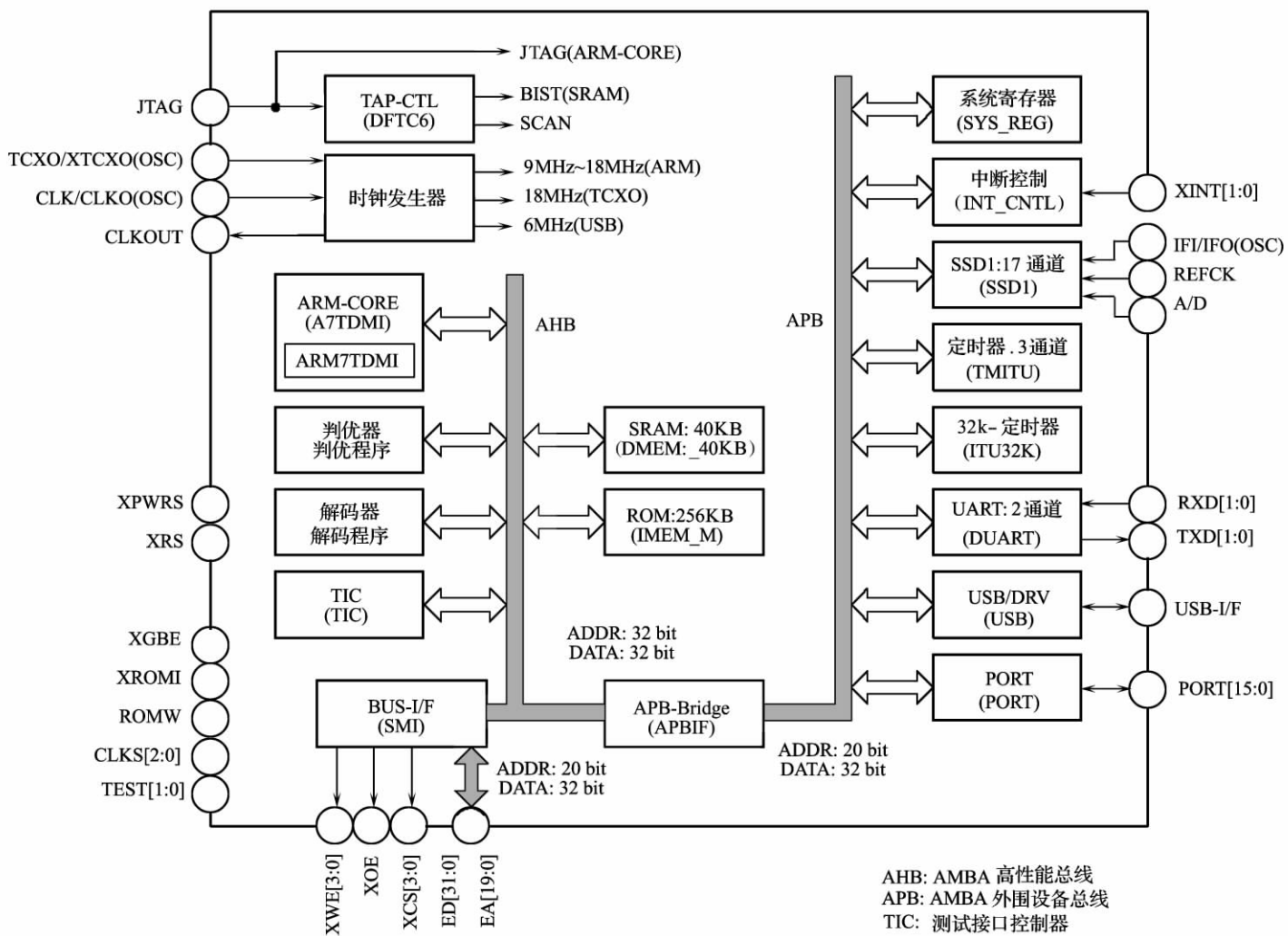


图 7-16 CXD2932AGA-2 内部结构方框图

7.3.5 CXD2932AGA-2 电路应用

1. 电池备份模式 (Battery Backup Mode) 控制

当 GPS 接收机的电源关断和电源导通复位到低电平时, 电池备份模式有效。当电源导通复位到低电平时, 定时器时钟继续工作, 其他时钟停止工作, 芯片处于低功耗模式。在这个时刻, RAM 数据被保持, 可以完成热启动。设置电源导通复位引脚(XRS)到高电平, 然后再设置振荡器使能引脚(XPWRS)为高电平, 取消电池备份模式。时序图如图 7-17 所示。

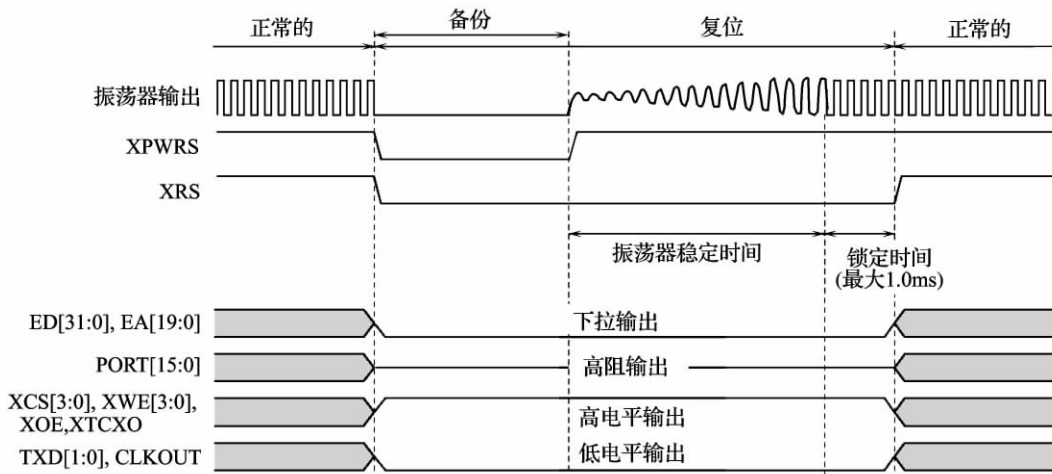


图 7-17 备份模式时序图

2. 外接存储器读数据时序

CXD2932AGA-2 外部存储器读数据时序图如图 7-18 所示, 时间参数如表 7-15 所列。

表 7-15 外部存储器读数据时序参数

($V_{DD} = 3.0V \sim 3.6V$, $CL = 40pF$, $T_{opr} = -40^{\circ}C \sim +85^{\circ}C$, CPU 时钟 = 18.4 兆指令/s)

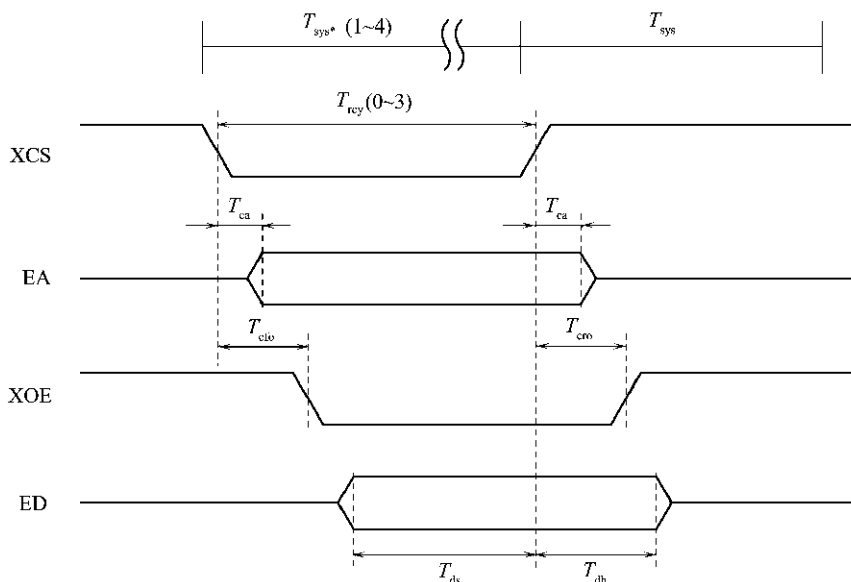


图 7-18 外部存储器读数据时序图

参 数	符号	最小值	典型值	最大值	单位
读周期时间(0WAIT)	T_{rcy0}		54		ns
读周期时间(1WAIT)	T_{rcy1}		108		ns
读周期时间(2WAIT)	T_{rcy2}		162		ns
读周期时间(3WAIT)	T_{rcy3}		216		ns
地址延迟时间	T_{ca}	0		4	ns
读信号下沿延迟时间	T_{cfo}	2		10	ns
读信号上沿延迟时间	T_{cro}	2		10	ns
读数据建立时间	T_{ds}	22			ns
读数据保持时间	T_{dh}			0	ns

3. 外部存储器写数据时序

外部存储器写数据时序图如图 7-19 所示,时序参数如表 7-16 所列。

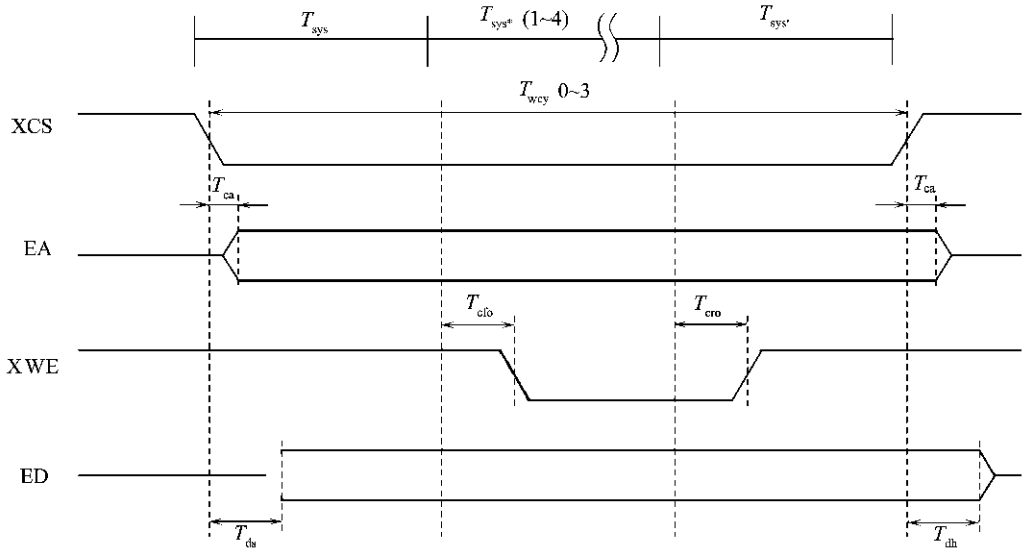


图 7-19 外部存储器写数据时序图

表 7-16 外部存储器写数据时序参数

($V_{DD} = 3.0V \sim 3.6V$, $CL = 40pF$, $T_{opr} = -40 \sim +85^{\circ}C$, CPU 时钟 = 18.4 兆指令/s)

参 数	符号	最小值	典型值	最大值	单位
写周期时间(0WAIT)	T_{wcy0}		162		ns
写周期时间(1WAIT)	T_{wcy1}		216		ns
写周期时间(2WAIT)	T_{wcy2}		270		ns
写周期时间(3WAIT)	T_{wcy3}		324		ns
地址延迟时间	T_{ca}	0		4	ns

(续)

参 数	符号	最小值	典型值	最大值	单位
-----	----	-----	-----	-----	----

写信号下沿延迟时间	T_{cfo}	2		6	ns
写信号上沿延迟时间	T_{cro}	2		8	ns
写数据建立时间	T_{ds}	2		15	ns
写数据保持时间	T_{dh}	2		10	ns

4. TCXO 输入

TCXO 输入信号要求 $(18.414 \pm 3 \times 10^{-6})$ MHz, 输入电路如图 7-20 所示。

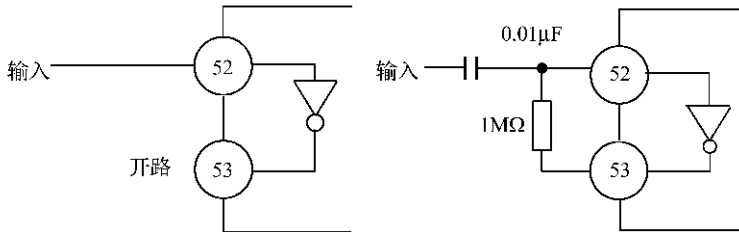


图 7-20 TCXO 输入信号

5. CPU 时钟产生

(1) CPU 时钟频率选择。CLKS2、CLKS1 和 CLKS0 引脚用来选择 TCXO, 还是使用引脚 CLKI 和 CLKO 自振荡。当选择 TCXO 时, 设置引脚 CLKI 到低电平。推荐使用 $CLKS[2:0]=001$, 如表 7-17 所列。

表 7-17 CPU 时钟频率选择

CLKS[2:0]	CLKI, CLKO	CPU 频率
001	—	TCXO × 1.0 (18.414 MHz)
010	—	TCXO × 1.5 (27.671 MHz)
101	18 MHz ~ 27 MHz	CLKI × 1.0 (18 MHz ~ 27 MHz)
110	12 MHz ~ 18 MHz	CLKI × 1.5 (18 MHz ~ 27 MHz)

(2) 使用引脚 CLKI 和 CLKO 自振荡电路如图 7-21 所示。

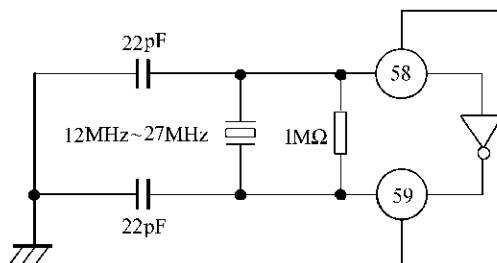


图 7-21 晶体振荡器电路

6. 定时器时钟设置

当在器件中使用实时时钟 (Real-Time Clock, RTC), 连接 $(32.768 \pm 100 \times 10^{-6})$ kHz 晶体振荡器到 CCKI 和 CCKO 引脚。当使用外部 RTC 电路时, 设置 CCKI 引脚为低电平。定时器时钟振荡器电路如图 7-22 所示。

7. IF 信号输入

这个器件仅支持 1.023 MHz IF 信号, 信号输入需要隔直电容, IF 信号输入电路如图 7-23

所示。

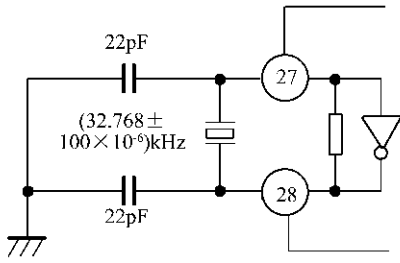


图 7-22 定时器时钟振荡器电路

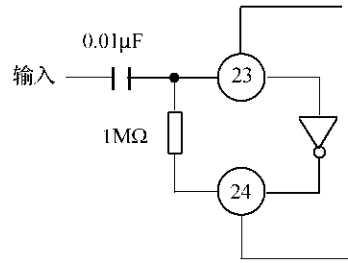


图 7-23 IF 信号输入电路

8. I/O 通道设置

当电源导通或者是由复位输入初始化后,系统开始选择通道设置。设置在工作期间不能够改变。I/O 通道状态如表 7-18 所列。

表 7-18 I/O 通道状态

通道 (PORT)	复位	工作	功能状态
0	I	I	测试引脚(正常模式=低电平)
1	I	I	通信格式选择:
2	I	I	PORT[2:1] = (00: Sony Binary; 01: NMEA4800; 10: NMEA9600; 11: 未使用)
3	I	I	RTC 选择(高电平:内部;低电平:外部)
4	I	I	测试引脚(正常模式=高电平)
5	I	I	测试引脚(正常模式=低电平)
6	I	O	未使用
7	I	O	未使用
8	I	O	未使用
9	I	I	天线检测(低电平:不使能;高电平:使能)
10	I	O	天线关闭,高电平关断
11	I	I	测试引脚(正常模式=低电平)
12	I	O	未使用
13	I	I/O	RTC SIO(当选择内部 RTC 时,允许开路)
14	I	O	RTC SIC(当选择内部 RTC 时,允许开路)
15	I	O	RTC CE(当选择内部 RTC 时,允许开路)

7.3.6 CXD2932AGA-2 封装尺寸

CXD2932AGA-2 采用 LFLGA-144 封装,封装尺寸与 CXD2931GA-9 封装尺寸相同,如图 7-14 所示。

7.4 基于 GP4020 的 GPS 接收机基带处理器电路

7.4.1 GP4020 简介

GP4020 是一个完整的 GPS 接收机数字基带处理器,它结合了 GP2021 的 12 通道相关器功能和先进的 ARM7TDMI (Thumb)微处理器,达到了较高的集成度水平,减少了 GPS 接收机系统成本,降低了功耗,增加了功能。

GP4020 的相关器部分包含有 12 个相同的跟踪功能模块,每个通道包含对于捕获和跟踪必需的所有元器件,以及其他功能模块。如果不需要 12 通道,单个通道可以不激活,以降低功耗和处理器的负载。

GP4020 的微处理器部分包括 Firefly MF1 微控制器核,Firefly MF1 微控制器核包括 ARM7TDMI、Thumb 指令、Firefly $B_{\mu}ILD$ 模块、JTAG ICEBreaker™ 调试接口、UART、 $B_{\mu}ILD$ 串行 I/O、通用 I/O 和看门狗功能。

GP4020 具有:可配置的外部数据总线;工作电源电压 3.3V;具有低功耗模式;1PPS UTC 输出;3 线式 $B_{\mu}ILD$ 串行输入/输出(BSIO)接口;8 个通用输入/输出(GPIO)接口;引导 ROM 允许通过 UART 上载软件;8KB 内部 SRAM;采用 PQFP-100 封装;工作温度范围 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。

GP4020 可以与 GP2015 和 GP2010 C/A 码射频下变频器直接连接,构成 GPS 导航系统、GPS 测量接收机等系统。

7.4.2 GP4020 主要性能指标

GP4020 的主要性能指标如表 7-19 和表 7-20 所列。

表 7-19 绝对最大值范围

参 数	数 值	单 位
电源电压,从 V_{DD} 到地(GND)	$-0.5 \sim +5.0$	V
5V 输入偏置	$+7.0 \text{ max}$	V
输入电压	$\text{GND}-0.5 \sim \text{VDD}+0.5$	V
输出电压	$\text{GND}-0.5 \sim \text{VDD}+0.5$	V
存储温度范围	$-55 \sim +150$	$^{\circ}\text{C}$
静电保护	2	kV

表 7-20 主要性能指标

参 数	符 号	最小值	典型值	最大值	单 位
工作电压范围		3.0		3.6	V
备用电池电压	V_{BATT}	2.7			V
电源电流	I_{DD}			100	mA
Firefly MF1 微控制器					

工作频率	$F_{B\mu\text{LLD}}$		20	31.25	MHz
------	----------------------	--	----	-------	-----

(续)

参 数	符 号	最小值	典型值	最大值	单 位
输出电容				50	pF
40MHz 低电平差分输入					
输入电压偏置	V_{DBIAS}	0		1.715	V
差分输入电压	V_{DIFIN}	100			mV
输入时钟频率	F_{DIFIN}		40	150	MHz
输入电容	C_{DIFIN}		5		pF
电源导通延迟				150	ns
处理器时钟振荡器					
频率		10		16	MHz
启动时间	F_{PRXIN}		10		ms
标号:空号	T_{PRXSU}	45	50	55	%
PLL					
输入频率	F_{PLLIN}	10		20	MHz
输出频率	F_{PLLOUT}	10		250	MHz
占空比		45	50	55	%
实时时钟					
晶体振荡器频率	F_{RTC}		32.768		kHz
启动时间	T_{RTCSTART}		400		ms
$B\mu\text{LLD}$ 串行输入/输出 3 线接口					
BSIO_CLK 输出频率	F_{SEROF}			10	MHz
串行时钟输出低电平周期	T_{SERCL}	40			ns
串行时钟输出高电平周期	T_{SERCH}	40			ns
串行时钟输出上升时间	T_{SERCR}			10	ns
串行时钟输出下降时间	T_{SERCF}			10	ns
串行时间输出延迟时间	T_{SERDOD}	-20		20	ns
串行使能输出延迟时间	T_{SEREOD}	-20		20	ns
通用 I/O					
输出延迟时间	T_{GPOD}			20	ns
输入建立时间	T_{GPIS}	20			ns
输入保持时间	T_{GPIH}	10			ns
UART 标准波特率	B_{DPUS}	1.2		115.2	kbaud

复位输入脉冲宽度		100			ns
----------	--	-----	--	--	----

7.4.3 GP4020 引脚功能

GP4020 采用 PQFP-100 封装,引脚功能如表 7-21 所列。

表 7-21 GP4020 引脚功能

引脚	符号	I/O 类型	功能模块	功能
1~6	SADD[0]~SADD[5]	I/O	MPC	系统地址位 0~5
7	GND	PWR		地
8,9	SADD[6],SADD[7]	I/O	MPC	系统地址位 6,7
10	VDD	PWR		电源电压
11~13	NSCS[0], NSCS [1], NSCS [2A]	O	MPC	系统片选,低电平有效
14	SADD[19]	I/O	MPC	系统地址位 19
15~18	SDATA[0]~SDATA[3]	I/O	MPC	系统数据位 0~3
19	GND	PWR		地
20,21	SDATA[4]~SDATA[5]	I/O	MPC	系统数据位 4,5
22	VDD	PWR		电源电压
23,24	SDATA[6],SDATA[7]	I/O	MPC	系统数据位 6,7
25	NSOE	I/O	MPC	系统输出使能,低电平有效
26	NSWE[1]	I/O	MPC	系统写使能 1,低电平有效
27	NSWE[0]	I/O	MPC	系统写使能 0,低电平有效
28,29	SDATA[8],SDATA[9]	I/O	MPC	系统数据位 8,9
30	VDD	PWR		电源电压
31,32	SDATA[10],SDATA[11]	I/O	MPC	系统数据位 10,11
33	GND	PWR		地
34~37	SDATA[12]~SDATA[15]	I/O	MPC	系统数据位 12~15
38~40	SADD[18]~SADD[16]	I/O	MPC	系统地址位 18~16
41	GND	PWR		地
42,43	SADD[15],SADD[14]	I/O	MPC	系统地址位 15,14
44	VDD	PWR		电源电压
45~50	SADD[13]~SADD[8]	I/O	MPC	系统地址位 13~8
51	SWAIT	I	MPC	系统等待输入,允许等待状态嵌入到当前“Firefly”时钟周期
52	NSUB	O	MPC	系统上部字节,低电平有效
53	IEXTINT2	I	INTC	中断源 2 输入,外部中断

54	MULTI_FNIO	I/O	PCL	多功能输入/输出
----	------------	-----	-----	----------

(续)

引脚	符号	I/O类型	功能模块	功能
55	DISCIO	I/O	PCL	离散输入/输出
56	RF_PLL_LOCK	I	INTC/PCL	PLL 锁定指示器输入,来自射频部分。当高电平时表示射频部分的 PLL 已经锁定,主机时钟输入已经稳定
57	A1VDD	PWR		VDD Supply for 在系统时钟发生器中的 CLK_T & CLK_I 输入功能块电源电压。这个引脚端需要退耦,连接到接地引脚端 60(GND)
58	CLK_T	I	SCG	主机时钟(M_CLK)输入,来自射频前端(40MHz 100mV)
59	CLK_I	I	SCG	反向主机时钟(M_CLK)输入,来自射频前端(40MHz 100mV)
60	GND	PWR		地
61	SIGN0	I	CORR	采样来自射频前端的标记(Sign)数据
62	MAG0	I	CORR	采样来自射频前端的幅度(Mag)数据
63	SAMPCLK	O	CORR	采样时钟输出,到射频前端,频率 5.714MHz,标号和空号比为 4:3
64	POWER_GOOD	I	PCL	电源监视器输入。高电平表示正常工作;低电平表示 GP4020 进入低功耗模式
65	PR_XOUT	O	SCG	系统时钟振荡器,晶体振荡器输出,连接 10MHz~16MHz 晶体振荡器
66	PR_XIN	I	SCG	系统时钟振荡器,晶体振荡器输入,连接 10MHz~16MHz 晶体振荡器
67	TEST	I		测试选择引脚,与 TESTMODE (Pin 74)一起使用
68	VDD	PWR		电源电压
69	TIMEMARK/TIC	O	1PPS	时间标志输出。能够产生 UTC 1PPS 输出或者 TIC 输出
70	IDDQTEST	I		这个引脚端仅保存用作测试,正常工作时连接到地
71	GND	PWR		地
72	RTC_XIN	I	RTC	实时时钟晶体振荡器输入,32kHz 晶体振荡器
73	RTC_XOUT	O	RTC	实时时钟晶体振荡器输出,32kHz 晶体振荡器
74	TESTMODE	I		测试模式选择,与 TEST 引脚一起使用
75	NSRESET	I	PCL	系统复位输入
76	U2TXD	O	UART2	UART2 发射数据输出

77	U2RXD	I	UART2	UART2 接收数据输入
----	-------	---	-------	--------------

(续)

引脚	符号	I/O 类型	功能模块	功能
78	UITXD	O	UART1	UART1 发射数据输出
79	UIRXD	I	UART1	UART1 接收数据输入
80	PLLGND	PWR	SCG PLL	地,连接到 PLL 功能模块
81	PLLVDD	PWR	SCG PLL	电源,连接到 PLL 功能模块
82	GND	PWR		地
83	PLLAT1	O	SCG PLL	系统时钟发生器 PLL 模拟测试 IO
84	NICE	I	JTAG/SSMMUX	ARM7TDMI 工作模式和 JTAG/SSM 信号
85	VDD	PWR		电源电压
86	TCK/bdiag[0]/XReq	I/O	JTAG/SSM	JTAG 测试时钟/SSM 诊断输出[0]/系统测试控制输入 XReq
87	TDI/bdiag[1]/XWrite	I/O	JTAG/SSM	JTAG 测试数据输入/SSM 诊断输出[1]/系统测试控制输入 XWrite
88	TDO/bdiag[2]/XBurst	I/O	JTAG/SSM	JTAG 测试数据输出/SSM 诊断输出[2]/系统测试控制输入 XBurst
89	TMS/bdiag[3]/XCon	I/O	JTAG/SSM	JTAG 测试模式选择/SSM 诊断输出[3]/系统测试控制输入 XCon
90	NTRST	I	JTAG/SSM	JTAG 接口复位或者 SSM 调试接口
91	GPIO[7]/PLLD1	I/O	GPIO/SCG PLL	通用 I/O 引脚 7,也能够作为 SCG PLL 测试数据输出(PLLD1)
92	GPIO[6]	I/O	GPIO	通用 I/O 引脚 6
93	GPIO[5]/DISCOP	I/O	GPIO/CORR	通用 I/O 引脚 5,也能够作为来自相关器内核的 DISCOP 输出
94	GND	PWR		地
95	GPIO[4]/DISCOP1	I/O	GPIO/CORR	通用 I/O 引脚 4,也能够直接连接到 12 通道相关器的 DISCOP1
96	GPIO[3]/BSIO_SS[1]	I/O	GPIO/BSIO	通用 I/O 引脚 3,也能够作为 BSIO 从设选择 1
97	GPIO[2]/BSIO_SS[0]	I/O	GPIO/BSIO	通用 I/O 引脚 2,也能够作为 BSIO 从设选择 0
98	VDD	PWR		电源电压
99	GPIO[1]/BSIO_DATA	I/O	GPIO/BSIO	通用 I/O 引脚 1,也能够作为 BSIO 数据输入/输出
100	GPIO[0]/BSIO_CLK	I/O	GPIO/BSIO	通用 I/O 引脚 0,也能够作为 BSIO_CLK 输出

7.4.4 GP4020 内部结构与工作原理

GP4020 的内部结构方框图如图 7-24 所示,芯片内部包括 12 通道的 Navstar GPS C/A 码

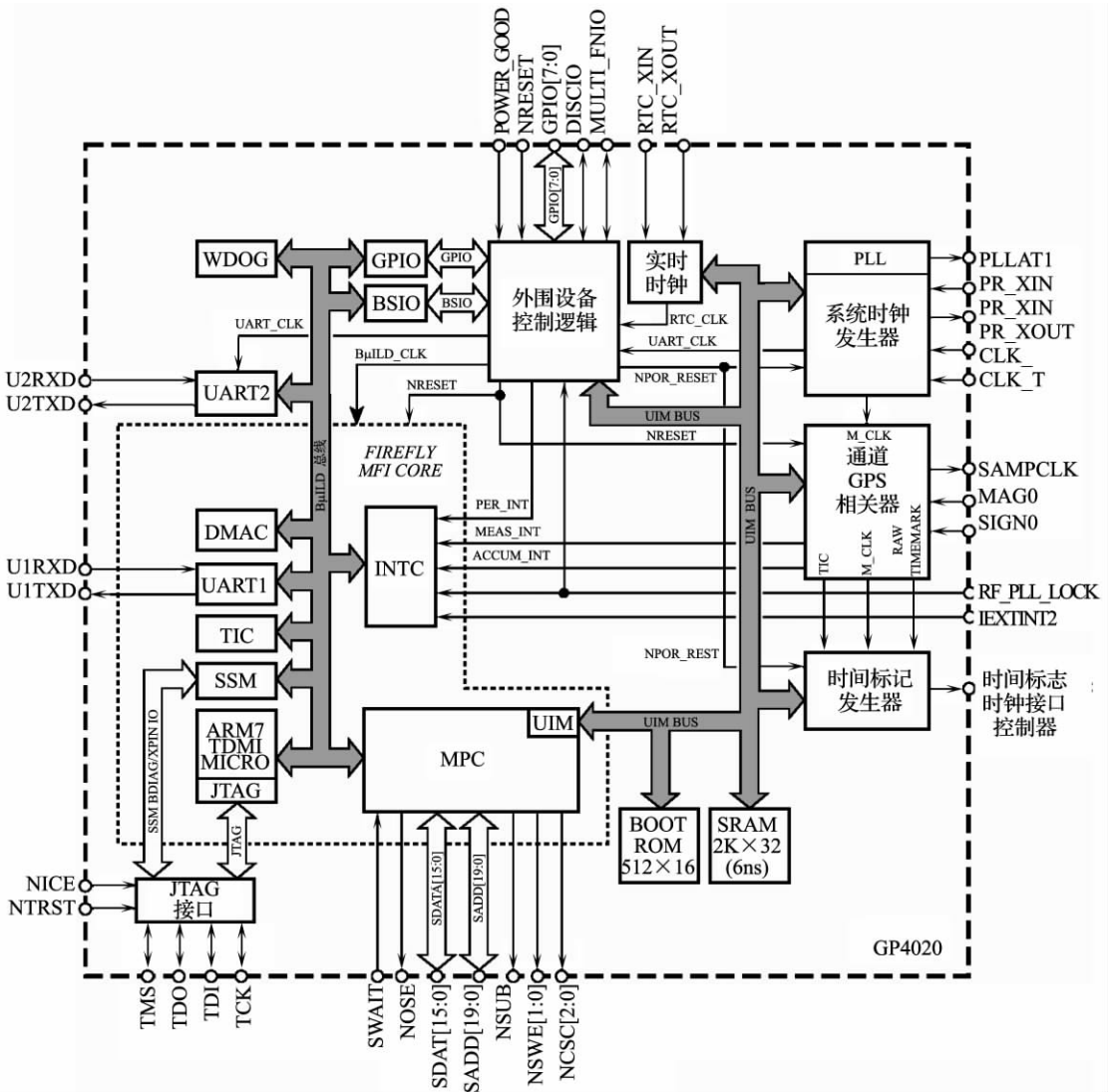


图 7-24 GP4020 的内部结构方框图

相关器(12-channel Navstar GPS C/A code correlator)、Zarlink Firefly MF1 微控制器核(包含 ARM7TDMI Thumb 微处理器),实时时钟(Real Time Clock),8KB 片上 SRAM 和 1KB 导入 ROM(Boot ROM),8bit 通用输入/输出接口(8bit General Purpose I/O),调试用 JTAG 或者 SSM 串行通道,系统定时器/计数器(System Timer / Counters),3 线串行接口 BSIO (BSIO: 3-wire serial interface),看门狗(Watchdog),具有 25ns 分辨率的 1PPS(Pulse-Per-Second)输出,灵活的系统时钟发生器(system Clock Generator)能够使用来自晶体振荡器或者射频前端 TCXO 的时钟源。GP4020 具有完全可配置的存储器接口,允许使用 16 bit 的外部存储器。

1. ARM 处理器 ARM7TDMI(ARM Processor, ARM7TDMI)

ARM7TDMI 是一个 32 bit RISC 微处理器核,具有 Thumb (16-bit) 指令集,调试接口使用 JTAG,快速乘法器。ARM7TDMI 的目标码与所有的 ARM6 和 ARM7 产品兼容。

2. 导入 ROM(Boot ROM)

GP4020 BOOT ROM 包含的代码完成任一时刻的系统复位。在复位后,可以运行外部 Flash EPROM 程序,用户独特的程序可以通过 UART1 输入,装载到内部 SRAM。

3. BμILD 总线(BμILD Bus)

BμILD 总线是一个标准的总线结构,完成片上的模块的相互通信。这些模块能够作为总线的主设或者是从设。总线主设可以启动总线访问,产生地址和控制读或者写传输。总线从设响应总线主设请求,进行相应的数据传输。所有的内部数据在模块总线上传输是单周期的。Firefly MF1 微控制器有 3 个模块可以作为总线主设工作,它们是 ARM7TDMI 核、DMAC 和 SSM。

4. BμILD 串行输入输出(BμILD Serial Input Output, BSIO)

模块提供 2 个 3 线式串行接口,可以连接 2 个外部串行接口“从设”器件,连接串行 EEPROM 和 LCD 外围设备例如图 7-25 所示。

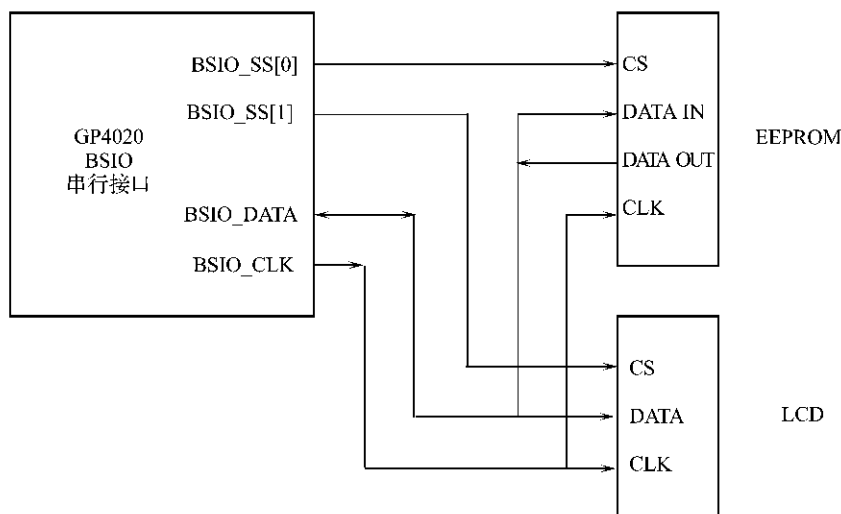


图 7-25 使用 BSIO 与 EEPROM 和 LCD 外围设备连接

5. 12 通道相关器(12 Channel Correlator)

模块包含 PRN 编码的 12 通道相关器。每个通道包含一个独立的载波 DCO,允许在码相关发生之前,下变频卫星信号到基带信号。相关器提取被调制数据速率为 1.023Mb/s,能够用于 Navstar C/A 编码 GPS 信号和 Inmarsat WAAS 编码。

6. DMA 控制器(DMA Controller,DMAC)

在微控制器中有 2 个可配置的 DMA 控制器,可以用来在 ARM7TDMI 存储器空间、UART1 或者 UART2 与片内或者片外等进行数据传输。

7. 嵌入式微控制器调试选择

Firefly MF1 内核可以通过 3 个方法进行硬件和软件调试。内置 ICE,通过 ARM7TDMI JTAG 接口;调试监视器;逻辑分析仪与反汇编程序,通过 SSM 调试接口。

JTAG 和 SSM 调试接口是多功能的引脚端,能够通过设置引脚端 NICE(pin 84)电平选择。NICE 为高电平,选择 SSM;NICE 为低电平,选择 JTAG。

8. Firefly MF1 微控制器内核(Firefly MF1 Microcontroller core)

Firefly MF1 微控制器是一个由 Zarlink Semiconductor 开发的嵌入式微控制器核。由

ARM7TDMI 微处理器和一些外围器件组成,如直接存取控制器(Direct Memory Access Controller,DMAC)、中断控制器(Interrupt Controller,INTC)、存储器外围设备控制器(Memory Peripheral Controller,MPC)、系统服务模块(System Services Module,SSM)、系统定时器/计数器(System Timer/Counter)、UART 等。

9. 中断控制器(Interrupt Controller,INTC)

ARM7TDMI 内核由 2 个类型的中断请求:标准中断请求(IRQ)和快速中断请求(FIQ)。INTC 是中断逻辑控制电路,处理预定义的 8 个中断请求(内部中断源和外部中断源)。

10. 通用输入输出接口(General Purpose Input Output,GPIO)

模块提供 8 个 I/O 引脚端,可以进行 bit 或者 byte 操作。GPIO 是一个多功能的引脚端,可以根据需要进行不同的配置。

11. 存储器/外围设备控制器(Memory/Peripheral Controller,MPC)

MPC 确保多路数据能够在总线上完成正确传输,即确保数据能够在 8bit、16bit 或者 32bit 的片上或者片外外围设备之间传输。

12. 外围设备控制逻辑(Peripheral Control Logic,PCL)

GP4020 还具有一些专门的控制逻辑功能,如系统复位控制,系统低功耗控制,系统睡眠和唤醒控制,系统状态和控制寄存器,信号输入输出多路控制等。

13. RAM

GP4020 包含有高速(6ns)8KB SRAM(可配置为 2KB,32 bit),内部地址为 0x60000000。

14. 实时时钟(Real Time Clock,RTC)

GP4020 实时时钟使用 32kHz 外部晶体振荡器,当器件在复位或者低功耗模式时,提供时间到 GP4020 芯片。

15. 系统时钟发生器(System Clock Generator,SCG)

GP4020 系统时钟发生器提供 2 个系统时钟。一个是 12 通道相关器的 M_CLK,这是分频来自 CLK_T 和 CLK_I 输入信号获得,CLK_T 和 CLK_I 输入信号来自射频前端。另一个是 B_μILD_CLK,用于在 B_μILD 总线上的所有组成部分。这也能够通过分频 M_CLK 或者其他时钟信号源获得。

16. 系统定时器/计数器(System Timer/Counters,SYSTIC)

2 个双独立的 32 bit 定时器/计数器(定时器 1A、1B、2A 和 2B),对于每个计数器有一个 8 bit 的前置分频器。定时器 1(TIC1)地址是 0xE000 E000,定时器 2(TIC2)地址是 0xE000 F000。TIC 功能能够通过 TIC 控制/状态寄存器设置。

17. 1PPS 时间标志发生器(1PPS Timemark Generator)

GP4020 时间标志发生器与软件一起产生 1PPS 输出脉冲。

18. UART1 和 UART2

全双工异步通道 UART1 和 UART2 提供 RS 232 型接口,支持 XON/XOFF 软件协议。接收和发射通道是双缓冲器。内部的波特率发生器可以为每个 UART 提供可选择的数据速率。用 UART 可以进行直接触发 DMA 传输,不需要 CPU 干涉。

19. 看门狗(Watchdog,WDOG)

GP4020 看门狗能够被用来检测硬件和软件运行时间错误,以及复位系统。

7.4.5 GP4020 电路应用

GP4020 和 GP2015 射频前端构成的 GPS 接收机电路如图 7-26 所示。GP2015 射频部分完成 L1(1575.42MHz)信号下变频,为数字基带处理部分提供信号。GP4020 完成 GPS 基带信号处理。

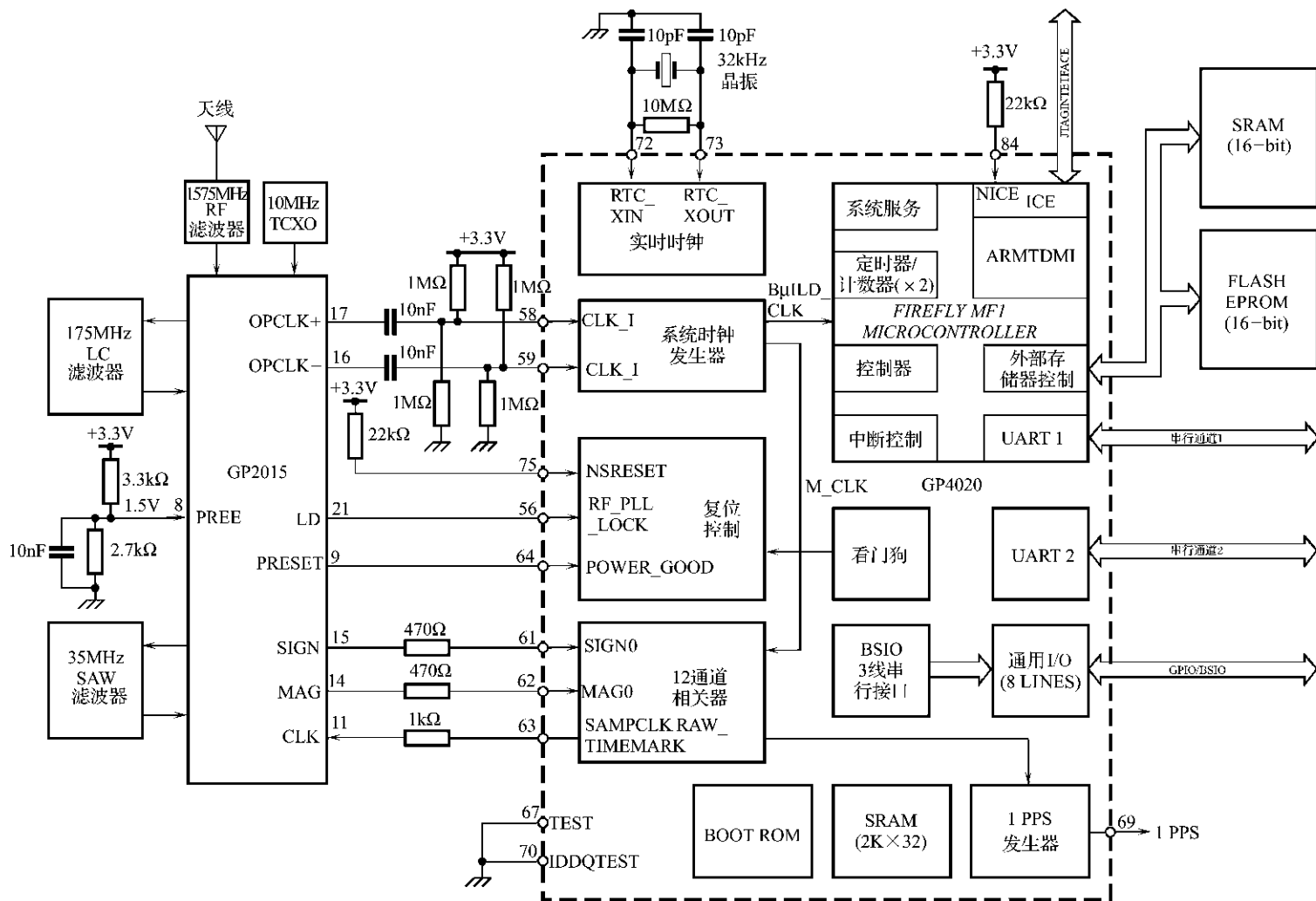
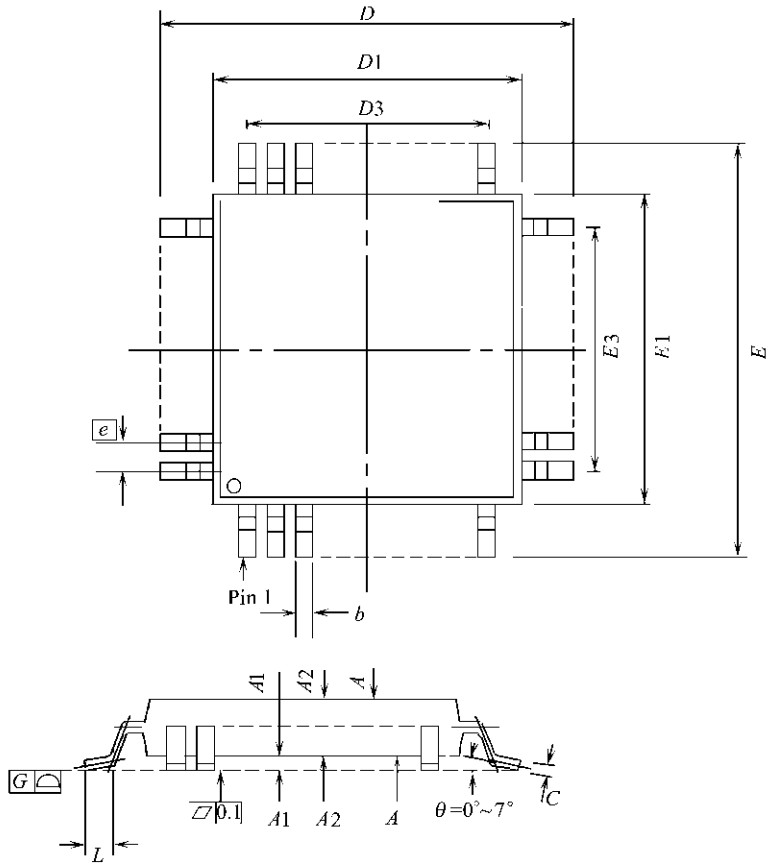


图 7-26 GP4020 和 GP2015 构成的 GPS 接收机电路

7.4.6 GP4020 封装尺寸

GP4020 采用 PQFP-100 封装,封装尺寸如图 7-27 所示。



符号	最小值/mm	标准值/mm	最大值/mm
A	1.40		1.60
A1	0.05		0.15
A2	1.35		1.45
D	15.80		16.20
D1	13.80		14.20
D3		12.00	
E	15.80		16.20
E1	13.80		14.20
E3		12.00	
L	0.45		0.75
e		0.50	
b	0.17		0.27
c	0.09		0.20

图 7-27 GP4020 的封装尺寸

7.5 基于 NJ1030 的 GPS 接收机基带处理器电路

7.5.1 NJ1030 简介

NJ1030 是 Nemerix 公司推出的一个适合 C/A 码 L1 GPS 接收机使用的 GPS 基带处理器,支持 WAAS/EGNOS、3GPP TS44.035-TIA-IS801。NJ1030 芯片上组合了 Nemerix 公司的 NP1016 GPS 相关器内核、32 bit RISC IEEE1754(SPARC V8)兼容的 CPU 内核、片上存储器、外围设备接口等功能模块。

NJ1030 灵活的系统性能配置和存储器结构,允许在不同的 GPS 接收机中应用。NJ1030 可以直接与 Nemerix NJ100x(NJ1004, NJ1006)系列的射频前端连接,适合与 1 bit 或者 2 bit 输出的 GPS 射频前端器件连接,采样频率可达 20MHz。

NJ1030 具有 8 bit AD 转换器;具有灵活的时钟设计可以采用内部或者外部时钟源;CPU 是一个 32 bit RISC IEEE1754 (SPARC V8)兼容的内核,具有 8KB 指令高速缓冲存储器、1KB 数据高速缓冲存储器和 32KB 片上 SRAM,其中 8KB SRAM 采用电池供电,用来储存导航信息和实时时钟;外部存储器和 I/O 空间通过 32bit 外部总线(external bus interface,EBI)接口访问;支持 4 块 16MB 的 SRAM 或者 Flash 存储器;具有 UART 和可选择的 UART/SPI/GPIO 接口;功耗小于 25mW;采用 micro BGA128 7mm×7mm 封装。

7.5.2 NJ1030 主要性能指标

NJ1030 的主要性能指标如表 7-22 和表 7-23 所列。

表 7-22 绝对最大额定值

参 数	数 值	单 位
最大电源电压(LVDD, VBAT 引脚)	2.2	V
最大电源电压(其他引脚)	4.2	V
最大电压(在任一个引脚)	$-0.3 \sim \otimes V_{DD} + 0.3$	V
最大电流(在任一个引脚)	± 20	mA
连续功率消耗	200	mW
工作温度范围	$-40 \sim +85$	$^{\circ}\text{C}$
接点温度	125	$^{\circ}\text{C}$
存储温度	$-65 \sim +150$	$^{\circ}\text{C}$
引脚端温度(焊接 10s)	260	$^{\circ}\text{C}$

表 7-23 主要电气特性

(条件: $1.6V \leq DVDD \leq 3.6V$; $1.6V \leq AVDD \leq 3.6V$; $1.6V \leq DVSU \leq 2V$; $1.6V \leq TVDD \leq 3.6V$; $1.2V \leq LVDD \leq 1.8V$, $V_{BAT} \leq 2V$; $T_{amb} = -40 \sim +85^\circ C$, 负载 = 10pF, 晶体振荡器有效, $f_{sys_clk} = 16.368$ MHz。所有电压值以地(xGND)为参考点, 典型值是在 $xVDD = 2.5V$ 和 $T_{amb} = +25^\circ C$)

参 数	最小值	典型值	最大值	单 位
直 流 参 数				
AVDD, TVDD, DVDD 电源电压	1.6		3.6	V
LVDD 内核电源电压	1.2		2	V
DVSU 加电单元电压	1.6		2	V
VBAT 电池电源电压	1.1	1.5	2.0	V
I_LVDD	6	12	14	mA
电池 OK 标志阈值		1.15		V
VREF 基准电压	1.22	1.24	1.26	V
交 流 参 数				
系统时钟频率	0		98.2	MHz
	0		32.4	MHz
系统时钟晶体振荡器驱动功率		10		μW
RTC 时钟晶体振荡器驱动功率		100		nW
时钟输入电平	100			mV
数 字 接 口				
VIH	0.7DVDD			V
VIL			0.3	V
VOH	0.9DVDD			V
VOL			0.1DVDD	V
输出上升时间, $C_{load} = 15pF$			5	ns
输出下降时间, $C_{load} = 15pF$			5	ns

7.5.3 NJ1030 引脚功能

NJ1030 采用 micro BGA-128 封装, 引脚功能如表 7-24 所列。

表 7-24 NJ1030 引脚功能

引脚	球编号	信 号	类 型	功 能
1	C4	DATA[4]	数字 I/O	EBI 数据总线
2	C3	DATA[5]	数字 I/O	EBI 数据总线
3	C2	DATA[6]	数字 I/O	EBI 数据总线
4	C1	DATA[7]	数字 I/O	EBI 数据总线
5	D4	DATA[8]	数字 I/O	EBI 数据总线
6	D3	DATA[9]	数字 I/O	EBI 数据总线
7	D2	DATA[10]	数字 I/O	EBI 数据总线
8	D1	DATA[11]	数字 I/O	EBI 数据总线

(续)

引脚	球编号	信号	类型	功能
9	E4	DATA[12]	数字 I/O	EBI 数据总线
10	E3	DATA[13]	数字 I/O	EBI 数据总线
11	E2	DATA[14]	数字 I/O	EBI 数据总线
12	E1	DATA[15]	数字 I/O	EBI 数据总线
13	F2	DATA[16]	数字 I/O	EBI 数据总线
14	F3	DATA[17]	数字 I/O	EBI 数据总线
15	F1	LVDD	数字电路电源	内核电源电压
16	F4	LVSS	数字电路地	地
17	G1	DATA[18]	数字 I/O	EBI 数据总线
18	G2	DATA[19]	数字 I/O	EBI 数据总线
19	G3	DATA[20]	数字 I/O	EBI 数据总线
20	H1	DATA[21]	数字 I/O	EBI 数据总线
21	G4	DVDD	数字电路电源	内核电源电压
22	H4	DVSS	数字电路地	地
23	H3	DATA[22]	数字 I/O	EBI 数据总线
24	H2	DATA[23]	数字 I/O	EBI 数据总线
25	J1	DATA[24]	数字 I/O	EBI 数据总线
26	J2	DATA[25]	数字 I/O	EBI 数据总线
27	J3	DATA[26]	数字 I/O	EBI 数据总线
28	J4	DATA[27]	数字 I/O	EBI 数据总线
29	K1	DATA[28]	数字 I/O	EBI 数据总线
30	K2	DATA[29]	数字 I/O	EBI 数据总线
31	K3	DATA[30]	数字 I/O	EBI 数据总线
32	K4	DATA[31]	数字 I/O	EBI 数据总线
33	L1	DIR	数字输出	EBI 数据总线方向
34	M1	OEN	数字输出	EBI 输出使能
35	M2	IOSN	数字输出	EBI I/O 空间芯片选择
36	L2	WRITEN	数字输出	EBI I/O 空间写使能
37	L3	RWEN[0]	数字输出	EBI RAM 写选通/字节选择
38	M3	RWEN[1]	数字输出	EBI RAM 写选通/字节选择
39	L4	RWEN[2]	数字输出	EBI RAM 写选通/字节选择
40	M4	RWEN[3]	数字输出	EBI RAM 写选通/字节选择
41	J5	CSN4	数字输出	EBI RAM4 芯片选择

引脚	球编号	信号	类型	功能
42	K5	CSN0	数字输出	EBI RAM3 芯片选择
43	L5	CSN1	数字输出	EBI RAM2 芯片选择
44	M5	CSN2	数字输出	EBI RAM1 芯片选择
45	J6	CLK_SOURCE	数字输入	外部/内部时钟选择
46	K6	EXT_WAKE_UP1	数字输入	外部唤醒信号
47	L6	EXT_RESETN	数字输入	异步复位, 低电平有效
48	M6	EXT_EN1	数字输出	外部元件使能
49	L7	EXT_VREGN	数字输入	内部/外部稳压器选择
50	K7	DVSU	数字电源	加电单元独立电源电压
51	M7	TVDD	数字电源	射频接口电源电压
52	J7	TVSS	数字地	射频接口地
53	M8	GPS_REF_CLK	数字输出	GPS 基准时钟输出
54	J8	ANTENNA_OK	数字输入	天线状态监视器
55	L8	MAG	数字输入	GPS IF 输入信号
56	K8	SGN	数字输入	GPS IF 输入信号
57	K9	FE_P0	数字输出	功率控制信号, 到射频部分
58	J9	FE_P1	数字输出	功率控制信号, 到射频部分
59	L9	VSI	模拟输入	电源管理器模拟输入
60	M9	AVDD	模拟电源	模拟电源电压
61	L10	AVSS	模拟地	模拟地
62	M10	VREF	模拟输出	电压基准
63	M11	MXI	模拟/数字输入	主晶体振荡器或者外部时钟输入
64	M12	MXO	模拟输出	主晶体振荡器输出
65	J10	AIN[3]	模拟输入	模拟信号输入到 ADC 输入
66	K10	AIN[1]	模拟输入	模拟信号输入到 ADC 输入
67	L11	AIN[5]	模拟输入	模拟信号输入到 ADC 输入
68	K11	AIN[0]	模拟输入	模拟信号输入到 ADC 输入
69	J11	AIN[4]	模拟输入	模拟信号输入到 ADC 输入
70	L12	AIN[2]	模拟输入	模拟信号输入到 ADC 输入
71	K12	AIN[6]	模拟输入	模拟信号输入到 ADC 输入
72	H10	AVSS	模拟地	模拟地
73	J12	RXI	模拟输入	RTC 晶体振荡器输入
74	H12	RXO	模拟输出	RTC 晶体振荡器输出

(续)

引脚	球编号	信号	类型	功能
75	H11	VBAT	模拟电源	备用电池
76	H9	TEST_MODE[1]	数字输入	保留
77	G11	TEST_MODE[0]	数字输入	保留
78	G10	DSU_MUX	数字输入	UART1/DSU 选择
79	G9	LVSS	数字地	地
80	G12	LVDD	数字电源电压	内核电源电压
81	F12	VFB	模拟输入	稳压器反馈
82	F11	DSUACT	数字输出	调试支持单元(有效)
83	F10	DSUEN	数字输入	调试支持单元(使能)
84	F9	DSURX	数字输入	调试支持单元(接收)
85	E10	DSUBRE	数字输入	调试支持单元(暂停)
86	E11	DSUTX	数字输出	调试支持单元(发射)
87	E9	DVSS	数字地	地
88	D9	DVDD	数字电源	电源电压
89	E12	GPIO[0]	数字 I/O	可编程 UART2/SPI/GPIO 接口
90	D12	GPIO[1]	数字 I/O	可编程 UART2/SPI/GPIO 接口
91	D11	GPIO[2]	数字 I/O	可编程 UART2/SPI/GPIO 接口
92	D10	GPIO[3]	数字 I/O	可编程 UART2/SPI/GPIO 接口
93	C11	GPIO[4]	数字 I/O	可编程 UART2/SPI/GPIO 接口
94	C10	GPIO[5]	数字 I/O	可编程 UART2/SPI/GPIO 接口
95	C12	GPIO[6]	数字 I/O	可编程 UART2/SPI/GPIO 接口
96	B11	GPIO[7]	数字 I/O	可编程 UART2/SPI/GPIO 接口
97	B12	UART1_RX	数字输入	UART1 接收
98	A12	UART1_TX	数字输出	UART1 发射
99	C9	ADDR[23]	数字输出	EBI 地址
100	A11	ADDR[22]	数字输出	EBI 地址
101	B10	ADDR[21]	数字输出	EBI 地址
102	A10	ADDR[20]	数字输出	EBI 地址
103	B9	ADDR[19]	数字输出	EBI 地址
104	A9	ADDR[18]	数字输出	EBI 地址
105	D8	ADDR[17]	数字输出	EBI 地址
106	C8	ADDR[16]	数字输出	EBI 地址
107	B8	ADDR[15]	数字输出	EBI 地址

引脚	球编号	信号	类型	功能
108	A8	ADDR[14]	数字输出	EBI 地址
109	B7	ADDR[13]	数字输出	EBI 地址
110	C7	ADDR[12]	数字输出	EBI 地址
111	D7	DVSS	数字地	地
112	D6	DVDD	数字电源	电源电压
113	A7	ADDR[11]	数字输出	EBI 地址
114	B6	ADDR[10]	数字输出	EBI 地址
115	C6	ADDR[9]	数字输出	EBI 地址
116	A6	ADDR[8]	数字输出	EBI 地址
117	A5	ADDR[7]	数字输出	EBI 地址
118	B5	ADDR[6]	数字输出	EBI 地址
119	C5	ADDR[5]	数字输出	EBI 地址
120	D5	ADDR[4]	数字输出	EBI 地址
121	A4	ADDR[3]	数字输出	EBI 地址
122	A3	ADDR[2]	数字输出	EBI 地址
123	A2	ADDR[1]	数字输出	EBI 地址
124	A1	ADDR[0]	数字输出	EBI 地址
125	B4	DATA[0]	数字 I/O	EBI 数据总线
126	B3	DATA[1]	数字 I/O	EBI 数据总线
127	B2	DATA[2]	数字 I/O	EBI 数据总线
128	B1	DATA[3]	数字 I/O	EBI 数据总线

7.5.4 NJ1030 内部结构与工作原理

NJ1030 的内部结构方框图如图 7-28 所示,芯片内部包含有:32 bit RISC CPU、NP1016 16 通道相关器处理器(NP1016 16 TM Correlation Processor)、32KB SRAM、时钟控制器(Clock Control)、电源管理器(Power Supervisor)、稳压器(Voltage Regulator)、加电和复位电路(Power Up and Reset)、存储器控制器(Memory Controller)、SPI/UARTs/I/O 接口、定时器(Timers)、中断请求控制器(IRQ Ctrl)、系统控制器(Sys Ctrl)、ADC、RTC 等电路。

1. CPU

NJ1030 CPU 是一个符合 IEEE _1754 (SPARC V8)体系结构的 32bit RISC 处理器,适合嵌入式应用,具有移位器、根 2 硬件除法器、8 个窗口寄存器、8KB 指令高速缓冲存储器、1KB 数据高速缓冲存储器、AMBA AHB 和 APB 兼容接口、调试通道 DSU 等电路。

2. 片上 SRAM(On Chip SRAM)

片上有 32KB 零等待 SRAM,连接在快速 AHB 总线上,可以存储像数据结构的临时编码

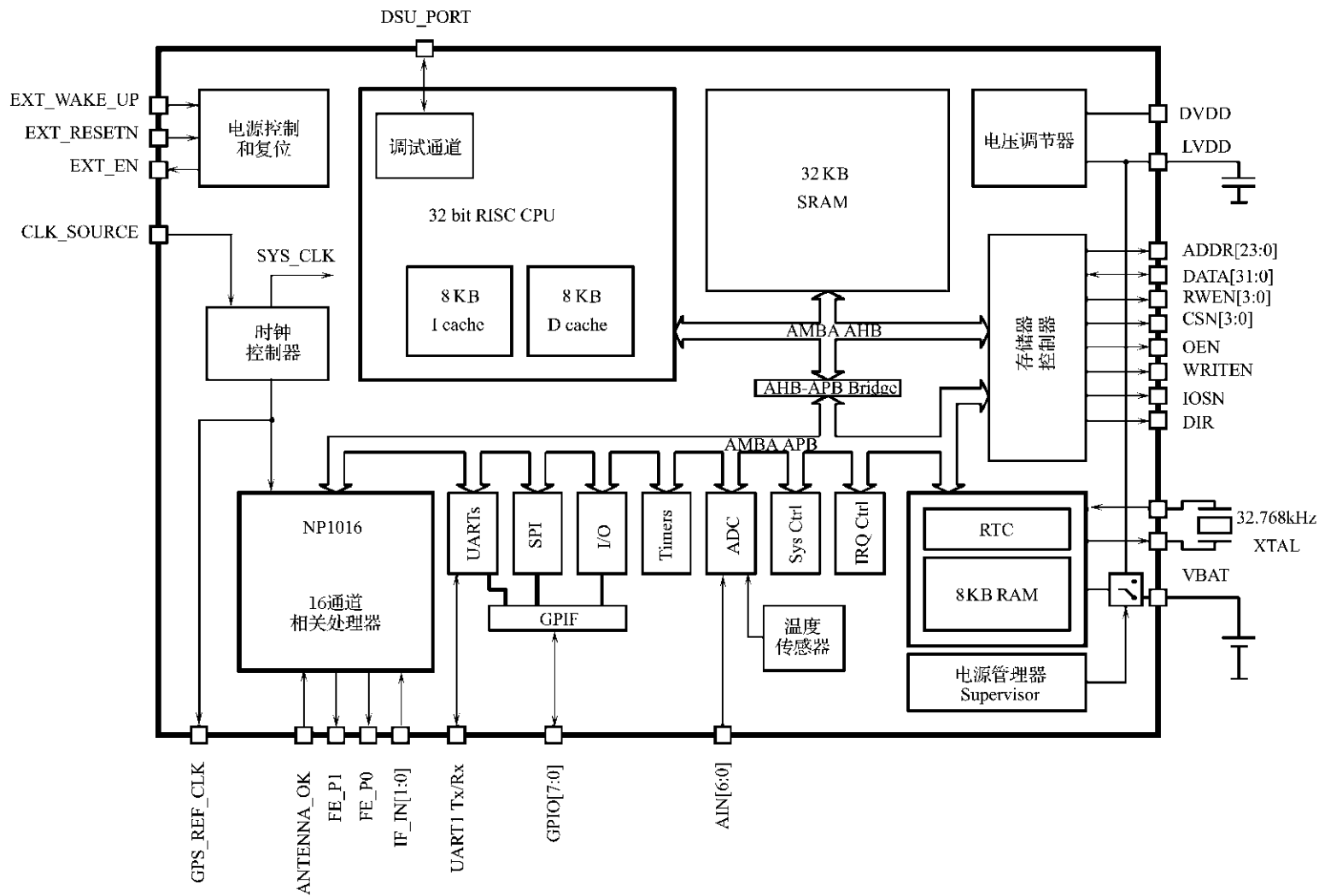


图 7-28 NJ1030 的内部结构

部分。片上 SRAM 的内容可以高速存储,存储器支持 8 bit、16 bit 和 32 bit 访问模式。

3. 电池供电的存储器(Battery Backed up Memory)

为了在导入时,软件储存最近的 GPS 历书数据,NJ1030 有一个 8KB 电池供电的 SRAM。这个存储器的电池电压由电源管理器监视。这个存储器也可以作为数据存储器使用,但仅支持 32 bit 访问模式。

4. 外部总线接口(External Bus Interface,EBI)

EBI 直接支持 4 个 16 MB 的异步存储器功能块,每个存储器功能块可以设置为 8 bit、16 bit 或者 32 bit 访问模式。

5. 时钟(Clocking)

主系统时钟可以由片上的振荡器、TCXO、或者外部数字时钟产生。除 GPS 相关器外,主系统时钟用于 NJ1030 所有电路。GPS 相关器使用系统分频时钟,分频系数 1~8。

6. GPS 相关器单元(GPS Correlation Unit)

GPS 相关器单元采用的是 NP1016 GPS 相关器 IP 内核,有 16 个跟踪模块(64 个相关器)。NP1016 作为 AMBA APB 外围设备连接到 CPU。2 个 GPS 中断信号(ACC_INT 和 MEAS_INT)连接到 CPU 中断控制器。相关器功能模块的时钟(NP1016_GPS_CLK)来自主系统时钟(SYS_CLK)。

GPS 相关器单元具有 16 C/A 码捕获和跟踪模块(TM_x),支持 WAAS/EGNOS,输入信号 2 bit 符号(sign)和量级(magnitude),可编程中断间隔和测量速率,可以单个跟踪模块有效,具有快速捕获模式,产生 1 PPS GPS 时间基准,具有电压管理模式。

7. 其他外围设备(Other Peripherals)

具有 2 个 UARTs。UART1 有专门的引脚端,总是有效;第 2 个 UART 共享 GPIO 接口的引脚端。UART1 接口有 16B 接收和发送 FIFO,UART2 接口有 4B 接收和发送 FIFO。UART1 线也能够配置作为 DSU UART 线,允许反复编程使用 UART1 的缓冲器和连接器,不需要专门的 DSU 引脚端。

支持主设 SPI 和从设 SPI 形式,SPI 使用 GPIO 接口引脚端。SPI 主设支持 2 个从设。从设有 16B 的发送和接收缓冲器。

片上有 2 个 24 bit 定时器(Timers)。定时器可以工作在周期或者单次模式。2 个定时器的时钟共用一个 10 bit 的前置分频器。

片上有一个 24bit 的看门狗(watchdog)。看门狗的时钟由定时器前置分频器提供。当看门狗达到 0 时,看门狗输出信号(WDOG)有效。这个信号可以用来产生系统复位。

中断控制器管理 15 个中断源(内部和外部)。每个中断源可以编程 2 级优先权。

8 bit 分辨率 8 通道 ADC 可以直接输入 7 个模拟信号,另一个输入连接到芯片内部的温度传感器输出。

RTC 可以将系统从低功耗模式唤醒。RTC 有一个片上振荡器,使用 32 kHz 晶体振荡器。

8. GPIO 接口(GPIO Interface)

有一个 8 bit 的通用 I/O 接口,可以作为并行输入输出。也可以重新配置作为其他用途。

9. GPS IF 接口(GPS IF Interface)

GPS IF 接口由 2 bit 输入(符号和量级)、2 个 NJ100x RF 前端功率模式控制信号、GPS 时钟和天线 OK 信号引脚端组成。GPS IF 接口也有专门的电源电压引脚端(TVDD)。

10. 低功耗模式 (Power Down Modes)

NJ1030 支持待机 (STAND-BY) 和睡眠 (SLEEP) 模式。睡眠模式可以利用 RTC 或者外部控制唤醒。

7.5.5 NJ1030 电路应用

NJ1030 应用电路方框图如图 7-29 所示。由 NJ1030 和 NJ1006 RF 前端组成的 DK1030

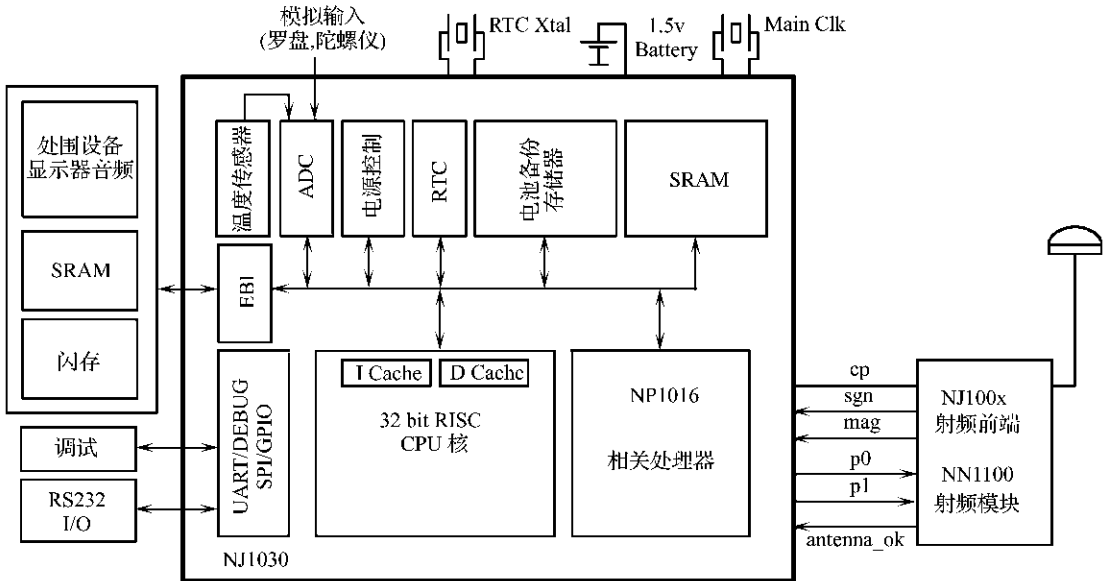


图 7-29 NJ1030 应用电子路方框图

GPS 开发系统, 主要性能指标如表 7-25 所列。

表 7-25 DK1030 GPS 开发系统主要性能指标

参 数	条 件	最小值	典型值	最大值	单 位
TTFF, 第 1 次定位时间	“冷”启动		43		s
	“温热”启动		38		s
	“热”启动		9		s
捕获灵敏度	“冷”启动		-132		dBm
	“温热”启动		-133		dBm
	“热”启动		-134		dBm
跟踪灵敏度			-147		dBm
精确性	CEP50		3.5		m
	CEP90		6.4		m
加速度				4	g
颠簸地行进 (Jerk)				4	g/s

7.5.6 NJ1030 封装尺寸

NJ1030 采用 micro BGA128 7mm×7mm 封装,封装尺寸如图 7-30 所示,尺寸单位为 mm。

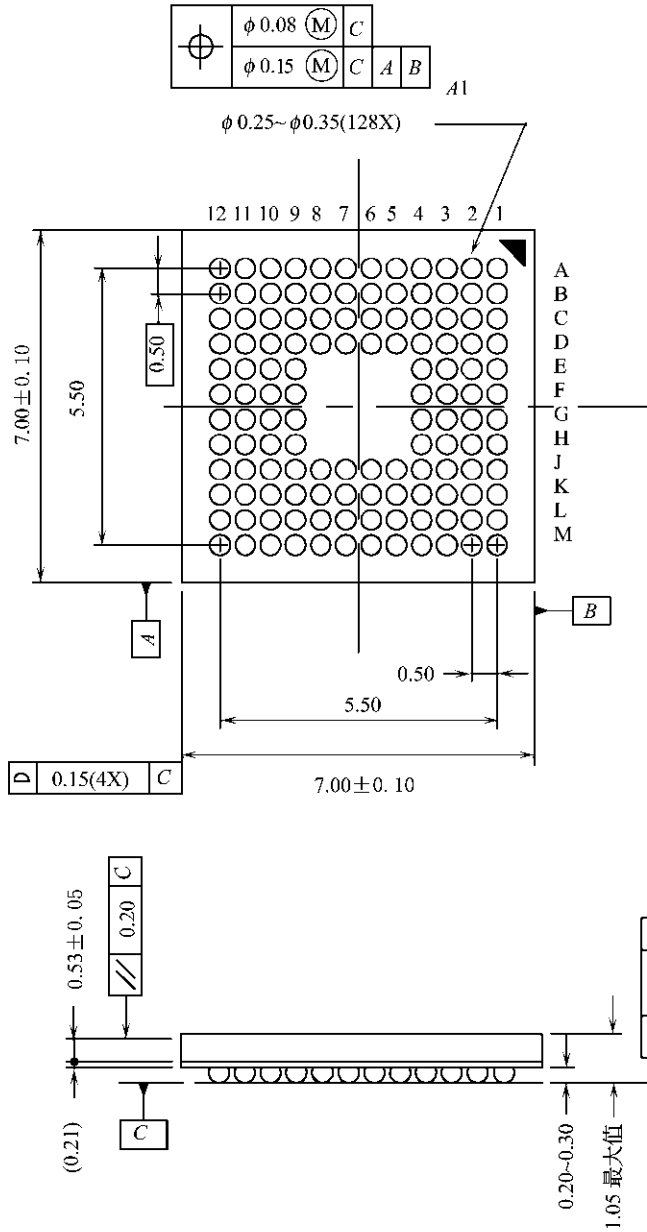


图 7-30 NJ1030 的封装尺寸

7.6 基于 ST20-GP6 的 GPS 接收机基带处理器电路

7.6.1 ST20-GP6 简介

ST20-GP6 是采用 ST20 CPU、GPS 相关器、专用 DSP 和外围电路组成的 GPS 处理器芯片。ST20-GP6 具有 12 个通道的 GPS 相关器、ST20 CPU 和片上存储器 (64KB SRAM, 128KB ROM)。其不需要 TCXO, 支持 RTCA-SC159 / WAAS (Wide Area Augmentation Service) / EGNOS (European Geostationary Navigation Overlay System)。

ST20 CPU 采用嵌入式 32-bit VL-RISC CPU-C2 内核, 16/33/50 MHz 处理器时钟, 在 33 MHz 时钟时处理速度为 25 MIPS, 可以进行快速的整数和位操作。ST20 的可编程存储器接口具有 4 个独立的配置区, 宽度为 8/16 bit, 支持混合的存储器类型, 外部存储时间 2 个周期。ST20 具有可编程的 UART(ASC)、并行 I/O、矢量中断子系统、诊断控制单元、电源管理单元和 JTAG 测试访问通道。ST20 具有低功耗模式, 芯片采用 PQFP-100 封装。适合 GPS 接收机、汽车、系统、电信系统的时间基准等应用。

STMicroelectronics 公司提供专业的开发工具支持 ST20-GP6 开发, 如 ANSI C 编译器/链接驱动器和库, 调试/成形和模拟工具。

7.6.2 ST20-GP6 主要性能指标

ST20-GP6 的主要性能指标如表 7-26 至表 7-29 所列。

表 7-26 绝对最大额定值

参 数	符 号	最小值	最大值	单 位
直流电源电压	VDD	-0.5	4.5	V
在 RTCVDD 引脚端的电压	VDD _{rte}	-0.5	4.5	V
储存环境温度	T _s	-55	125	°C
接点温度	T _j	-40	125	°C
在任一个引脚端的连续直流输出电流	I _o	-20	20	mA
除 LowPower-ClockIn 和 notRST 引脚外, 加到所有功能引脚端的输入电压	V _i	-0.5	VDD+0.5	V
加到 LowPowerClockIn 和 notRST 引脚电压	V _{irte}	-0.5	VDD _{rte} +0.5	V
除 notMemCE 引脚外, 所有的双向和输出引脚电压	V _o	-0.5	VDD+0.5	V
在 LowPowerClockOsc 引脚电压	V _{orte}	-0.5	VDD _{rte} +0.5	V
最大功率消耗	PD _{max}		2.0	W

表 7-27 推荐工作条件

参 数	符 号	最小值	最大值	单 位
工作环境温度	T_a	-40	85	°C
接点工作温度	T_j	-40	125	°C
除 LowPower-ClockIn 和 notRST 引脚外, 加到所有功能引脚和双向引脚的输入电压	V_i	0	VDD	V
加到 LowPowerClockIn 和 notRST 引脚电压	V_{irtc}	0	VDDrtc	V
时钟频率	f_{clk}		16.5	MHz
每个引脚的负载电容	Cl		50	pF

表 7-28 直流特性

参 数	符 号	最小值	典型值	最大值	单 位
在正常工作模式的电源电压	VDD	3.0	3.3	3.6	V
当器件关闭但实时时钟在运行时的电源电压	VDDoff	-0.3	0	0.3	V
在 RTCVDD 引脚的电源电压(正常工作模式)	VDDrtc	2.4	3.3	3.6	V
在 RTCVDD 引脚的电源电压(VDDof, notRST=1)	VDDrtc	1.4	3.3	3.6	V
在正常工作模式和 notRST=1 期间 VDD-VDDrtc	VDDdiff	-0.6	0	0.6	V
输入逻辑电平 1 到 CMOS 和 TTL 引脚(除 notRST 引脚外)	V_{ih}	2.0		VDD+0.5	V
输入逻辑电平 1 到引脚		2.4		VDD+0.5	
输入逻辑电平 0 到 CMOS 引脚 ^①	V_{il}	-0.5		0.8	V
输入逻辑电平 0 到 TTL 引脚 ^②		-0.5		0.8	
输入电流到输入引脚	I_{in}	-10		10	μ A
关断状态数字输出电流	I_{oz}	-50		50	μ A
输出逻辑电平 1	V_{ohdc}	2.4		VDD	V
输出逻辑电平 0	V_{olde}	0		0.4	V
输入电容	C_{in}		4	10	pF
输出电容	C_{out}		6	15	pF
正常工作模式功率消耗(无外部存储器)	Pop		100	1000	mW
正常工作模式功率消耗(有外部存储器)	Papp		150	1000	mW
待机模式功率消耗	Pstby		10		mW
器件关闭模式功率消耗	Prtc		40		μ W

① CMOS 引脚:

LowPowerClockIn; LowPowerClockOsc; LowPowerStatus; notWdReset; WdEnable; ClockIn; SpeedSelect0-1; notRST; TriggerOut; TriggerIn; Interrupt0-1; EnableIntROM; BusWidth; TXD0-1; RXD0-1; PIO0[0-7] and PIO1[0-7]; TDI; TMS; TCK, notTRST; TDO; GPSIF。

② TTL 引脚:

MemAddr1-19; MemData0-15; MemWait; MemReadnotWrite; notMemOE; notMemCE0-3; notMemBE0-1。

表 7-29 交流特性

参 数	符 号	最小值	典型值	最大值
在加电期间, VDD 的上升时间	tvddr	5		100
在电源下降期间, VDD 的下降时间	tvddf	5		100

7.6.3 ST20-GP6 引脚功能

ST20-GP6 采用 PQFP-100 封装, 引脚功能(按功能分类)如表 7-30 所列, 引脚编号如表 7-31 所列。

表 7-30 引脚功能(按功能分类)

引脚	I/O 类型	功 能	引 脚	I/O 类型	功 能
电源引脚			系统服务引脚		
VDD		电源电压	ClockIn	in	系统时钟输入
GND		地	SpeedSelect0-1	in	速度选择
RTCVDD		实时时钟和 SRAM 备用电池电压	notRST	in	复位
			TriggerOut	out	DCU 触发器输出
中断输入引脚			TriggerIn	in	触发器输入到 DCU
Interrupt0~1	in	中断输入	UART 接口引脚		
存储器引脚			TXD0-1	out	UART 串行数据输出
MemAddr1-19	out	存储器地址总线	RXD0-1	in	UART 串行数据输入
MemData0-15	in/out	存储器数据总线	并行 IO 引脚		
MemWait	in	存储器周期延伸	PIO0[0-7]	in/out	PIO 并行输入/输出通道 0
MemReadnotWrite	out	存储器读/写指示	PIO1[0-7]	in/out	PIO 并行输入/输出通道 1
notMemOE	out	输出使能选通	测试通道引脚		
notMemCE0-3	out	芯片使能选通	TDI	in	测试数据输入
notMemBE0-1	out	字节使能选通	TMS	in	测试模式选择
BusWidth	in	总线宽度选择(8 bit 或者 16 bit)	TCK	in	测试时钟
低功耗控制与实时时钟引脚			notTRST	in	测试逻辑复位
LowPowerClockIn	in	低功耗输入时钟	TDO	out	测试数据输出
LowPowerClockOsc	in/out	低功耗时钟振荡器	GPSIF 输入引脚		
LowPowerStatus	out	低功耗状态	GPSIF	in	GPS IF 输入引脚
notWdReset	out	看门狗定时器复位	接地 引脚		
WdEnable	in	看门狗定时器使能	ConnectToGND		必须连接到地

表 7-31 引脚编号

引脚	符 号	引脚	符 号	引脚	符 号
1	PIO1<0>	8	PIO1<6>	15	LowPowerStatus
2	PIO1<1>	9	PIO1<7>	16	RTCVDD
3	PIO1<2>	10	GND	17	LowPowerClockOsc
4	PIO1<3>	11	SpeedSelect1	18	LowPowerClockIn
5	PIO1<4>	12	SpeedSelect0	19	notRST
6	VDD	13	WdEnable	20	ConnectToGND
7	PIO1<5>	14	notWdReset	21	BusWidth

(续)

引脚	符号	引脚	符号	引脚	符号
22	notMemCE<0>	49	memAddr<3>	76	TMS
23	VDD	50	memAddr<2>	77	TDI
24	notMemCE<1>	51	memAddr<1>	78	TDO
25	notMemCE<2>	52	notMemBE<1>	79	TriggerIn
26	notMemCE<3>	53	notMemBE<0>	80	TriggerOut
27	GND	54	memData<15>	81	PIO0<0>
28	notMemOE	55	memData<14>	82	PIO0<1>
29	memReadnotWrite	56	VDD	83	PIO0<2>
30	memWait	57	memData<13>	84	PIO0<3>
31	memAddr<19>	58	memData<12>	85	PIO0<4>
32	memAddr<18>	59	memData<11>	86	PIO0<5>
33	memAddr<17>	60	GND	87	PIO0<6>
34	memAddr<16>	61	memData<10>	88	PIO0<7>
35	memAddr<15>	62	memData<9>	89	clockIn
36	memAddr<14>	63	memData<8>	90	VDD
37	memAddr<13>	64	memData<7>	91	GND
38	memAddr<12>	65	memData<6>	92	GPSIF
39	memAddr<11>	66	memData<5>	93	Interrupt<1>
40	VDD	67	memData<4>	94	Interrupt<0>
41	GND	68	memData<3>	95	RXD<0>
42	memAddr<10>	69	memData<2>	96	TXD<0>
43	memAddr<9>	70	memData<1>	97	RXD<1>
44	memAddr<8>	71	VDD	98	TXD<1>
45	memAddr<7>	72	memData<0>	99	VDD
46	memAddr<6>	73	notTRST	100	GND
47	memAddr<5>	74	TCLK		
48	memAddr<4>	75	GND		

7.6.4 ST20-GP6 内部结构与工作原理

ST20-GP6 的内部结构方框图如图 7-31 所示,芯片内部包括:ST20 CPU、DSP 硬件(12 channel GPS hardware DSP)、128KB 片上 ROM、64 KB 片上 RAM(其中 16KB 电池供电)、双通道 UART、16 bit 并行 I/O、可编程存储器接口(Programmable memory interface)、中断控制器(Interrupt controller)、实时时钟/日历(Real time clock/calendar)和看门狗定时器、支持开发用的诊断控制单元(Diagnostic control unit)和测试通道(Test access port)、低功耗控制器(Low power controller)等电路。

ST20-GP6 的硬件和软件开发,可以利用 ANSI-C ST20 软件工具系统和 ST20 IN-QUEST 调试工具。

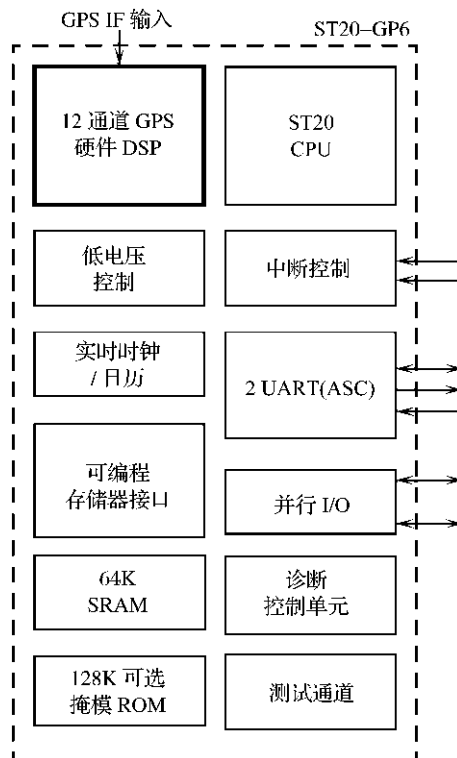


图 7-31 ST20-GP6 的内部结构方框图

1. DSP

ST20-GP6 芯片内部包含一个 12 通道 GPS 相关器硬件 DSP,用来处理 GPS 信号,内部方框图如图 7-32 所示。下变频转换 4 MHz 的 IF 信号为零频的 IQ 信号,在 12 个通道上的 IQ 信号,按照时分形式出现在内部总线上(如: I1, Q1, I2, Q2...I12, Q12, I1, Q1)。DSP 相关器电路支持 RTCA-SC159 规范。

2. CPU

ST20-GP6 芯片内部包含的 CPU 是一个 ST20 32 bit 处理器内核。CPU 包含有指令处理逻辑电路、指令和数据指示器、操作数寄存器等电路。CPU 能够高速访问片上存储器所存储的数据和程序,也能够通过可编程的外部存储器接口(External Memory Interface,EMI)访问片外 4 MB 的存储器。支持 64 bit 整数算法。

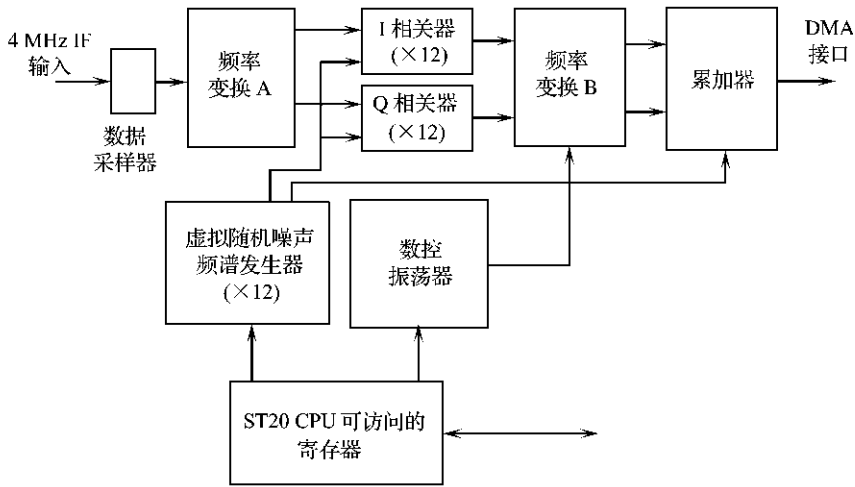


图 7-32 DSP 功能模块方框图

3. 存储器子系统 (Memory subsystem)

ST20-GP6 片上存储器系统支持 60 MB 内部数据带宽, 30 ns 的访问操作。ST20-GP6 存储器系统由 SRAM, ROM 和可编程的外部存储器接口 EMI 组成。ST20-GP6 能够使用 8 bit 或者 16 bit 外部 RAM, 8 bit 或者 16 bit 外部 ROM, 具有 20 bit 的地址总线。

ST20-GP6 的 64 KB 片上 SRAM, 分成 4 块, 每块 16KB, 其中的一块(16KB)采用电池备份供电。ST20-GP6 有 128KB 的 ROM, 用来存储应用编码。

ST20-GP6 存储器接口控制数据在 ST20-GP6 和片外存储器之间传输, 片外存储器分为 4 块, 每块 1 MB。对于单一的 GPS 接收机, 单个 64k×16-bit ROM 或者 Flash ROM (70、90 或者 100 ns 访问时间), 片上 64KB RAM 已经足够使用了。ST20-GP6 能够支持附加 1 MB 的 SRAM 和 1 MB 的 ROM。

4. 低功耗控制器、实时时钟和看门狗 (Low power controller, real time clock and watchdog timer)

ST20-GP6 可以利用软件配置低功耗模式。当进入低功耗模式, 一个定时器有效, 用来报警和使 CPU 重新有效。

ST20-GP6 有一个看门狗定时器 (Watchdog Timer, WDT), 如果系统的程序运行时间超时后, 用来复位系统。看门狗定时器使能由引脚 WdEnable 控制。WDT 有一个计数器, 状态标志 notWdReset 由看门狗设置。

实时时钟 (Real Time Clock, RTC) 有一组连续运行的计数器, 提供一个时钟日历功能。计数器的数值可以由当前的时间/数据设置(写)。RTC 采用一个 32768 Hz 晶体振荡器, 采用独立电源供电, 当芯片进入低功耗运行时, 能够连续的运行。RTC 包含 2 个计数器, 一个是 30 bit 的“毫秒计数器”(milliseconds), 另一个是 16 bit 的“星期”(week)计数器。因而可以获得长的计数时间和高的精确性。

5. 串行通信 (Serial communications)

ST20-GP6 有 2 个 UARTs 接口支持串行通信。UARTs 接口的波特率和数据格式是可编程的, 如数据长短、停止位和奇偶位。

6. 中断子系统 (Interrupt subsystem)

ST20-GP6 中断子系统支持 8 个可区分优先级的中断请求。其中 4 个中断连接到片上的

外围设备(2个UARTs和2个并行I/O接口),2个外部中断引脚,2个剩余的。

7. 并行IO模块(Parallel IO module)

ST20-GP6提供16 bit的并行IO接口。其中的每一位(bit)都是可编程作为输入或者输出。

8. JTAG 测试访问通道(JTAG Test Access Port, TAP)

ST20-GP6的JTAG测试访问通道支持IEEE 1149.1 JTAG测试标准。IEEE 1149.1 TAP运行在5 MHz TCK,时序图如图7-33所示,定时参数如表7-32所列。

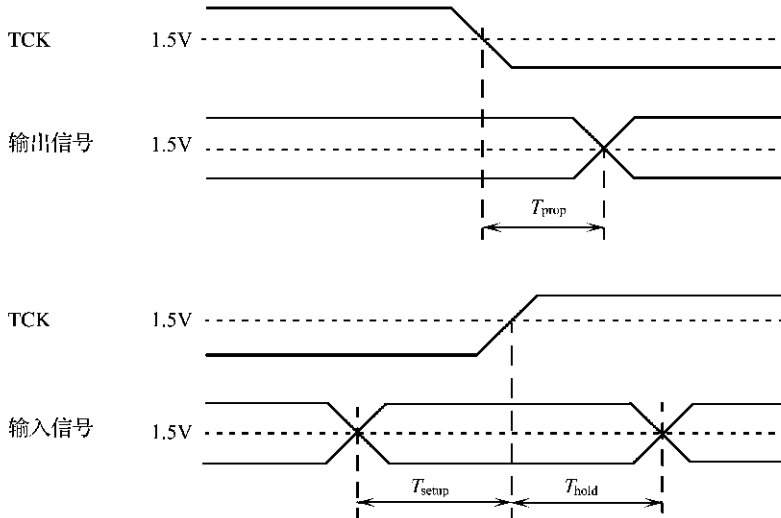


图 7-33 IEEE 1149.1 TAP 时序图

表 7-32 JTAG 测试访问通道时序参数

参数	符号	最小值	典型值	最大值	单位
建立时间	T_{setup}	10			ns
保持时间	T_{hold}	10			ns
传输延迟	T_{prop}			50	ns

9. 诊断控制器(Diagnostic controller)

诊断控制器是一个可编程模块,直接连接到CPU,能够通过TAP访问,允许在调试系统时使用,支持硬件断点和观察点、实时跟踪、外部LSA触发。也可以提供系统服务,包括导入CPU。

10. 系统服务模块(System services module)

ST20-GP6系统服务模块包括复位和初始化通道,锁相环(Phase Locked Loop, PLL)。PLL产生所有的内部高频率时钟。

7.6.5 ST20-GP6 电路应用

由STB5600 GPS射频前端ASIC和ST20-GP6组成的GPS接收机方框图如图7-34所示,GPS接收机性能指标如下:精确性:独立形式,SA导通<100m,SA关断<30m;差分形式<1m;测量形式<1cm。第1次定位时间:自启动为90s,冷启动“cold start”为45s,温热启动“warm start”为7s。

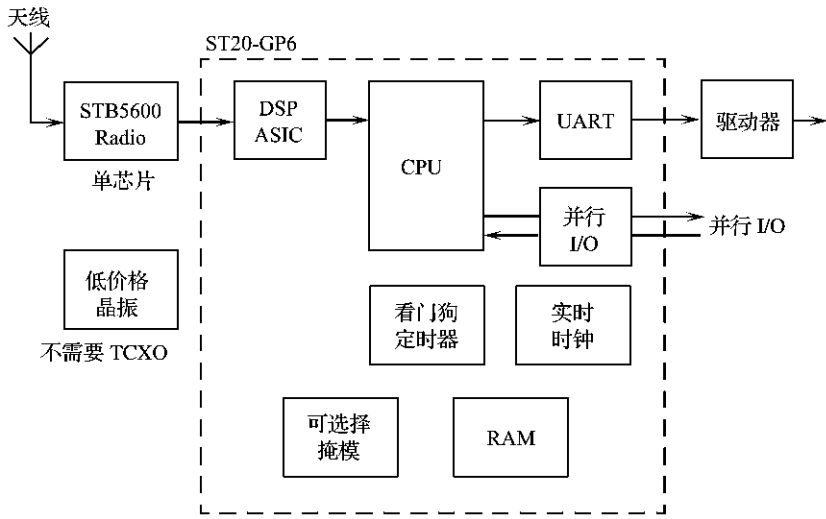
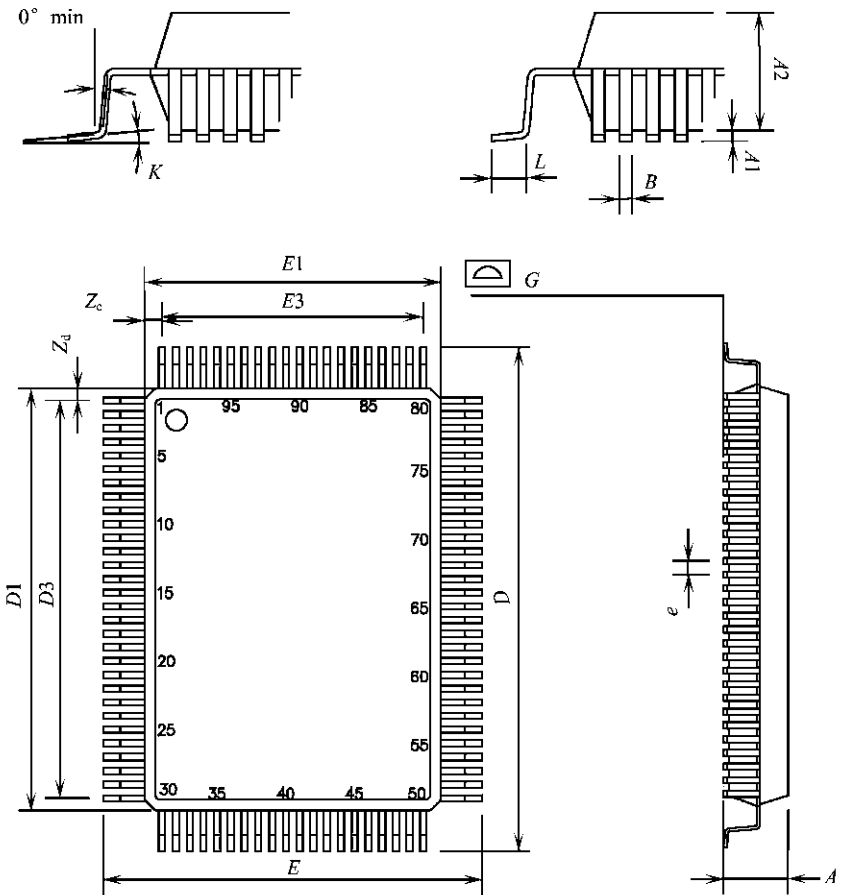


图 7-34 STB5600 和 ST20-GP6 组成的 GPS 接收机方框图



7.6.6 ST20-GP6 封装尺寸

ST20-GP6 采用 PQFP-100 封装, 封装尺寸如图 7-35 所示。

符 号	最小值/mm	标准值/mm	最大值/mm	最小值/英寸	标准值/英寸	最大值/英寸
A			3.400			0.134
A1	0.100			0.004		
A2	2.540	2.800	3.050	0.096	0.110	0.120
B	0.220		0.380	0.009		0.015
C	0.130		0.230	0.005		0.009
D	22.950		24.150	0.904		0.951
D1	19.900	20.000	20.100	0.783	0.787	0.791
D3		18.850			0.742	
E	16.950		18.150	0.667		0.715
E1	13.900	14.000	14.100	0.547	0.551	0.555
E3		12.350			0.486	
e		0.650			0.026	
G			0.100			0.004
K	0°		7°	0°		7°
L	0.650	0.800	0.950	0.026	0.031	0.037
Z _d		0.580			0.23	
Z _e		0.830			0.033	

图 7-35 ST20-GP6 封装尺寸

7.7 基于 uN8031B 的 GPS 接收机基带处理器电路

7.7.1 uN8031B 简介

uN8031B 采用 CMOS 技术的模块式和可升级的 ASiS™ 结构,是一种适合于嵌入式、便携式 GPS 接收机应用的基带处理器芯片。uN8031B 包含 GPS 信号捕获、跟踪和导航所需要的所有基带功能,带有可编程 Zoom Correlators™ 的 12 通道并行接收机,快速信号捕获使用专用的 QwikLock™ 4092 相关器搜索引擎,搜索和跟踪 50 路 GPS 和 WAAS PRN 序列信号,集成有低功耗的 16 位 VS DSP 内核,具有片上静态随机存储器(SRAM),两个异步串行接口用于导航数据输出和差分校准数据输入,具有一个可编程通用输入输出端口。使用一个外部总线接口可以连接外部非易失性存储器。使用具有专利权的 QwikLock™ 体系结构的专用高性能搜索引擎,可以快速搜索可利用的卫星。一个先进的跟踪单元使用的 Zoom Correlators™ (相关器)以确保定位的可能,即使是在像市区和植物下这样恶劣的条件也可以进行定位。具有与 GPS 射频前端的接口。采用 BGA-144 封装,3V 电源电压,由 PowerMiser™ 使能低功耗模式。由一个 uN8031B 基带处理器和一个 uN8021B 射频接收前端 IC 组成的一个完整的 GPS 接收机只需要少数的外部元件。

7.7.2 uN8031B 主要性能指标

uN8031B 的主要性能指标如表 7-33 至表 7-37 所列。

表 7-33 绝对最大额定值

参 数	符 号	最小值	最大值	单 位
存储温度范围	T_{STG}	-55	+150	°C
工作温度范围	T_A	-40	+85	°C
最大功耗($T_A = +85^{\circ}\text{C}$)	P_D		500	mW
在任何引脚避免锁存电流	I_{MAX}	-30	+30	mA
静电放电(ESD)保护	V_{ESD}	2000		V
电压,数字电路	DVDD	-0.3	3.6	V
电压,实时时钟(RTC)电路	XVDD	-0.3	3.6	V
输入引脚电压,输入输出引脚	V_{IO}	-0.3	DVDD+0.3	V

表 7-34 推荐的工作条件

参 数	符 号	最小值	典型值	最大值	单 位
工作温度	T_A	-30		+85	°C
电压,数字电路	DVDD	2.7	3.0	3.3	V
电压,实时时钟(RTC)(推荐与 DVDD 相同)	XVDD	2.7	3.0	3.3	V

表 7-35 数字信号直流(DC)特性

参 数	符号	测试条件	最小值	最大值	单 位
输入高电平	V_{IH}		$0.7 \times DVDD$	$DVDD + 0.3$	V
输入低电平	V_{IL}		-0.3	$0.3 \times DVDD$	V
输出高电平	V_{OH}	$I_{OH} = 1\text{mA}$	$0.7 \times DVDD$	DVDD	V
输出低电平	V_{OL}	$I_{OL} = 1\text{mA}$	0	$0.22 \times DVDD$	V
输入漏电流	I_{LI}	25°C	-5.0	+5.0	μA

表 7-36 数字信号交流(AC)特性

参 数	符 号	最小值	典型值	最大值	单 位
时钟频率, MCLK	F_c	16.36675	16.3676	16.36794	MHz
时钟周期, MCLK	t_c		61		ns
时钟占空比	t_{DUTY}	45		55	%
数字输入引脚电容	C_i			3	pF
数字输出负载电容	C_L			20	pF

表 7-37 功 耗

参 数	说 明	最小值	典型值	最大值	单位
搜索模式	实现信号获取,搜索引擎持续运行和 8 路信号跟踪		58		mW
运行模式	跟踪 8 路信道,搜索引擎运行 10%的时间		35		mW
睡眠模式	只有实时时钟(RTC)在运行		0.03	0.077	mW

注:功耗与模式和软件有关,功耗的额定条件是:DVDD=3.0V,25℃。

7.7.3 uN8031B 芯片封装与引脚功能

uN8031B 采用 BGA-144 封装,引脚符号定义如表 7-38 所列,引脚功能如表 7-39 所列。

表 7-38 uN8031B BGA-144 封装引脚符号

引脚	符号	引脚	符号	引脚	符号	引脚	符号	引脚	符号	引脚	符号
A1	TEST[0]	C1	DVDD	E1	D[11]	G1	DVDD	J1	D[2]	L1	DVDD
A2	TEST[1]	C2	DVDD	E2	D[13]	G2	D[7]	J2	D[3]	L2	XCS1
A3	TEST[2]	C3	RFEN	E3	D[15]	G3	D[8]	J3	D[1]	L3	XCS2
A4	TEST[3]	C4	TEST[8]	E4	D[12]	G4	GND	J4	A[0]	L4	A[1]
A5	XVDD	C5	TEST[9]	E5	TEST[12]	G5	GND	J5	A[6]	L5	A[4]
A6	SPI_XCS1	C6	RTC_XIN	E6	GND	G6	GND	J6	GND	L6	A[7]
A7	MCLK	C7	RF SEL	E7	GND	G7	GND	J7	GND	L7	A[11]
A8	DVDD	C8	SPI SDO	E8	GPIO[0]	G8	GND	J8	A[16]	L8	A[14]
A9	ISIGN	C9	QMAGN	E9	GPIO[4]	G9	GND	J9	KBDOU[3]	L9	A[17]
A10	KBDIN[0]	C10	TXD1	E10	GPIO[6]	G10	GPIO[10]	J10	TXD0	L10	KBDOU[0]
A11	KBDIN[1]	C11	DVDD	E11	GPIO[5]	G11	GPIO[11]	J11	DVDD	L11	KBDOU[4]
A12	PM0	C12	RXD1	E12	DVDD	G12	GPIO[9]	J12	DVDD	L12	KBDIN[4]
B1	TEST[4]	D1	D[14]	F1	DVDD	H1	D[6]	K1	DVDD	M1	XCS0
B2	DVDD	D2	XWT	F2	D[10]	H2	D[5]	K2	XRD	M2	A[2]
B3	TEST[5]	D3	PPS	F3	D[9]	H3	D[4]	K3	XWR	M3	DVDD
B4	TEST[6]	D4	TEST[10]	F4	GND	H4	D[0]	K4	XCS3	M4	A[5]
B5	TEST[7]	D5	TEST[11]	F5	GND	H5	A[9]	K5	A[3]	M5	A[8]
B6	RTC_XOUT	D6	GND	F6	GND	H6	GND	K6	XRESET	M6	A[10]
B7	SPI_SCK	D7	GND	F7	GND	H7	GND	K7	A[12]	M7	A[13]
B8	SPI_SDI	D8	SPI_XCS0	F8	GND	H8	RXD0	K8	A[15]	M8	DVDD
B9	IMAGN	D9	QSIGN	F9	GND	H9	GPIO[13]	K9	A[18]	M9	A[19]
B10	DVDD	D10	GPIO[1]	F10	GPIO[8]	H10	GPIO[15]	K10	KBDOU[1]	M10	KBDOU[2]
B11	DVDD	D11	GPIO[2]	F11	GPIO[7]	H11	GPIO[14]	K11	TEST	M11	KBDIN[3]
B12	PM1	D12	GPIO[3]	F12	DVDD	H12	GPIO[12]	K12	DVDD	M12	KBDIN[2]

表 7-39 uN8031B 引脚功能

分组	符号	功能
外部总线	D[15..0]	外部数据总线
	A[19..0]	外部地址总线
	XCS[3..0]	芯片选择输出,低电平有效
	XWT	外部总线异步等待请求,低电平有效。不用时可悬空
	XWR	外部总线写选通脉冲,低电平有效
控制	XRD	外部总线读选通脉冲,低电平有效
	RF SEL	必须被连接到 DVDD
	MCLK	主时钟输入(16.3676MHz)
	XRESET	异步系统复位输入,低电平有效
	RFEN	外部射频前端的使能/低功耗控制信号
实时时钟	RTC_XIN	实时时钟(RTC)XTAL 振荡器输入引脚(32768Hz)
	RTC_XOUT	实时时钟(RTC)XTAL 振荡器输出引脚(32768Hz)
	XVDD	实时时钟振荡器的模拟电源
射频前端	ISIGN	I 相 IF 信号,标记信号输入
	IMAGN	I 相 IF 信号,幅度信号输入
	QSIGN	Q 相 IF 信号,标记信号输入
	QMAGN	Q 相 IF 信号,幅度信号输入
SPI 接口	SCK	用于 SPI 接口芯片的串行时钟输出
	SPI_XCS0	到 SPI 芯片 0 的芯片选择(低电平有效)(EEPROM 芯片)
	SPI_XCS1	到 SPI 芯片 1 的芯片选择(低电平有效)(外部射频芯片)
	SPI_SDI	来自 SPI 接口芯片的串行数据输入
	SPI_SDO	输出到 SPI 接口芯片的串行数据
外围设备	RXD0	通用异步接收发送器(UART)端口#0 的异步输入(CMOS 电平)。不用时可悬空
	TXD0	通用异步接收发送器(UART)端口#0 的异步输出(CMOS 电平)
	RXD1	通用异步接收发送器(UART)端口#1 的异步输入(CMOS 电平)。不用时可悬空
	TXD1	通用异步接收发送器(UART)端口#1 的异步输出(CMOS 电平)
	PPS	1PPS 信号输出
	PM0	脉冲测量 0 输入。不用时可悬空
	PM1	脉冲测量 1 输入。不用时可悬空
	GPIO[15..0]	可中断的通用输入输出引脚
	KBDOUT[4..0]	键盘控制器的行选择输出
KBIDIN[4..0]	键盘控制器的列输入。不用时可悬空	
测试	TEST	测试模式选择输入,高电平有效。正常工作时接地
	TEST[12..0]	其他测试引脚。正常工作时全部接地。其他测试引脚分派给 GPIO
电源	DVDD	内核电源(18 引脚)
	GND	地(20 引脚)

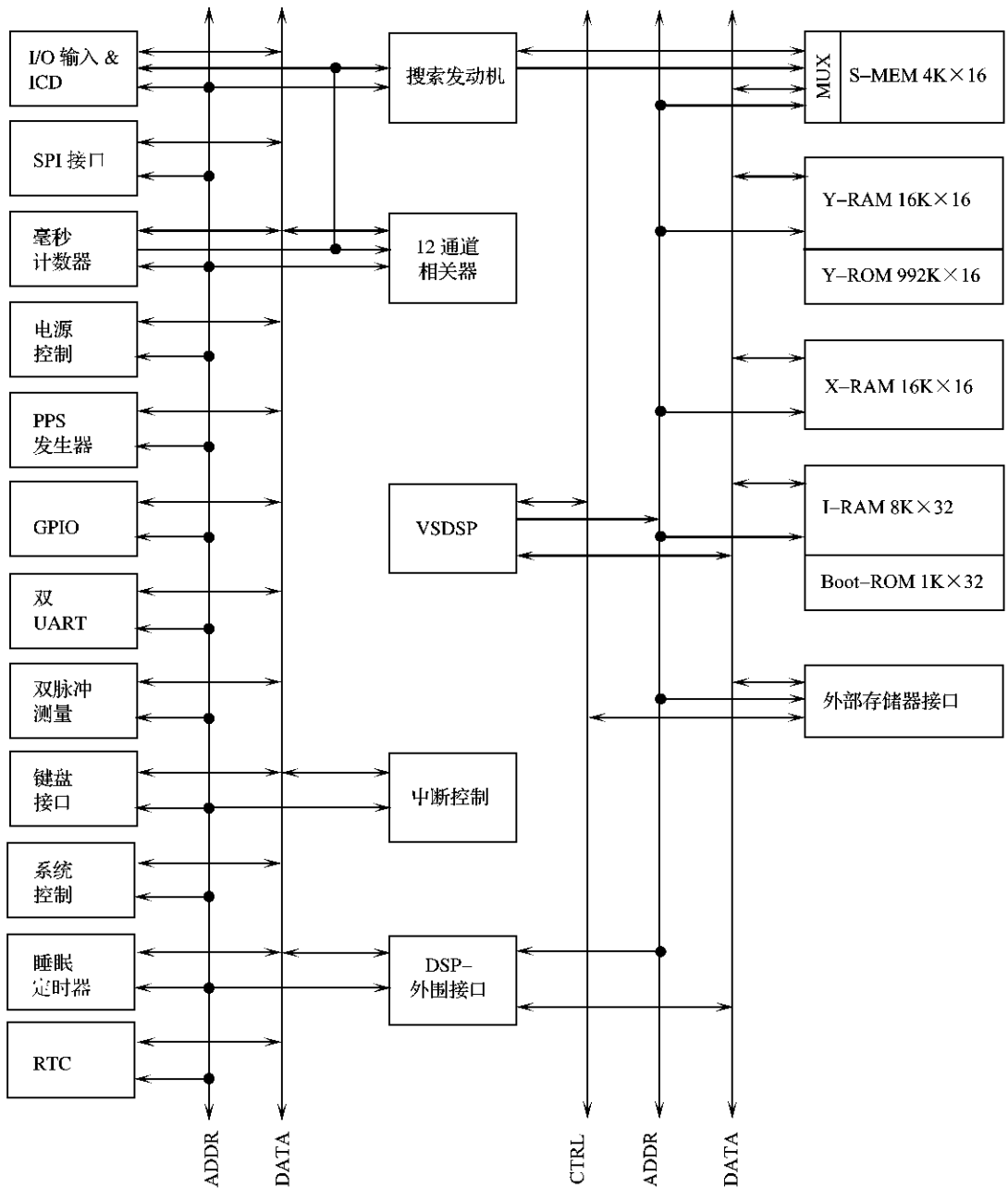


图 7-36 uN8031B 内部结构方框图

7.7.4 uN8031B 内部结构

uN8031B 内部结构方框图如图 7-36 所示,芯片内部包括:搜索引擎(Search Engine)、12 通道相关器(Channel Correlator)、VSDSP、中断控制器(Interrupt Controller)、DSP 外围设备接口(Peripheral Interface)、RAM、ROM、外部存储器接口(External Memory Interface)、实时时钟(RTC)、睡眠定时器(Sleep Timer)、系统控制器(System Controller)、键盘接口(Keyboard Interface)、两路 UART、GPIO、PPS 发生器(PPS Generator)、电源控制器(Power Con-

troller)、SPI 接口(SPI Interface)等电路。

来自射频前端产生的中频输出是一对两位数字信号,输入到 uN8031B,它是一个由实际和虚拟部分组成的复杂数字信号,对应于 I 相和 Q 相信号,中频标称频率在 40kHz 左右。

在 uN8031B 上有 3 个主要的功能单元:搜索引擎(基于 QwikLock™ 技术的一个专用获取单元),基于使用 Zoom Correlators™ 跟踪单元的硬件相关器,以及专用的低功耗 VS_DSP 处理器内核。另外,还有一些实现 GPS 算法所需要的外围单元以及存储器。

搜索引擎(search engine)是一个 u-Nav 开发的能够搜索 50 路 GPS 和 WAAS PRN 时序的快速捕获模块。搜索引擎模块实现获取时间频率分析和信号综合,具有以下主要特性:2 位 I/Q 输入,2046 个采样时间点,1/2 片分辨率,4092 个相关器,可编程多普勒频率,预检波积分时间:1ms~32ms,VS_DSP 存取片上专用存储器,能与已知的位时序同步了,可独立工作和产生中断。

相关器单元(correlator unit)提供使用 Zoom Correlators™ 技术的 12 个并行硬件相关器通道,相关器单元的主要特性是:2 位 I/Q 输入,12 个并行跟踪信道,每个跟踪通道有 4 个 Zoom Correlators™,独立的通道可以使能或者不使能,具有快速信号采集跟踪能力,中断用一个中断源寄存器控制。

VS_DSP 是专用的 DSP 处理器内核,DSP 处理器具有:数据字、数据地址以及程序地址宽度是 16 位;程序字宽度为 32 位;乘法器输入是 16 位的,带有 8 个累加器溢出保护位;8 个算术寄存器和 8 个指数寄存器,版本 2 指令系统。

代码和数据存储器(Code and Data Memory)是 VS_DSP 专用的存储器,存储在 VS_DSP 处理器上运行的 GPS 软件。内部存储器包括如下模块:16k×16 位 X 总线 RAM,16k×16 位 Y 总线数据 RAM,4k×16 位 Y 总线数据 RAM(S-mem)(也用于搜索引擎),8k×32 位程序 RAM,992×16 位 Y 数据 ROM,1k×32 位导入 ROM。

对外部存储器域的访问由外部总线接口控制,可扩展 4M×16 位数据或程序存储器。

16 位的外部存储总线允许直接连接 SRAM 和 FLASH 存储器。有 4 个预编码低电平有效芯片选择信号,允许把 4 个不同器件连接到总线上。对于每个器件,总线能够访问每个 1MWord 的地址空间(20 位地址)。为了使连接拥有不同的速度的外部存储器,外部数据总线可以配置成等待状态。

外部数据总线接口多路复用 VS_DSP 核心总线 XDB,YDB 和 IDB 到外部(片外)数据总线 EDB。32 位宽的 IDB 通道可以转换成两个 16 位 EDB 通道。

在 uN8031B 中还有其一些他的外围设备和接口,如两个 UART(通用异步接收发送器),1PPS 脉冲发生器(1PPS pulse generator),2 个外部器件的 SPI 接口(连接导入 EEPROM 和射频前端 uN8021B),能够产生中断的 16 位并行输入输出端口,中频信号位(bit)计数器,16 位(bit)毫秒计数器,32 位(bit)中断控制器,24 位(bit)实时时钟,16 位(bit)睡眠定时器,10 位(bit)键盘接口,2 个脉冲测量单元,PowerMiser™ 功率控制器。外围设备通过一个存储器映射寄存器接口受控于 VS_DSP。

7.7.5 uN8031B 电路应用

1. 应用电路形式

基于 u-Nav 芯片组 uN8031B 与 uN8021 的 GPS 接收机方框图如图 7-37 所示。

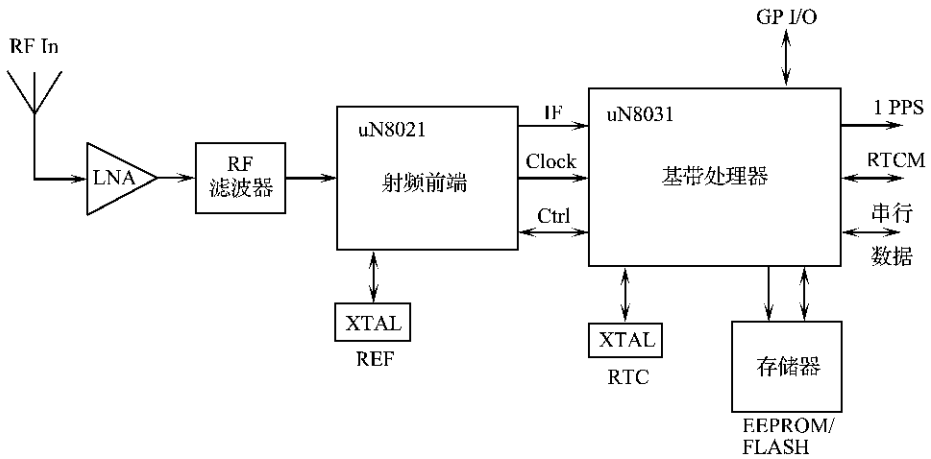


图 7-37 基于 u-Nav 芯片组的 GPS 接收机方框图

2. 外部总线时序

外部总线时序如图 7-38 所示,时间参数如表 7-40 所列,表中 WS 是用于总线访问的可编程等待状态数。注意芯片选择信号(XCS0..3)和地址信号有相同的时序要求。

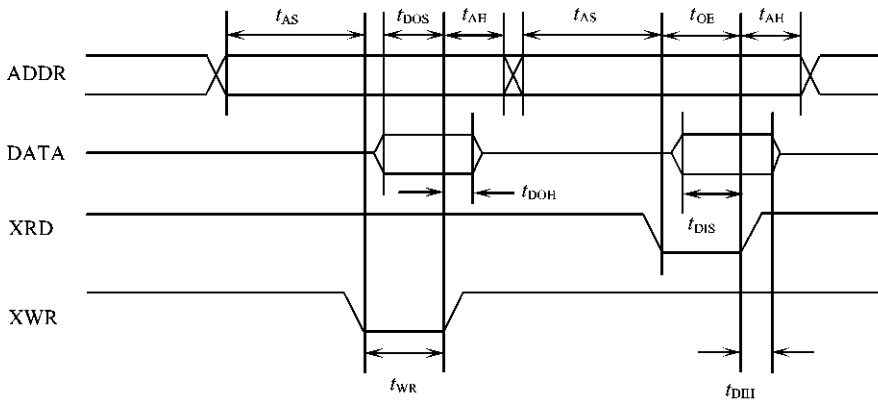


图 7-38 外部总线时序图

表 7-40 外部总线时序图时间参数

参 数	符号	最小值	典型值	最大值	单位
地址建立时间	t_{AS}		7		ns
地址保持时间	t_{AH}	2			ns
写信号脉冲宽度	t_{WR}		$0.5 \times (WS + 0.5) \times t_c$		ns
读信号脉冲宽度	t_{RD}		$0.5 \times (WS + 0.5) \times t_c$		ns
数据输出建立时间	t_{DOS}		$0.5 \times (WS + 0.5) \times t_c$		ns
数据输出保持时间	t_{DOH}	3			ns
数据输入建立时间	t_{DIS}			15	ns
数据输入保持时间	t_{DIH}	3			ns

3. 复位时序

复位输入 XRESET 低电平有效且必须有一个外部上电复位电路,复位时序图如图 7-39 所示,时间参数如表 7-41 所列。

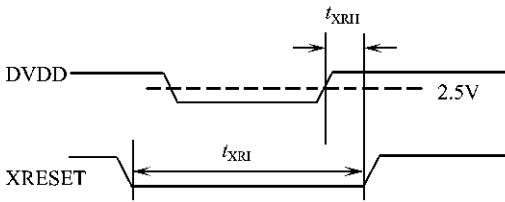


图 7-39 复位时序图

表 7-41 复位时间参数

参 数	符 号	最小值	典型值	最大值	单 位
XRESET 保持时间	t_{XRH}	$2 \times t_c$			ns
XRESET 脉冲宽度	t_{XRI}	$2 \times t_c$			ns

4. 与 uN8021B 的互联

uN8021B GPS 射频前端芯片可以直接与 uN8031B GPS 基带处理芯片互联,uN8021B 共使用 10 个信号连接到 uN8031B,如图 7-40 所示。不需要外部连接逻辑电路或上拉/下拉电阻。信号可被分成如下 3 个独立功能组。

- (1) 系统信号:时钟、复位、射频使能(clock、reset、RF enable)。
- (2) 从射频前端芯片到基带的数据信号:I/Q 标号和幅度(I/Q sign and magnitude)。
- (3) 从基带处理器到射频前端的控制信号:SPI 接口(SPI interface)。

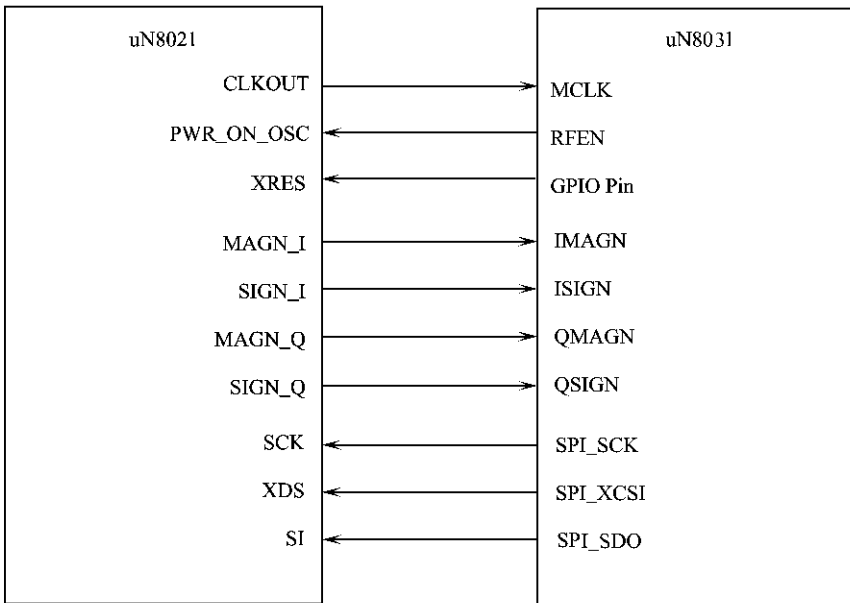


图 7-40 uN8021B 与 uN8031B 的互联

5. 芯片时钟(Chip Clocks)

芯片时钟内部结构如图 7-41 所示。时钟频率在内部被倍频后,通过 VS_DSP 产生两个时钟信号 CLK 和 INTCLK。VS_DSP 和存储器使用时钟信号 CLK。CLK 在停止状态或当

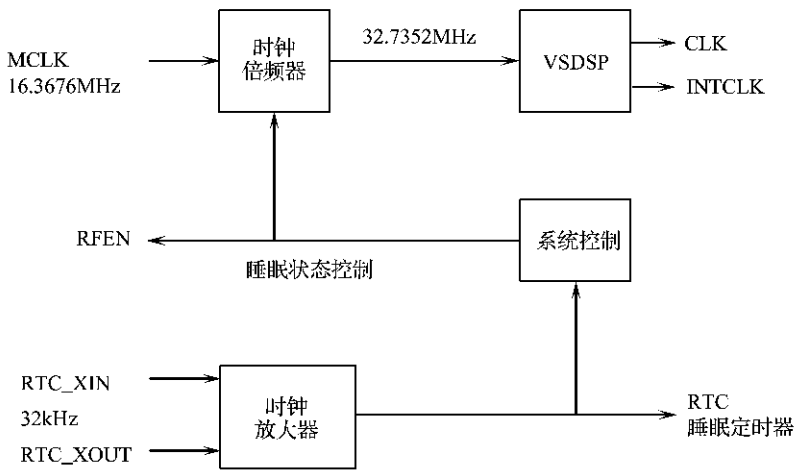


图 7-41 uN8031B 时钟电路

外部总线接口或外围设备需要一个等待状态时停止。搜索引擎、相关器和外围设备使用时钟信号 INTCLK。它不受停止状态或等待状态的影响。在睡眠状态(SLEEP-state)时,时钟倍频器不产生时钟信号。时钟倍频器有一个计数器,计数器在输入时钟稳定前发出 4096 个时钟周期,用于上电时和当睡眠状态结束时。

实时时钟(RTC)由 RTC_XIN/RTC_XOUT 产生,用于系统控制和极低功率的外围设备(RTC/睡眠时钟)。

6. SPI 接口(SPI Interface)

SPI 接口有两个芯片选择信号,允许两个采用 SPI 接口的芯片连接到 uN8031B 上,如图 7-42所示。芯片选择信号 SPI_XCS0 连接到一个串行 EEPROM 上,串行 EEPROM 作为一

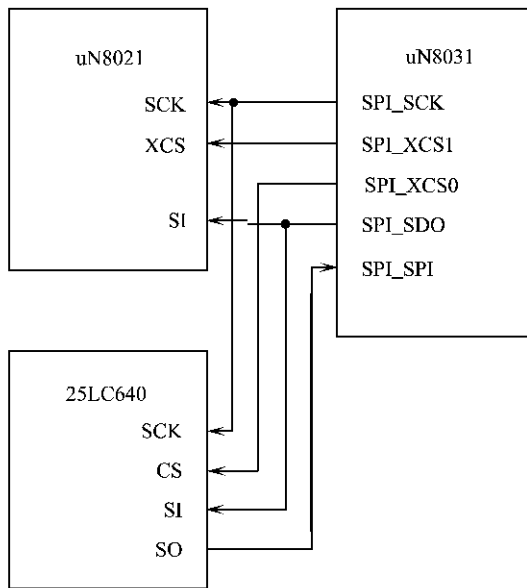


图 7-42 带有 GPS 射频芯片和 EEPROM 芯片的 SPI 接口电路

个外部导入存储器使用。SPI_XCS1 的典型应用是用来控制一个 GPS 射频前端芯片。在一个时间段,接口只能控制一个芯片。uN8031B 芯片作为一个主设器件。

SPI 时钟速度可以是 2MHz、1MHz、500kHz 或 250kHz。SPI 支持 4 种 EEPROM 读写模式:读数据、写数据、读状态和写状态。注意 SPI_SDI 引脚具有内部上拉电阻,不需要外部上拉电阻。使用一个小于 10k Ω 片上电阻的外部上拉电阻,上拉能力和接口速度能提高。

7. 键盘输入输出端口 (Keyboard I/O Port)

键盘控制器 (keyboard controller) 能够连接一个最大 5 \times 5 的键盘矩阵。控制器扫描矩阵,当有一个键被按下或放开时产生一个中断 (INT_KBD)。具有一个 28ms 延时时间的抖动消除逻辑电路。控制器不支持几个按键同时被按下的情况。一个完整的开关键盘连接图,如图 7-43 所示,在所有的输入引脚都需要下拉电阻。如果有一些 KBDIN 引脚不需要,它们可以悬空, KBDIN 引脚有一个内部的 100k Ω 下拉电阻。键盘输入输出引脚的时序图如图 7-44 所示。

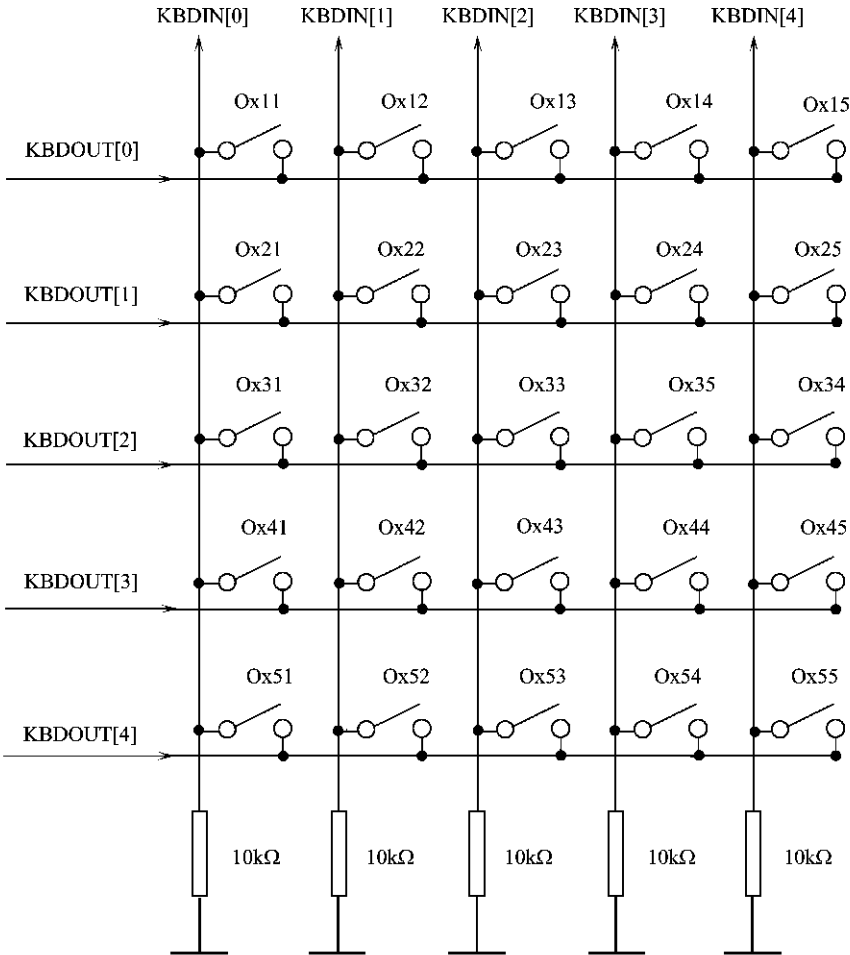


图 7-43 一个完整的 5 \times 5 键盘矩阵连接图

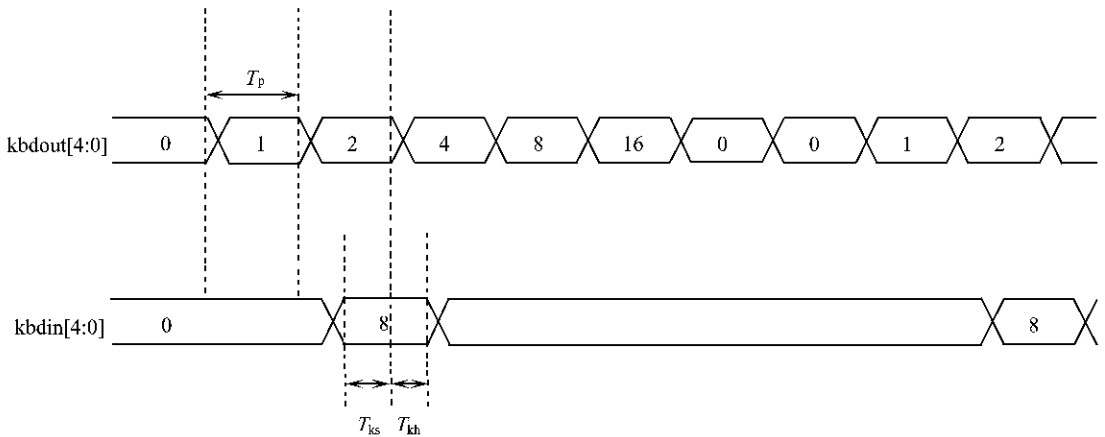


图 7-44 键盘输入输出端时序图

在扫描时,每一行(连接到 KBDOUT 引脚)被上拉到逻辑高电平,而每一列(连接到 KBDIN 引脚)在这个扫描周期被读。每一个完整的扫描需要用长度为 T_p 的 7 个扫描周期,即 512 倍的主时钟周期长度。主时钟周期是系统输入时钟的 2 倍,因此大约为 32MHz。如果扫描结果在 256 个连续的扫描周期(28ms 实时)内保持不变,它是有效的,数据在扫描周期的结尾被采样。建立时间 T_{ks} 和保持时间 T_{kh} 是 10ns 或更长。

并行输入输出端(GPIO)是 16 位的输入输出接口,每个位都可以设置成输入或输出端口。GPIO 可以用来连接不同类型的外围设备,例如连接一个 LCD 显示器。如果一个 GPIO 位设置成输入端口形式,它也能够配置产生一个中断(INT GPIO)。中断可以设置发生在输入信号的上升沿、下降沿或两者皆可。

GPIO 端的 2 个高位(GPIO 位 14 和 GPIO 位 15)是被内部只读存储器用于选择导入程序源,必须通过电阻被拉到地或 DVDD,通常不能用于其他目的。导入程序源根据 GPIO 位 14 和 GPIO 位 15 的逻辑电平状态选择,如表 7-42 所列。

表 7-42 导入程序源配置

GPIO 位 15	GPIO 位 14	导入程序源
0	0	SPI 器件 0
0	1	UART0
1	0	外部存储器
1	1	外部存储器

7.7.6 uN8031B 封装尺寸

uN8031B 采用 BGA-144 封装尺寸如图 7-45 所示,尺寸单位为 mm。

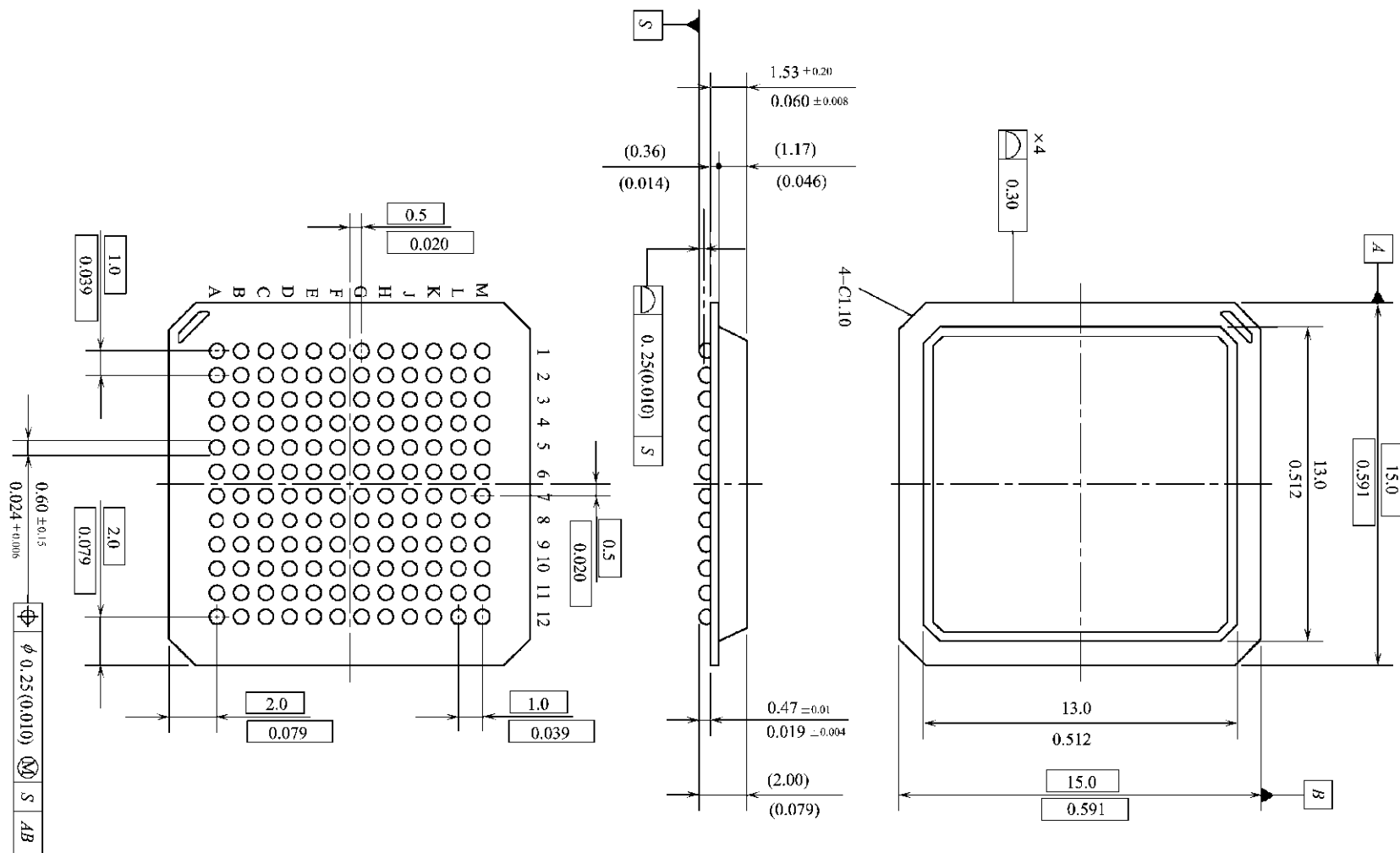


图 7-45 uN8031B 采用 BGA-144 封装尺寸

第 8 章 单芯片(模块)GPS 接收机电路设计

8.1 基于 CXD2951GA 的 GPS 接收机电路

8.1.1 CXD2951GA 简介

CXD2951GA 是一个单片 GPS 接收机 LSI 芯片,集成了射频和基带处理器两部分。CXD2951GA 可以构成一个 12 通道的 GPS 接收机,接收信号频率 1575.42MHz(L1 频带,CA 码),基准时钟频率(TCXO)可以根据不同的应用选择,例如:18.414MHz(GPS, Sony 兼容),13.000MHz(GSM),14.400MHz(CDMA),16.368MHz(GPS),19.800MHz(PDC/CDMA),26.000MHz(GSM)。芯片内具有 32bit RISC CPU(ARM7TDMI),288KB Program ROM,72KB Data RAM。在备份模式,电源支持 8KB 数据 RAM。具有 1 通道 UART 接口,RTC(Real Time Clock)时钟,10b A/D 转换器。通信格式支持 NMEA-0183,支持 DGPS,符合 RTCM SC-104 Ver. 2.1 和 DARC。

CXD2951GA 是在汽车、蜂窝电话、手持式航海仪、移动物体计算和其他定位系统中应用的理想 GPS 接收机芯片。

8.1.2 CXD2951GA 主要性能指标

CXD2951GA 主要性能指标如表 8-1~表 8-5 所列。

表 8-1 绝对最大值范围

参 数	符 号	数 值	单 位
I/O 电源电压	IOVDD	-0.5~+4.6	V
内核电源电压	CVDD	-0.5~+2.5	V
射频部分电源电压	VCC	-0.5~+2.5	V
输入电压	VI	-0.5~+6	V
输出电压	VO	-0.5~+6	V
工作温度	T_{opr}	-40~+85	°C
存储温度	T_{stg}	-50~+150	°C

表 8-2 推荐工作条件

参 数	符 号	数 值	单 位
I/O 电源电压	IOVDD	3.0~3.6	V
内核电源电压	CVDD	1.62~1.98	V
射频电源电压	VCC	1.62~1.98	V

工作温度	T_{opr}	-40~+85	°C
------	-----------	---------	----

表 8-3 输入/输出引脚电容(基带部分)

参 数	符 号	最大值	单 位
输入电容	CIN	9	pF
输出电容	COUT	11	pF
I/O 引脚电容	CI/O	11	pF

表 8-4 基带部分特性

参 数	数 值	单 位
跟踪灵敏度	-152	dBm
获得灵敏度	-139	dBm
冷启动(没有星历表和历书时间)TTFF	50(平均)/60(有 95%可能)	s
暖启动(没有星历表,但有历书时间)TTFF	35(平均)/40(有 95%可能)	s
热启动(有星历表和历书时间)TTFF	2(平均)/6(有 95%可能)	s
定位精度	2DRMS 大约 5	m
测量数据更新时间	1	s
功率消耗		
在低功耗模式,位置计算使用跟踪卫星	50	mW
位置计算使用获得和跟踪卫星	120	mW
1PPS 输出(引脚 ECLKOUT)	1	μ s

表 8-5 射频部分特性

参 数	数 值	单 位
输入频率	1575.42	MHz
全部增益	95	dB
镜像频率抑制	40	dB
IF 信号偏移(IF 输出 1.023MHz)	± 125	kHz
合成器相位噪声	-70(10kHz)	dBc/Hz
	-70(10kHz)	dBc/Hz
	-80(100kHz)	dBc/Hz
合成器相位噪声	-60(在 $f_{osc} \pm 1.023\text{MHz}$ 之内)	dBc
	-55(在 $f_{osc} \pm 1.023\text{MHz}$ 之外)	dBc

噪声系数	4	dB
------	---	----

8.1.3 CXD2951GA 芯片封装与引脚功能

CXD2951GA 采用 LFLGA-176 封装, 引脚封装形式如图 8-1 所示, 引脚功能如表 8-6 所列。

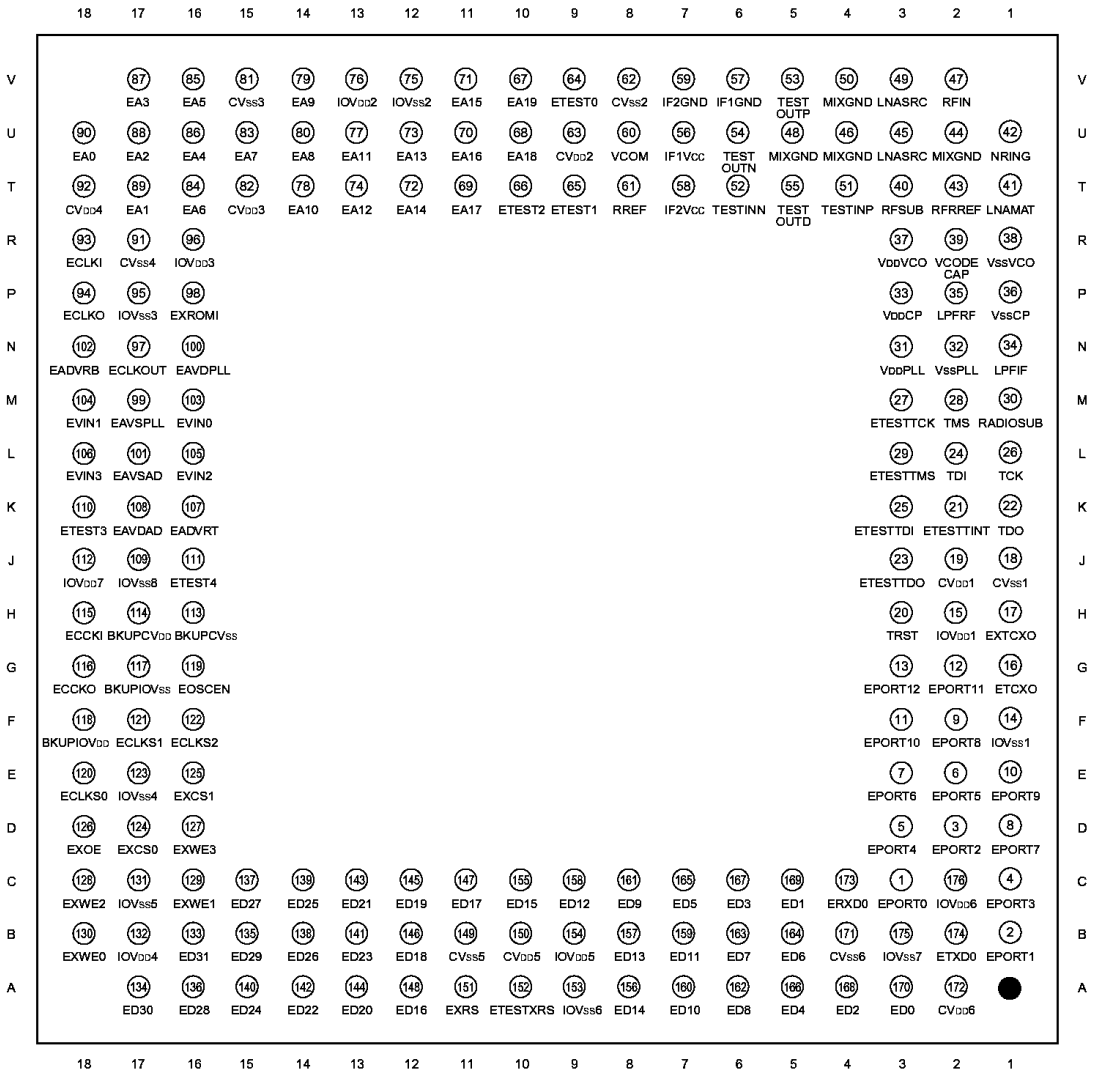


图 8-1 CXD2951GA 引脚封装形式

表 8-6 CXD2951GA 引脚功能

引脚	符号	功能	引脚	符号	功能
1	EPOR0	I/O 通道 0 ^①	6	EPOR5	I/O 通道 5 ^①
2	EPOR1	I/O 通道 1 ^①	7	EPOR6	I/O 通道 6 ^①
3	EPOR2	I/O 通道 2 ^①	8	EPOR7	I/O 通道 7 ^①

4	EPORT3	I/O 通道 3 ^①	9	EPORT8	I/O 通道 8 ^①
5	EPORT4	I/O 通道 4 ^①	10	EPORT9	I/O 通道 9 ^①

(续)

引脚	符号	功 能	引脚	符号	功 能
11	EPORT10	I/O 通道 10 ^①	42	NRING	LNA 1.8V 电源电压
12	EPORT11	I/O 通道 11 ^①	43	RFRREF	外接电阻
13	EPORT12	I/O 通道 12 ^①	44	MIXGND	混频器地
14	IOVSS1	GND 地	45	LNASRC	LNA 地
15	IOVDD1	3.3V	46	MIXGND	混频器地
16	ETCXO	TCXO 振荡器输入(频率可选择)	47	RFIN	射频输入
17	EXTCXO	TCXO 振荡器输出(频率可选择)	48	MIXGND	混频器地
18	CVSS1	GND 地	49	LNASRC	LNA 地
19	CVDD1	1.8V	50	MIXGND	混频器地
20	TRST	测试(开路,有下拉电阻)	51	TESTINP	射频测试
21	ETESTTINT	测试	52	TESTINN	射频测试
22	TDO	测试	53	TESTOUTP	射频测试
23	ETESTTDO	测试	54	TESTOUTN	射频测试
24	TDI	测试(开路,有下拉电阻)	55	TESTOUTD	射频测试
25	ETESTTDI	测试(开路,有下拉电阻)	56	IF1VCC	第 1 级 IF 电源电压 1.8V
26	TCK	测试(开路,有下拉电阻)	57	IF1GND	第 1 级 IF 地
27	ETESTTCK	测试(开路,有下拉电阻)	58	IF2VCC	第 2 级 IF 电源电压 1.8V
28	TMS	测试(开路,有上拉电阻)	59	IF2GND	第 2 级 IF 地
29	ETESTTMS	测试(开路,有上拉电阻)	60	VCOM	IF 公共电压
30	RADIOSUB	射频地	61	RREF	外接电阻
31	VDDPLL	射频 PLL 电源电压 1.8V	62	CVSS2	地
32	VSSPLL	PLL 地	63	CVDD2	1.8V 电源电压
33	VDDCP	充电泵电源电压 1.8V	64	ETEST0	测试(连接到地)
34	LPFIF	IF PLL 回路滤波器	65	ETSET1	测试(连接到地)
35	LPFRF	RF PLL 回路滤波器	66	EEST2	测试(连接到地)
36	VSSCP	充电泵地	67	EA19	外部扩展地址 19
37	VDDVCO	VCO 电源电压 1.8V	68	EA18	外部扩展地址 18
38	VSSVCO	VCO 地	69	EA17	外部扩展地址 17

39	VCODECAP	VCO 外接电容	70	EA16	外部扩展地址 16
40	RFSUB	射频地	71	EA15	外部扩展地址 15
41	LNAMAT	LNA 1.8V 电源电压	72	EA14	外部扩展地址 14

(续)

引脚	符号	功 能	引脚	符号	功 能
73	EA13	外部扩展地址 13	102	EADVRB	A/D 转换器基准输入低端
74	EA12	外部扩展地址 12	103	EVIN0	A/D 转换器模拟输入 0
75	IOVSS2	I/O 地	104	EVIN1	A/D 转换器模拟输入 1
76	IOVDD2	I/O 电源电压	105	EVIN2	A/D 转换器模拟输入 2
77	EA11	外部扩展地址 11	106	EVIN3	A/D 转换器模拟输入 3
78	EA10	外部扩展地址 10	107	EADVRT	A/D 转换器基准输入高端
79	EA9	外部扩展地址 9	108	EAVDAD	A/D 转换器电源电压 3.3V
80	EA8	外部扩展地址 8	109	IOVSS8	A/D 转换器地
81	CVSS3	地	110	ETEST3	(用电阻连接到地)
82	CVDD3	1.8V 电源电压	111	ETEST4	(用电阻连接到地)
83	EA7	外部扩展地址 7	112	IOVDD7	I/O 3.3V 电源电压
84	EA6	外部扩展地址 6	113	BKUPCVSS	备份核心地
85	EA5	外部扩展地址 5	114	BKUPCVDD	备份核心电源电压 1.8V
86	EA4	外部扩展地址 4	115	ECCKI	RTC 振荡器输入(32.768kHz)
87	EA3	外部扩展地址 3	116	ECCKO	RTC 振荡器输出(32.768kHz)
88	EA2	外部扩展地址 2	117	BKUIOVSS	备份核心地
89	EA1	外部扩展地址 1	118	BKUIOVDD	备份核心电源电压 3.3V
90	EA0	外部扩展地址 0	119	EOSCEN	振荡器使能,高电平有效
91	CVSS4	地	120	ECLKS0	测试(连接到地)
92	CVDD4	1.8V 电源电压	121	ECLKS1	测试(连接到地)
93	ECLKI	CPU 时钟振荡器输入	122	ECLKS2	测试(连接到地)
94	ECLKO	CPU 时钟振荡器输出	123	IOVSS4	I/O 地
95	IOVSS3	I/O 地	124	EXCS0	外部扩展芯片选择 0(如果 EXROMI 为高电平,程序引导使能)
96	IOVDD3	I/O 电源电压 3.3V	125	EXCS1	外部扩展芯片选择 1
97	ECLKOUT	时钟输出(在复位 1s 后有效)	126	EXOE	外部扩展读信号

98	EXROMI	导入选择,低电平选择内部 ROM,高电平选择外部存储器/EXCS0	127	EXWE3	外部扩展写信号 3
99	EAVSPLL	PLL 地	128	EXWE2	外部扩展写信号 2
100	EAVDPLL	PLL 3.3V 电源电压	129	EXWE1	外部扩展写信号 1
101	EAVSAD	A/D 转换器地	130	EXWE0	外部扩展写信号 0

(续)

引脚	符号	功 能	引脚	符号	功 能
131	IOVSS5	I/O 地	154	IOVDD5	I/O 电源电压 3.3V
132	IOVDD4	I/O 电源电压 3.3V	155	ED15	外部扩展数据线 15 ^②
133	ED31	外部扩展数据线 31 ^②	156	ED14	外部扩展数据线 14 ^②
134	ED30	外部扩展数据线 30 ^②	157	ED13	外部扩展数据线 13 ^②
135	ED29	外部扩展数据线 29 ^②	158	ED12	外部扩展数据线 12 ^②
136	ED28	外部扩展数据线 28 ^②	159	ED11	外部扩展数据线 11 ^②
137	ED27	外部扩展数据线 27 ^②	160	ED10	外部扩展数据线 10 ^②
138	ED26	外部扩展数据线 26 ^②	161	ED9	外部扩展数据线 9 ^②
139	ED25	外部扩展数据线 25 ^②	162	ED8	外部扩展数据线 8 ^②
140	ED24	外部扩展数据线 24 ^②	163	ED7	外部扩展数据线 7 ^②
141	ED23	外部扩展数据线 23 ^②	164	ED6	外部扩展数据线 6 ^②
142	ED22	外部扩展数据线 22 ^②	165	ED5	外部扩展数据线 5 ^②
143	ED21	外部扩展数据线 21 ^②	166	ED4	外部扩展数据线 4 ^②
144	ED20	外部扩展数据线 20 ^②	167	ED3	外部扩展数据线 3 ^②
145	ED19	外部扩展数据线 19 ^②	168	ED2	外部扩展数据线 2 ^②
146	ED18	外部扩展数据线 18 ^②	169	ED1	外部扩展数据线 1 ^②
147	ED17	外部扩展数据线 17 ^②	170	ED0	外部扩展数据线 0 ^②
148	ED16	外部扩展数据线 16 ^②	171	CVSS6	地
149	CVSS5	地	172	CVDD6	1.8V 电源电压
150	CVDD5	1.8V 电源电压	173	ERXD0	UART (CH0) 接收数据(在复位期间具有下拉电阻)
151	EXRS	复位,低电平有效	174	ETXD0	UART (CH0) 发射数据(在复位期间,为高阻状态)
152	ETESTXRS	测试(开路,注②)	175	IOVSS7	I/O 地
153	IOVSS6	I/O 地	176	IOVDD6	I/O 电源电压 3.3V

① 软件可控制下拉电阻,电阻连接到地;

② 具有下拉电阻

8.1.4 CXD2951GA 内部结构

CXD2951GA 是一个完整的 GPS 接收机芯片,内部结构方框图如图 8-2 所示。芯片内部包含有:无线电接收部分、获得部分(Acquisition Block)、跟踪部分(Tracking Block)、计算和控制(Computation& Control)部分。无线电接收部分接收 1575.42MHz GPS L1 信号,下变频为 1.023MHz IF 信号,经 AD 转换为设置信号,射频部分方框图如图 8-3 所示。获得部分和跟踪部分在 ARM7TDMI 微处理器的控制下,获得部分完成 GPS 信号的获得,跟踪部分完成 GPS 的锁定和确定 12 通道的相互关系。计算和控制完成获得控制和位置计算。

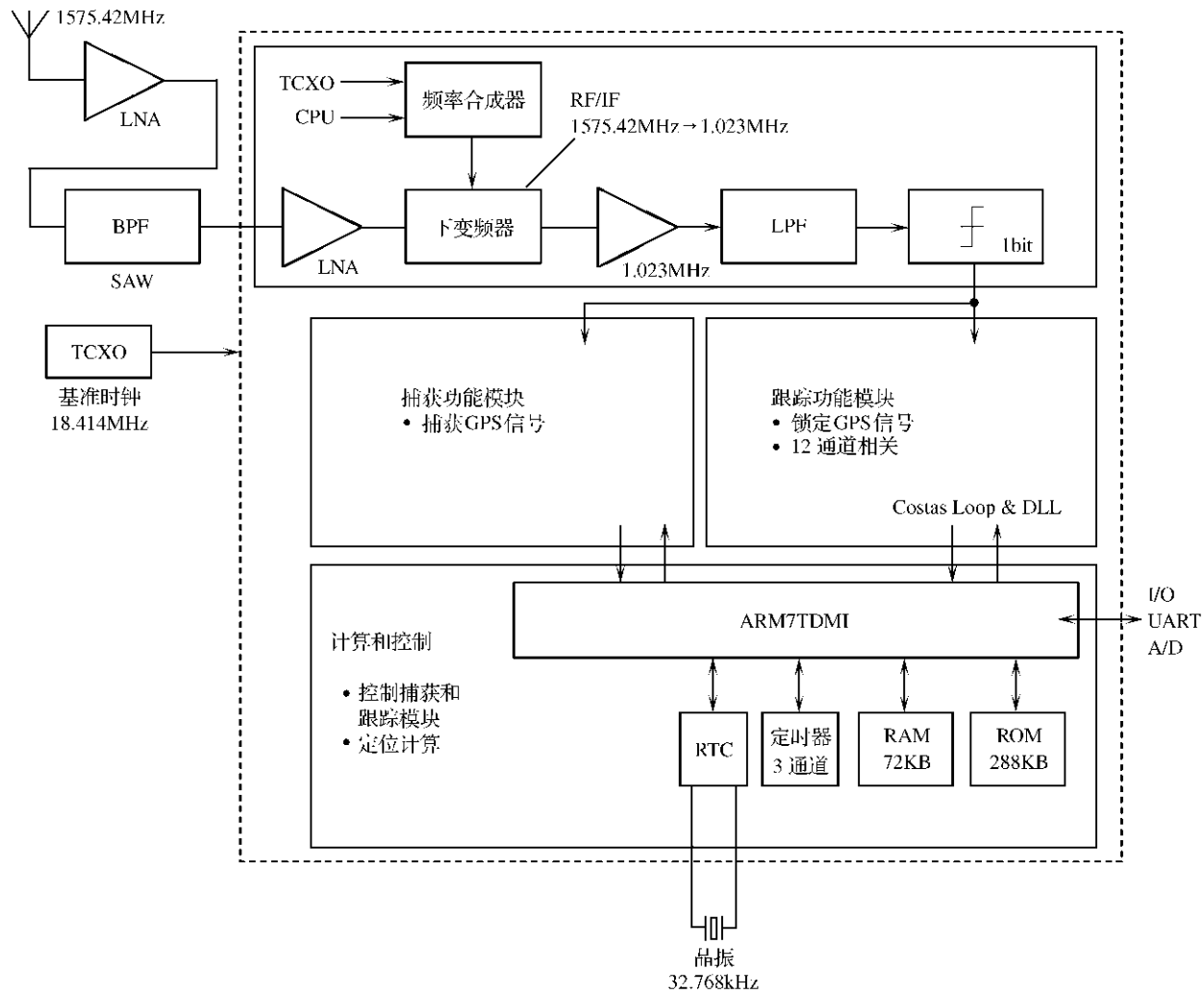


图 8-2 CXD2951GA 内部结构方框图

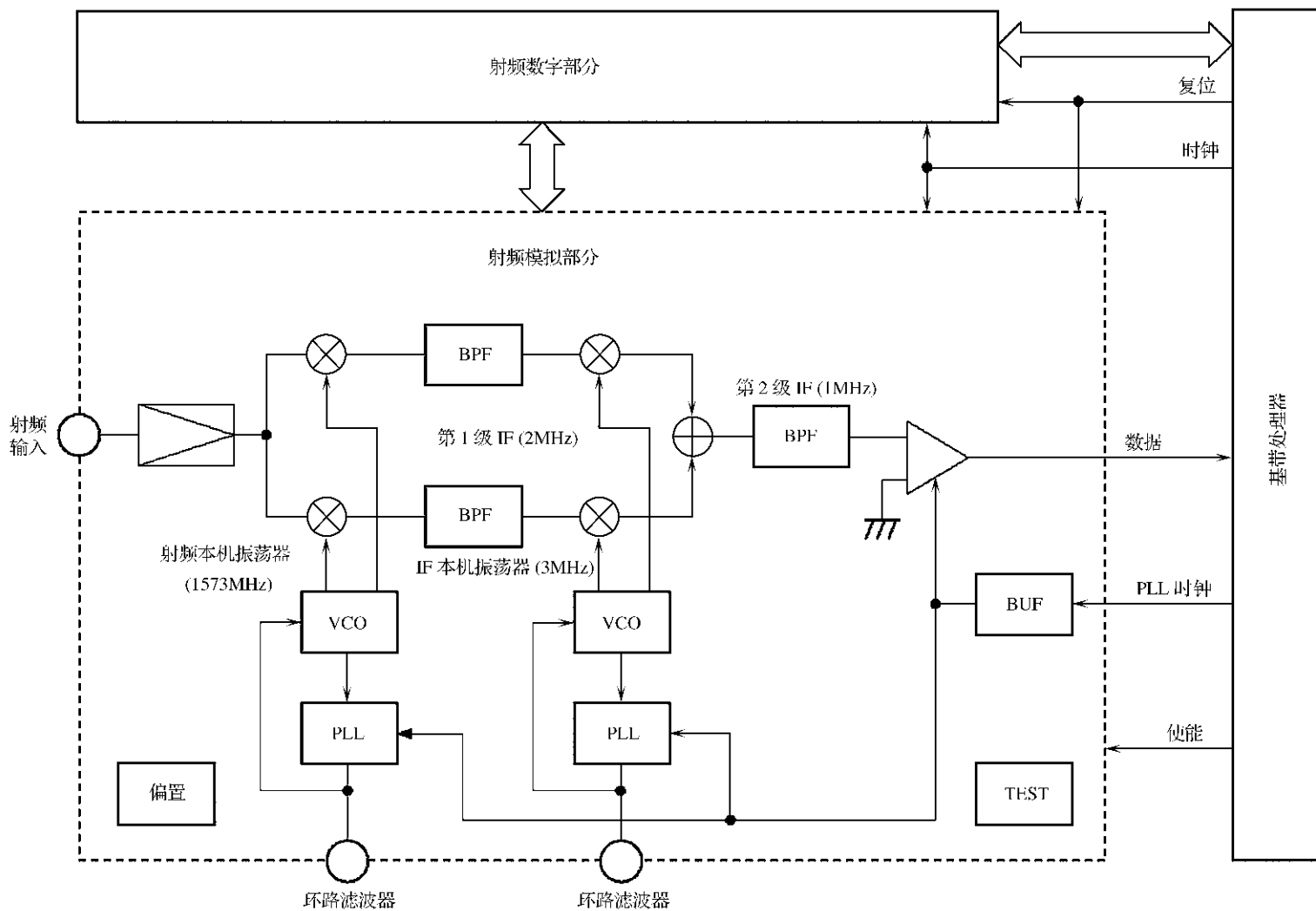


图 8-3 射频部分方框图

8.1.5 CXD2951GA 电路应用

1. 外接 RAM 控制

CXD2951GA 利用引脚 EXOE、EA[19:0]、EXCS[1:0]、ED[31:0]、EXWE[3:0] 可以与外部 RAM 直接接口。外部 RAM 读 32bit 模式时序图如图 8-4 所示,时序参数如表 8-7 所列。外部 RAM 写 32bit 模式时序图如图 8-5 所示,时序参数如表 8-8 所列。

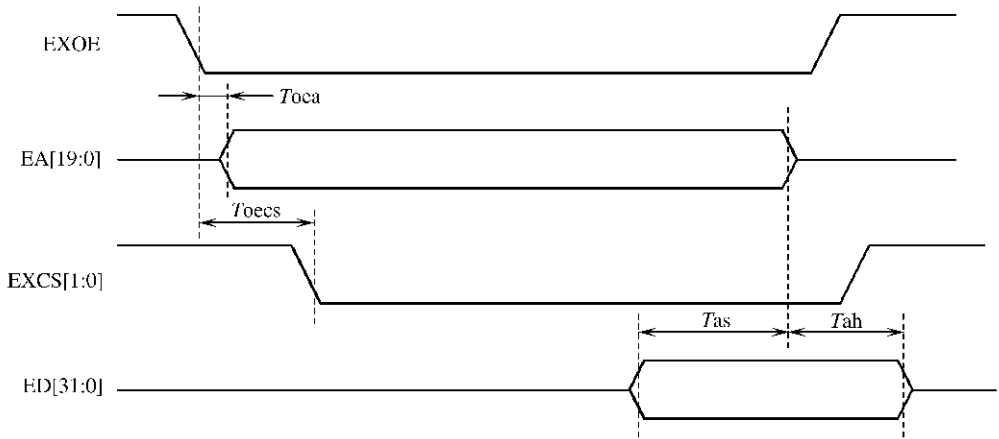


图 8-4 外部 RAM 读 32bit 模式时序图

表 8-7 外部 RAM 读 32bit 模式时序参数

(CVDD=1.62V~1.98V, IOVDD=3.0V~3.6V, CL=25pF, Topr=-40°C~+85°C)

参 数	符号	最小值	最大值	单位
EXOE 下沿到地址有效	T_{oea}		3	ns
EXOE 下沿到 EXCS 下沿	T_{oecs}		1	ns
数据建立	T_{as}		15	ns
数据保持	T_{ah}		0	ns

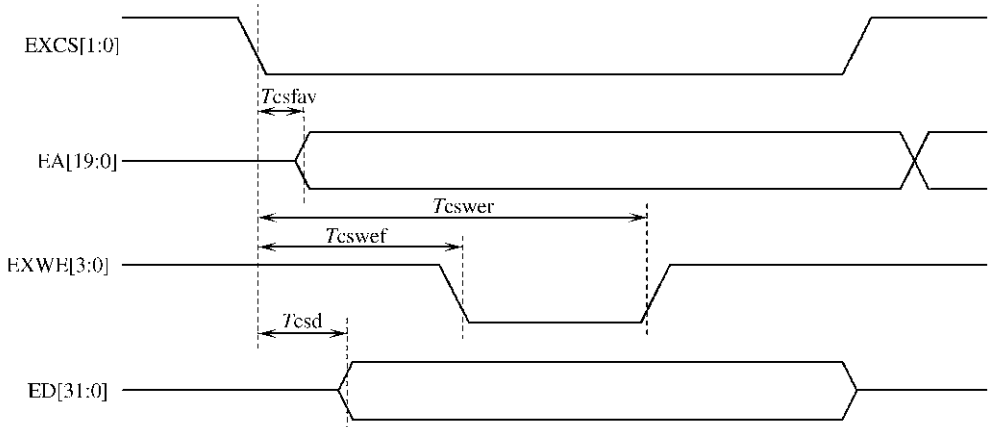


图 8-5 外部 RAM 写 32bit 模式时序图

表 8-8 外部 RAM 写 32bit 模式时序参数

(CVDD=1.62V~1.98V, IOVDD=3.0V~3.6V, CL=25pF, Topr=-40°C~+85°C)

参 数	符 号	最小值	最大值	单 位
EXCS 下沿到地址有效	T_{csfav}		2	ns
EXCS 下沿到 EXWE 下沿	T_{cswef}		$T_{sys}-1$	ns
EXCS 下沿到 EXWE 上沿	T_{cswer}		$T_{sys}\times 3-2$	ns
EXCS 下沿到数据有效	T_{csd}		15	ns

2. 备份模式 (Backup Mode) 控制

设置引脚 EOSCEN 和 EXRS 低电平, 备份模式被使能。在这个模式, 除 RTC 振荡器外, 停止所有的振荡器工作, 芯片进入低功耗模式。虽然所有的寄存器内容被初始化, 但备份 SRAM 的内容被保持。退出这个模式, 需要首先设置 EOSCEN 引脚为高电平, 然后再设置 EXRS 引脚为高电平, 在振荡器稳定时间和 PLL 锁定时间之后, 备份模式被消除。它需要大约 100ms 的时间。时序图如图 8-6 所示。

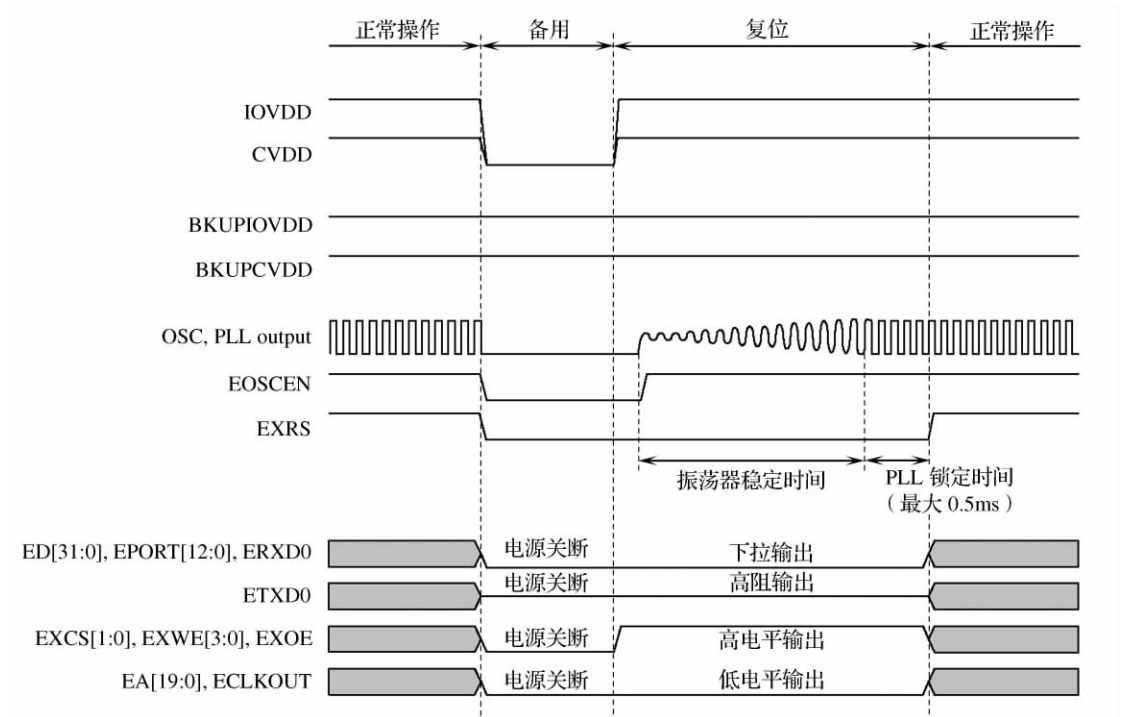


图 8-6 备份模式时序图

3. RTC 晶体振荡器参数选择

推荐的 RTC 晶体振荡器参数如表 8-9 所列。

表 8-9 推荐的 RTC 晶体振荡器参数

参 数	数 值	参 数	数 值
工作温度范围	-40°C~+85°C	频率温度系数	$-0.04\times 10^{-6}/^{\circ}\text{C}$
标准频率	32.768kHz	频率最高点温度	+25±5°C
频率公差	$\pm 20\times 10^{-6}$	频率老化	$\pm 3\times 10^{-6}/\text{年}$

4. TCXO 参数选择

推荐的 TCXO 参数如表 8-10 所列。

表 8-10 推荐的 TCXO 参数

参数	数值	参数	数值
工作温度范围	-40℃~+85℃	频率与电源电压变化的关系	$\pm 0.2 \times 10^{-6}$
频率公差	$\pm 2.0 \times 10^{-6}$	频率与负载变化的关系	$\pm 0.2 \times 10^{-6}$
频率与温度变化的关系	$\pm 2.5 \times 10^{-6}$	频率老化	$\pm 1 \times 10^{-6}$ /年

8.1.6 CXD2951GA 封装尺寸

CXD2951GA 采用 LFLGA-176 封装,封装尺寸如图 8-7 所示。

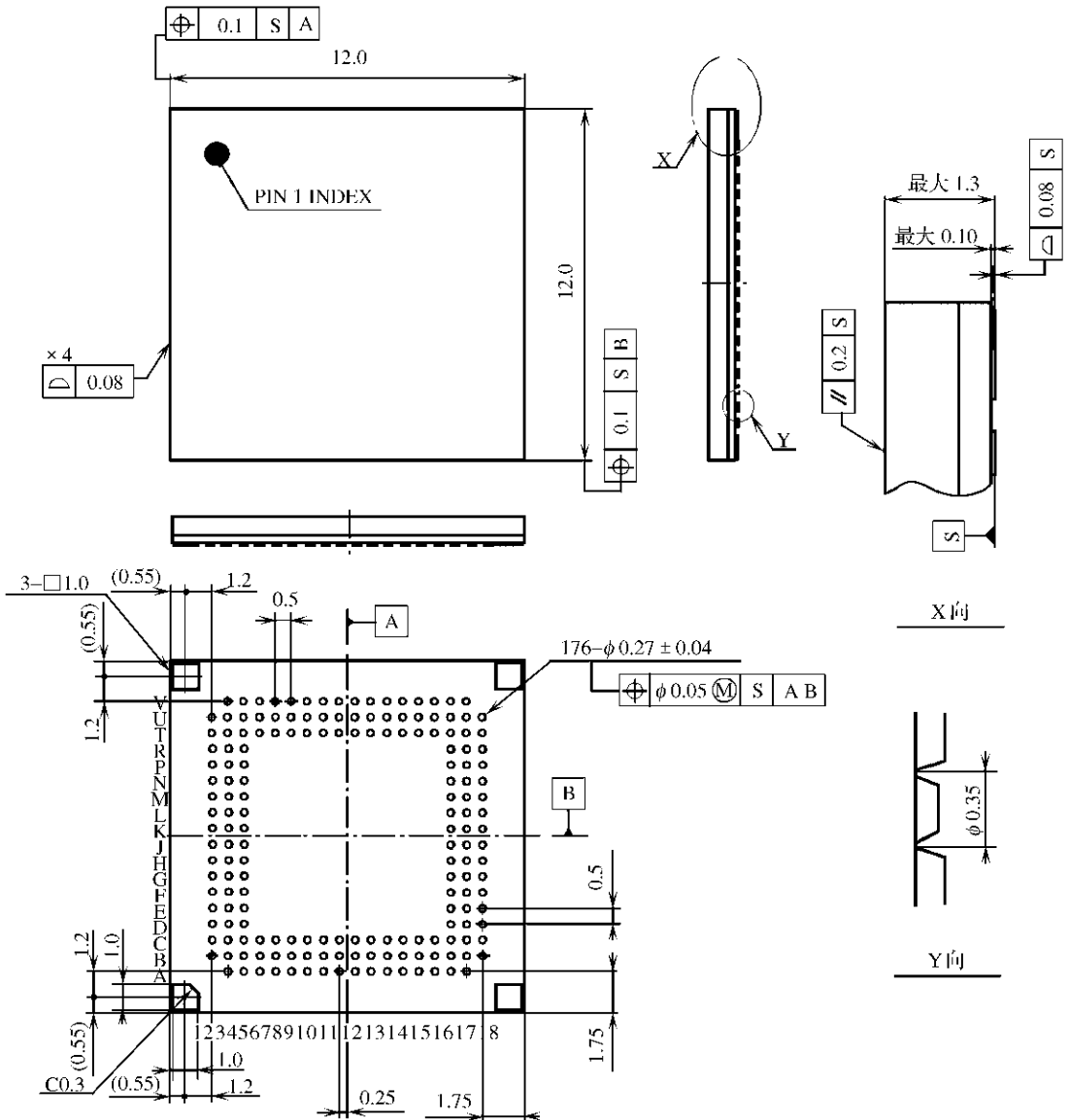


图 8-7 CXD2951GA 封装尺寸(单位:mm)

8.2 基于 eazix EZGPM01 的 GPS 接收机电路

8.2.1 EZGPM01 简介

EZGPM01 是一个功能完整的 GPS 接收机芯片, 基于 SiRFstar™ IIe/LP 体系结构, 完成 12 通道 GPS 信号处理, 提供精确的卫星定位数据。EZGPM01 是一个具有完全 EMI 屏蔽的器件。

EZGPM01 内部包含有低噪声放大器、射频滤波器、GRF2i/LP 射频前端 IC、GSP2e/LP GPS 引擎(高性能的 SiRFstar™ IIe/LP 内核)、8Mb Flash 存储器等。使用 1920 time/frequency 搜索信道, 可高速地捕获信号, 快速地写第 1 次定位时间; 支持 SBAS(Satellite Based Augmentation System); 具有先进的低功耗控制模式; 工作电源电压 3.3V; 通过电池备用引脚为芯片内部的备用存储器和实时时钟提供电源; 支持无源和有源的天线, 具有有源天线偏置电源电压引脚和过电流保护; 工作温度范围 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$; 封装尺寸为 $25.4\text{mm} \times 25.4\text{mm} \times 3\text{mm}$ 。

EZGPM01 适合在航海、航空、汽车等 GPS 接收机中应用。

8.2.2 EZGPM01 主要性能指标

EZGPM01 主要性能指标如表 8-11 至表 8-13 所列。

表 8-11 最大绝对值范围

参 数	符号	最小值	最大值	单位
电源电压	V_{cc}		6	V
输入引脚电压	V_{in}		5	V
天线偏置电流	I_{ant}		100	mA
储存温度	T_{stg}	-55	+125	$^{\circ}\text{C}$

表 8-12 工作条件

参 数	符号	最小值	典型值	最大值	单位
电源电压	V_{cc}	3.0	3.3	6	V
备用电池电压	V_{bat}	2.5	3.0	3.6	V
天线偏置电压	V_{ant}	2.0	3.0	12	V
电源电流	I_{cc}		67		mA
待机电池电流	I_{bat}		3.8		μA
天线偏置电流	I_{ant}		18		mA

工作温度	T_{opr}	-40		85	°C
------	-----------	-----	--	----	----

表 8-13 电气特性

参 数	数 值	单 位	
频率	1575.42(L1, CA 码)	MHz	
CA 码	1.023	MHz	
通道	12		
保持灵敏度	-144	dBm	
定位精确性	25(CEP, SA 关闭)	m	
速度	0.1(SA 关闭)	m/s	
时间	1(同步到 GPS 时间)	s	
DGPS 定位精确性	<5(SA 关闭)	m	
DGPS 速度	0.05(典型值)	m/s	
数据形式	WGS-84		
到第 1 次定位时间	重新取得(捕获)时间	100	ms
	瞬时启动	<3	s
	热启动	<8	s
	温热启动	<38	s
	冷启动	<45	s
串行通道	2 个全双工通信, 支持 NMEA、SiRF 二进制、RTCM SC-104 协议		
1PPS CMOS 电平, 脉冲持续时间	100	ms	

8.2.3 EZGPM01 引脚功能

EZGPM01 的引脚封装形式如图 8-8 所示, 引脚功能如表 8-14 所列。

表 8-14 引脚功能

引脚	符号	I/O 类型	功 能
1	VCC	I	3.3V 电源电压
2	DGND		数字电路地
3	BOOTSELECT	I	模式更新。当 BOOTSELECT 为高电平时, 导入更新模式
4	RXA	I	串行数据输入 A
5	TXA	O	串行数据输出 A
6	RXB	I	串行数据输入 B
7	TXB	O	串行数据输出 B
8	GPIO3	I/O	通用输入输出接口 3
9	RF_ON	O	指示射频部分导通

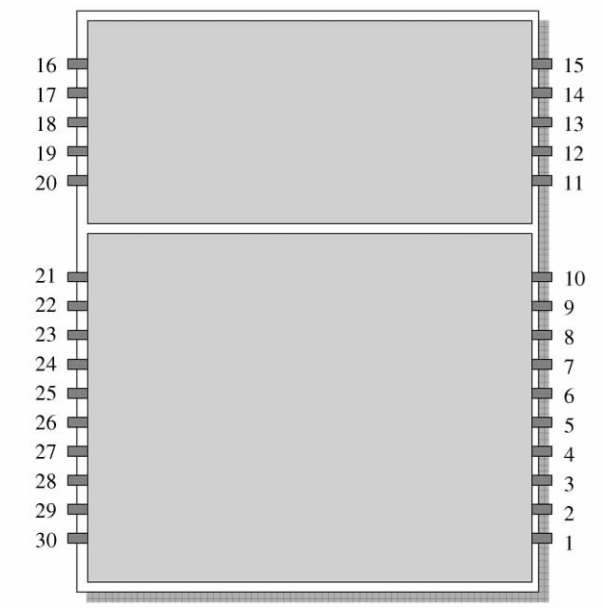


图 8-8 引脚封装形式

10	DGND		数字电路部分地
11	AGND		模拟电路部分地
12	AGND		模拟电路部分地
13	AGND		模拟电路部分地
14	AGND		模拟电路部分地
15	AGND		模拟电路部分地
16	AGND		模拟电路部分地
17	RF_IN	I	射频输入
18	AGND		模拟电路部分地
19	V_ANT	I	有源天线电源电压
20	VCC_RF	O	射频部分的 2.85V 输出
21	V_BAT	I	外部备用电池
22	RESET_N	I	复位。低电平有效
23	GPIO10	I/O	通用输入输出接口 10
24	GPIO6	I/O	通用输入输出接口 6
25	GPIO5	I/O	通用输入输出接口 5
26	GPIO7	I/O	通用输入输出接口 7
27	GPIO0	I/O	通用输入输出接口 0
28	GPIO1	I/O	通用输入输出接口 1

29	T-MARK(1PPS)	O	秒脉冲输出
30	DGND		数字电路部分地

8.2.4 EZGPM01 内部结构

EZGPM01 的内部结构方框图如图 8-9 所示,芯片内部包含有:低噪声放大器(LNA)、射频滤波器(RF Filter)、GRF2i/LP 射频前端 IC、GSP2e/LP GPS 处理器、8Mb Flash 存储器、复位电路(Reset IC)、晶体振荡器(XTAL)、电压稳压器(Voltage Regulator)等电路。

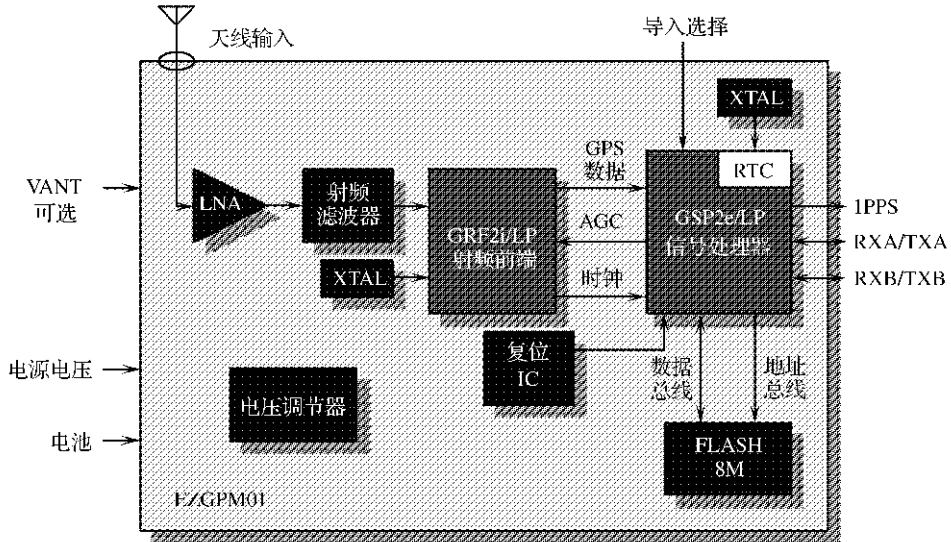


图 8-9 EZGPM01 的内部结构方框图

8.2.5 EZGPM01 电路应用

登录 eazix 公司网站 <http://www.eazix.com/>, 或者 E-mail: info@eazix.com, 可以获得详细的 EZGPM01 GPS 接收机电路参考设计资料。



图 8-10 EZGPM01 外形

8.2.6 EZGPM01 封装尺寸

EZGPM01 外形如图 8-10 所示,外形尺寸 $25.4\text{mm} \times 25.4\text{mm} \times 3\text{mm}$ 。推荐的 EZGPM01 印制板和焊盘设计尺寸如图 8-11 所示。

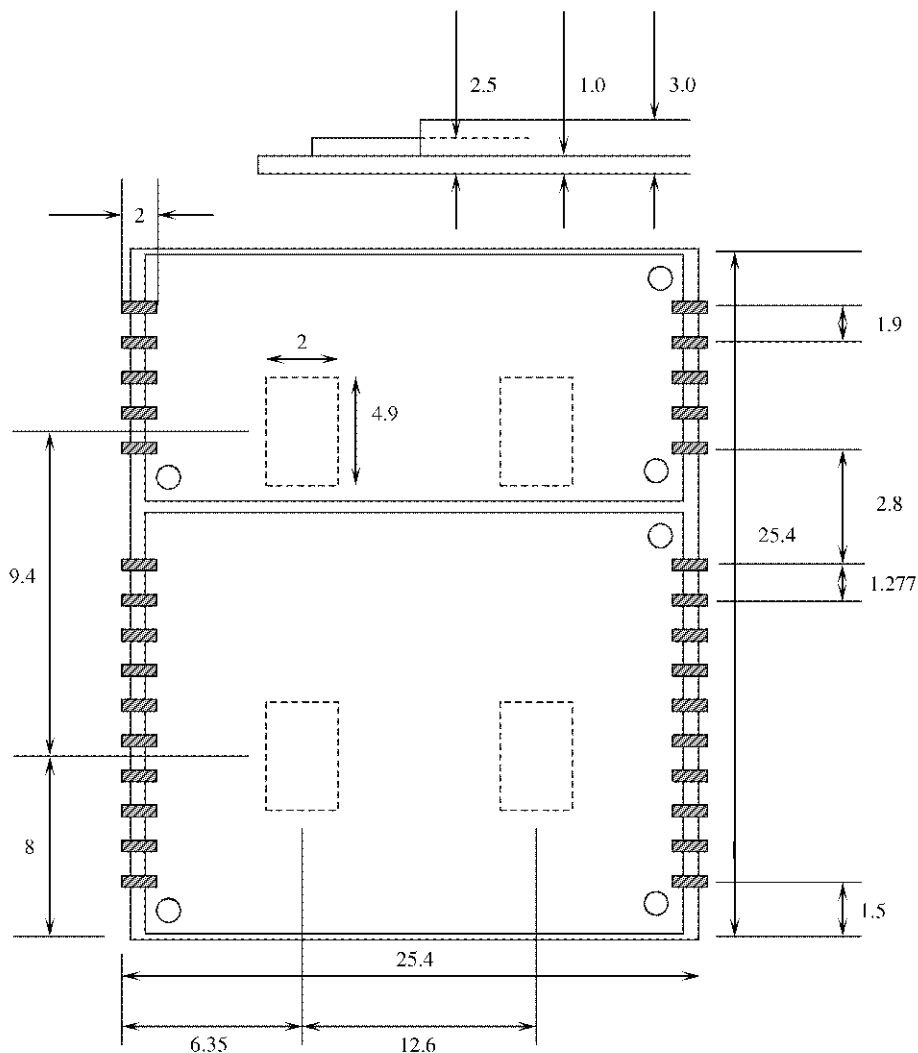


图 8-11 推荐的 EZGPM01 印制板和焊盘设计尺寸(单位:mm)

8.3 基于 ITRAX02 的 GPS 接收机电路

8.3.1 ITRAX02 主要技术特性

利用 ITRAX02 模块可以构成一个完整的 GPS 接收机。ITRAX02 模块包含 GPS 射频前端(uN8021 RF 芯片)、GPS 基带处理器(uN8031 芯片)、晶体振荡器(16.3676MHz TCXO, 32768Hz RTC)。具有双 UART 接口(3V CMOS 电平)、SPI 接口和 16bit GPIO 接口;1PPS 输出信号(3V CMOS 电平);8Mb FLASH 存储器(512kx16bit)。

ITRAX02 模块可接收 L1、C/A 编码信号；具有 12 通道；数据更新率 1Hz 或者由用户配置；AGC 范围为 0dB~+32dB；外部复位信号输入；GPS 天线可使用有源或者无源天线，采用 AMP 4-353515-0-40(40 个引脚端)系统连接器，可以为有源天线提供偏置电压。

ITRAX02 模块需要 2 个独立的电源，连接到 VRF 和 VBB 引脚，电源电压 +2.7V~+3.3V，推荐 VBB 为 +2.8V，VRF 为 +2.8V；功率消耗在导航模式为 130mW(2.7V 时)，在空闲模式为 22mW(2.7V 时)，在睡眠模式为 120 μ W(2.7V 时)；采用 NMEA-0183 V3.0 和 ITALK 二进制协议。

ITRAX02 模块外形尺寸为 26mm \times 26mm \times 4.60mm，质量为 4g。工作温度范围 -40 $^{\circ}$ C~+85 $^{\circ}$ C，工作湿度范围 0RH~95%RH(无冷凝)，振动 4g。

8.3.2 ITRAX02 引脚功能

ITRAX02 采用模块式封装，利用 AMP 4-353515-0-40(40 个引脚)连接器与外部设备连接，引脚功能如表 8-15 所列。

表 8-15 ITRAX02 引脚功能

引脚	符号	I/O 类型	功能
1	GPIO0	I/O	通用输入/输出引脚
2	GPIO1	I/O	通用输入/输出引脚
3	GPIO2	I/O	通用输入/输出引脚
4	GPIO3	I/O	通用输入/输出引脚
5	GPIO4	I/O	通用输入/输出引脚
6	GPIO5	I/O	通用输入/输出引脚
7	GPIO6	I/O	通用输入/输出引脚
8	GPIO7	I/O	通用输入/输出引脚
9	GPIO8	I/O	通用输入/输出引脚
10	GPIO9	I/O	通用输入/输出引脚
11	GPIO10	I/O	通用输入/输出引脚
12	GPIO11	I	外部唤醒输入
13	GPIO12	O	内部保留(FLASH READY/BUSY)
14	GPIO13	O	LNA 控制 1。0:LNA 导通;1:LNA 关断
15	GPIO14	I	导入模式选择。1:UART; 0:SPI
16	GND	地	电源和信号地
17	GPIO15	I	导入模式选择。1:FLASH; 0:UART/SPI
18	GND	地	电源和信号地
19	PM0	I	脉冲测量输入 0
20	PM1	I	脉冲测量输入 1

21	SPI_SDI	I	SPI 接口数据输入
22	SPI_SDO	O	SPI 接口数据输出
23	SPI_SCK	O	SPI 接口时钟输出

(续)

引脚	符号	I/O 类型	功能
24	SPI_XCS0	O	SPI 接口片选 0 输出
25	RXD0	I	UART 通道 0 接收数据
26	TXD0	O	UART 通道 0 发射数据
27	RXD1	I	UART 通道 1 接收数据
28	TXD1	O	UART 通道 1 发射数据
29	VBB	电源	电源, 2.7V~3.3V 直流电压
30	PPS	O	1PPS 信号输出
31	XRESET	I	外部复位, 低电平有效
32	GND	地	电源和信号地
33	VRF	电源	电源, 2.7V~3.3V 直流电压
34	GND	地	电源和信号地
35	GND	地	电源和信号地
36	GND	地	电源和信号地
37	RF	模拟	射频输入, 50Ω
38	V_ANTENNA	电源	天线配置直流电源
39	GND	地	电源和信号地
40	GND	地	电源和信号地

8.3.3 ITRAX02 内部结构

ITRAX02 内部结构方框图如图 8-12 所示, 模块内包含有天线偏置网络 (ANTENNA BIAS NETWORK) 2 级低噪声放大器 (LNA)、带通滤波器 (BPF)、uN8021 射频前端 (uN8021 RF Front-End)、uN8031 基带处理器 (uN8031 Baseband Processor)、FLASH 存储器、VCO 回路滤波器 (VCO Loop filter)、16.3676MHz TCXO、32768Hz RTC、系统连接器 (SYSTEM CONNECTOR) 等电路。

8.3.4 ITRAX02 电路应用

1. 系统连接器 (System connector)

ITRAX02 通过一个 49 个引脚的连接器 X2 (2×20 pin, 0.50mm pitch AMP connector 4-353515-0) 与外部电路连接。连接到 X2 的一些信号如表 8-15 所列, 分为: 射频输入; 通用输

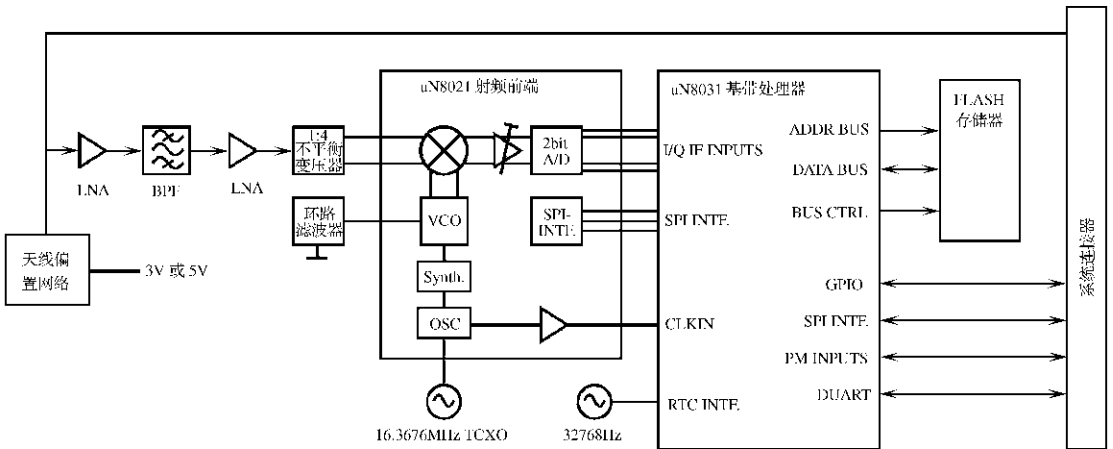


图 8-12 ITRAX02 内部结构方框图

入/输出端口 GPIO[0…15]; 脉冲处理输入 PM[0…1]; SPI 总线接口; UART 通道、PPS 输出; 外部复位; 射频电路部分电源电压 VRF; 基带部分电源电压 VBB; 外部天线偏置 V_ANTENNA。在连接器端口的 I/O 信号通过一个串联的 220Ω 电阻连接到 uN8031。uN8031 的一些输入端包括上拉或者下拉电阻, 因此不需要连接外部电阻到 ITRAX02。未使用的引脚可以不连接。

2. 电源电压 (Power Supply)

ITRAX02 需要两个独立的电源电压 VBB 和 VRF, 电源要求能够提供 50mA 的峰值电流。推荐的电源电路如图 8-13 所示。

3. SPI 接口 (SPI interface)

uN8031 的 SPI 接口用来选择外部 EEPROM 存储器 (如: 25LC640) 和有效控制 uN8021 射频芯片。SPI 外围设备有专门的片选信号。数据信号线是共用的。uN8031 的 SPI 引脚 (除 SPI_XCS1 外) 也被连接到系统连接器 X2, 可以与外部的 SPI 器件连接。uN8031 总是作为主设, 而其他 SPI 外部器件总是作为从设。SPI 接口 EEPROM 读时序如图 8-14 所示。

4. UART 接口 (UART interface)

2 个异步的 UART 接口连接到 X2, 波特率是可编程的, 数据格式如图 8-15 所示, 无奇偶位 (Parity: N), 数据位 8 位 (Data Bits: 8), 停止位 1 位 (Stop bits: 1), CMOS 信号电平。

5. GPIO 接口 (GPIO interface)

有 16 b GPIO 接口被连接到 X2。每一个 GPIO 引脚都可以被编程产生中断信号。GPIO14 和 GPIO15 被保留用做引导模式选择, 如表 8-16 所列。

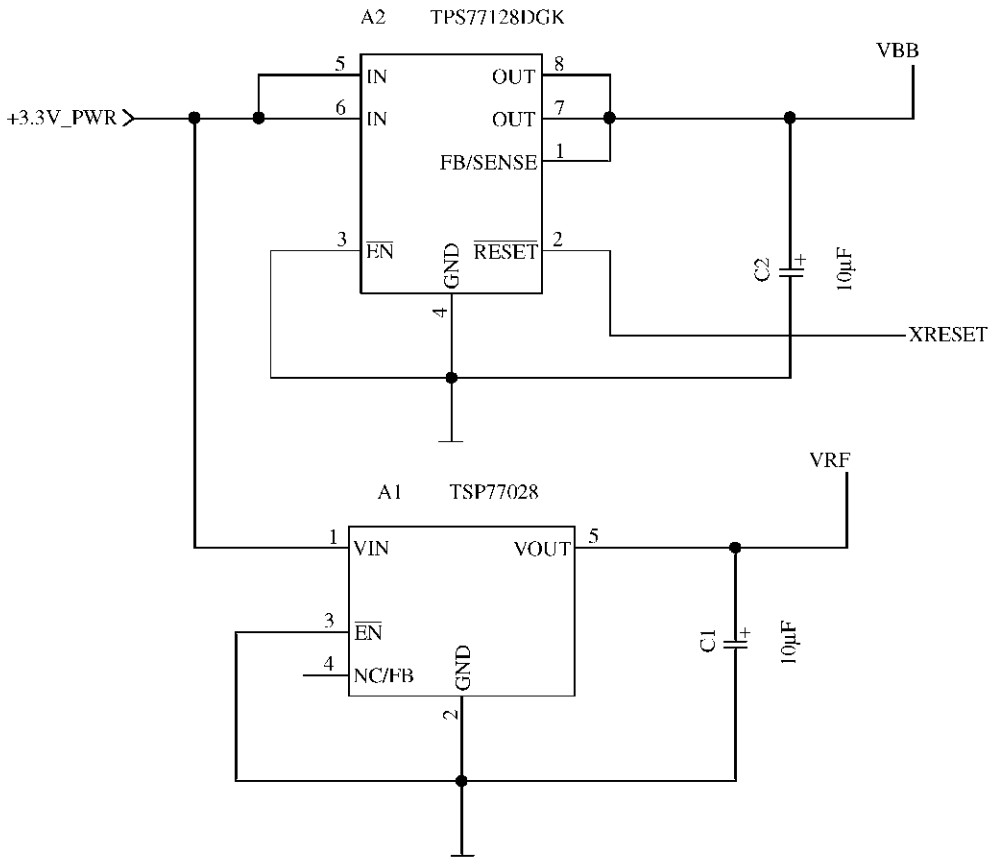


图 8-13 推荐的电源电路

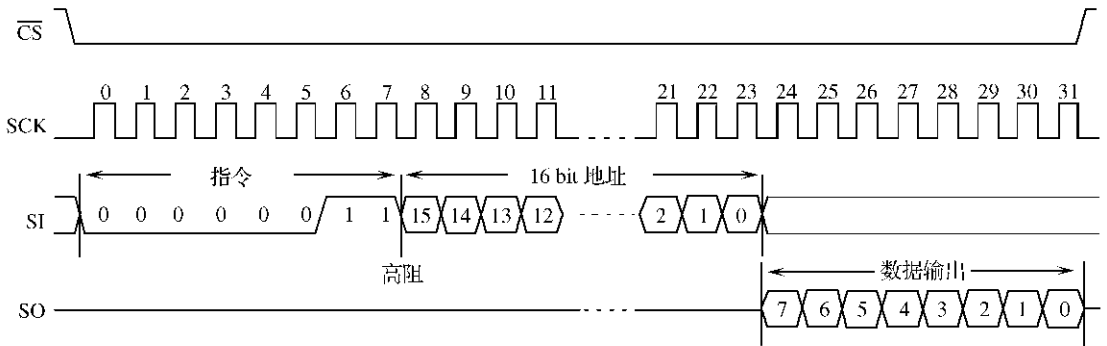


图 8-14 SPI 接口 EEPROM 读时序

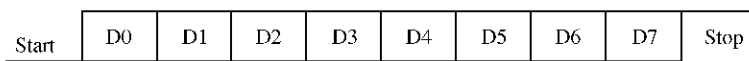


图 8-15 UART 接口数据格式

表 8-16 引导模式选择

GPIO15	GPIO14	引导模式选择
0	0	引导程序通过 SPI 来自 EEPROM
0	1	引导程序通过 UART PORT0, 波特率 15200Baud
1	x	引导程序来自 FLASH 存储器

GPIO13 被保留用来作为内部或者外部 LNA 电源控制。GPIO12 被保留用来作为内部 FLASH 存储器控制。GPIO11 被保留用来作为外部唤醒控制。

6. 射频接口 (RF interface)

一个外部的 GPS 天线能够被连接到 ITRAX02 连接器 X2。在印制板上设计了 50Ω 的微带线, 如图 8-16 所示。 50Ω 微带线的宽度与 PCB 的材料和厚度有关。例如: 使用 FR4 材料, 宽度 W (在 1.5GHz) 大约是 PCB 厚度 H 的 2 倍。如果 PCB 厚度是 0.8mm , 则宽度 W 将是 1.6mm 。

外部有源天线的天线偏置可以通过在 X2 上的 V _ ANTENNA 提供。V _ ANTENNA 电压将根据天线选择, 最大电源电流限制为 100mA 。

7. X2 接口电路

X2 接口电路如图 8-17 所示。

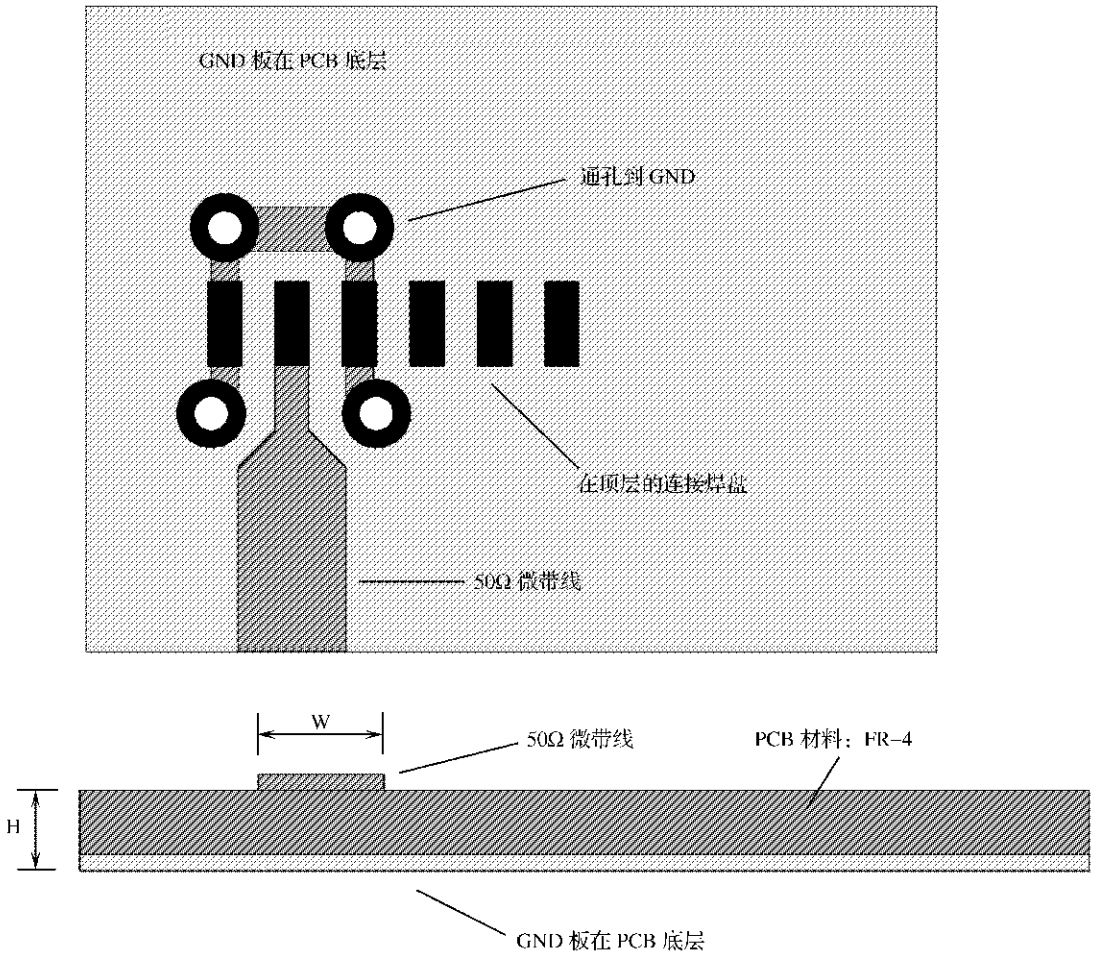


图 8-16 50Ω 微带线印制电路板设计示意图

8.3.5 ITRAX02 封装尺寸

ITRAX02 采用模块式封装,外形如图 8-18 所示,封装尺寸如图 8-19 所示,推荐的 PCB 安装尺寸如图 8-20 所示。

ITRAX02 系统连接器

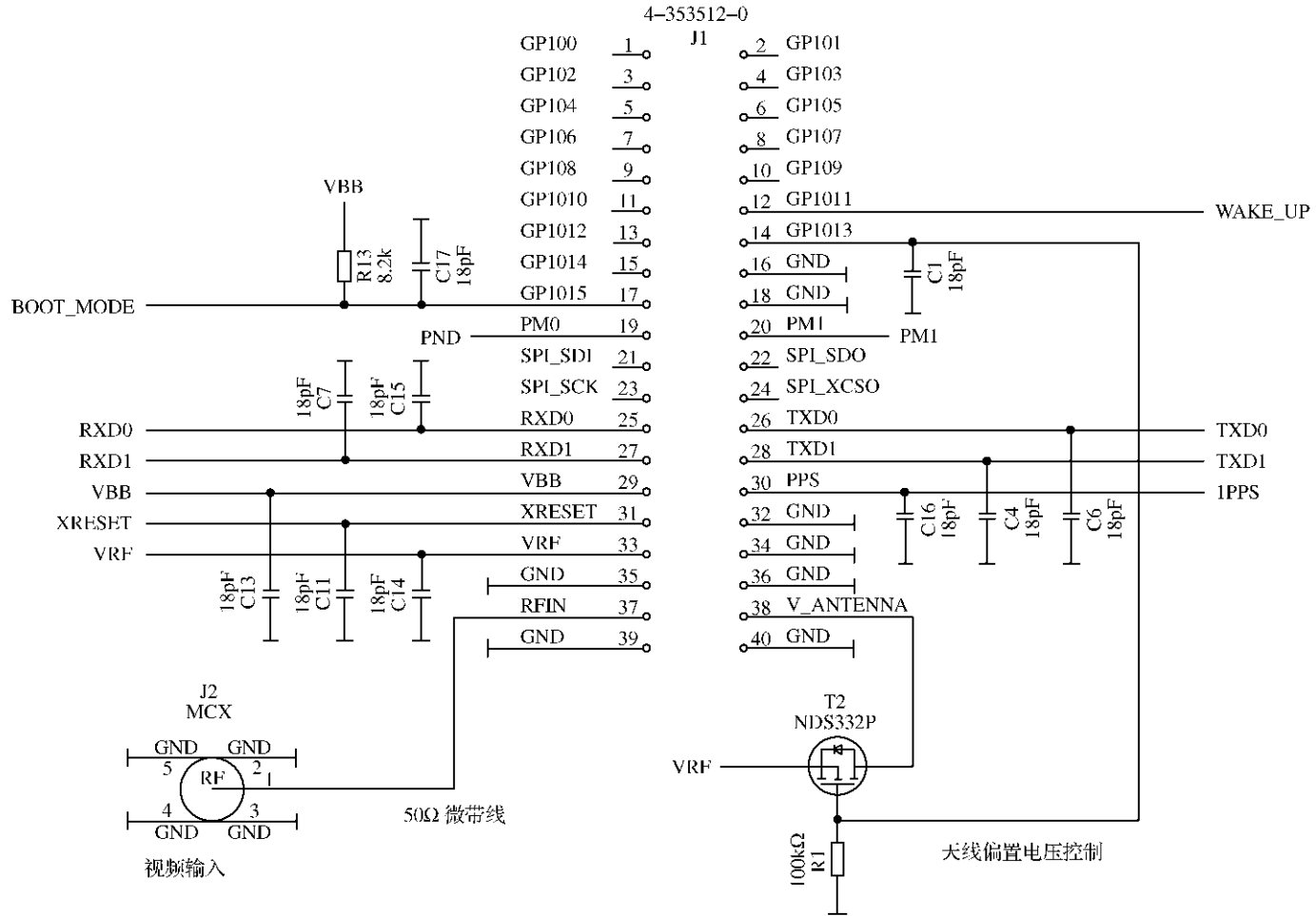
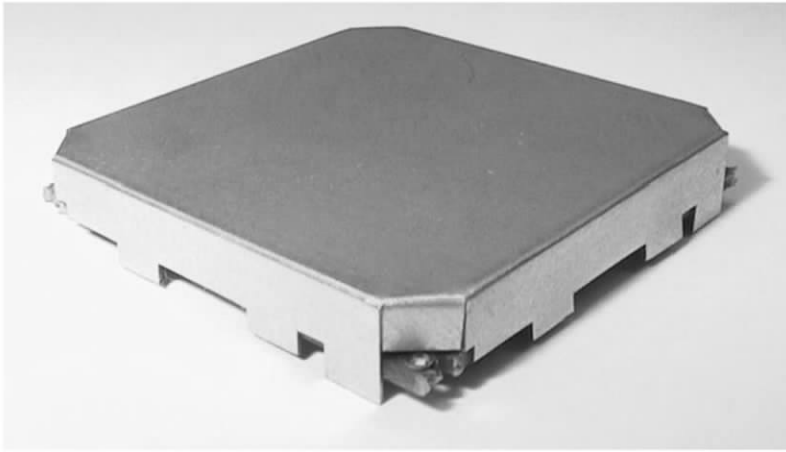
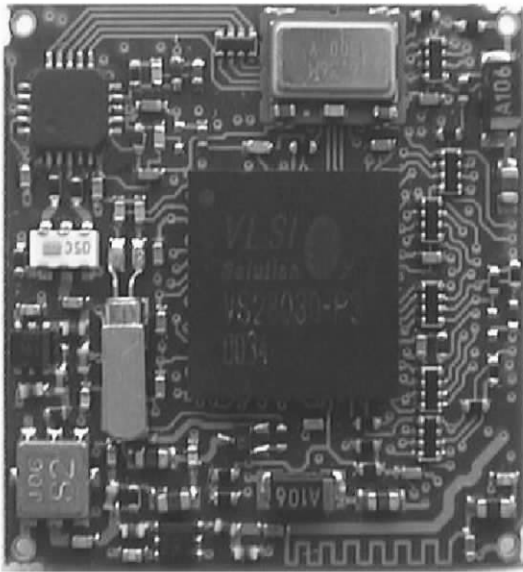


图 8-17 X2 接口电路



(a)



(b)



(c)

图 8-18 ITRAX02 封装形式

(a) ITRAX02 模块外形；(b) ITRAX02 印制板顶部视图；(c) ITRAX02 印制板底部视图。

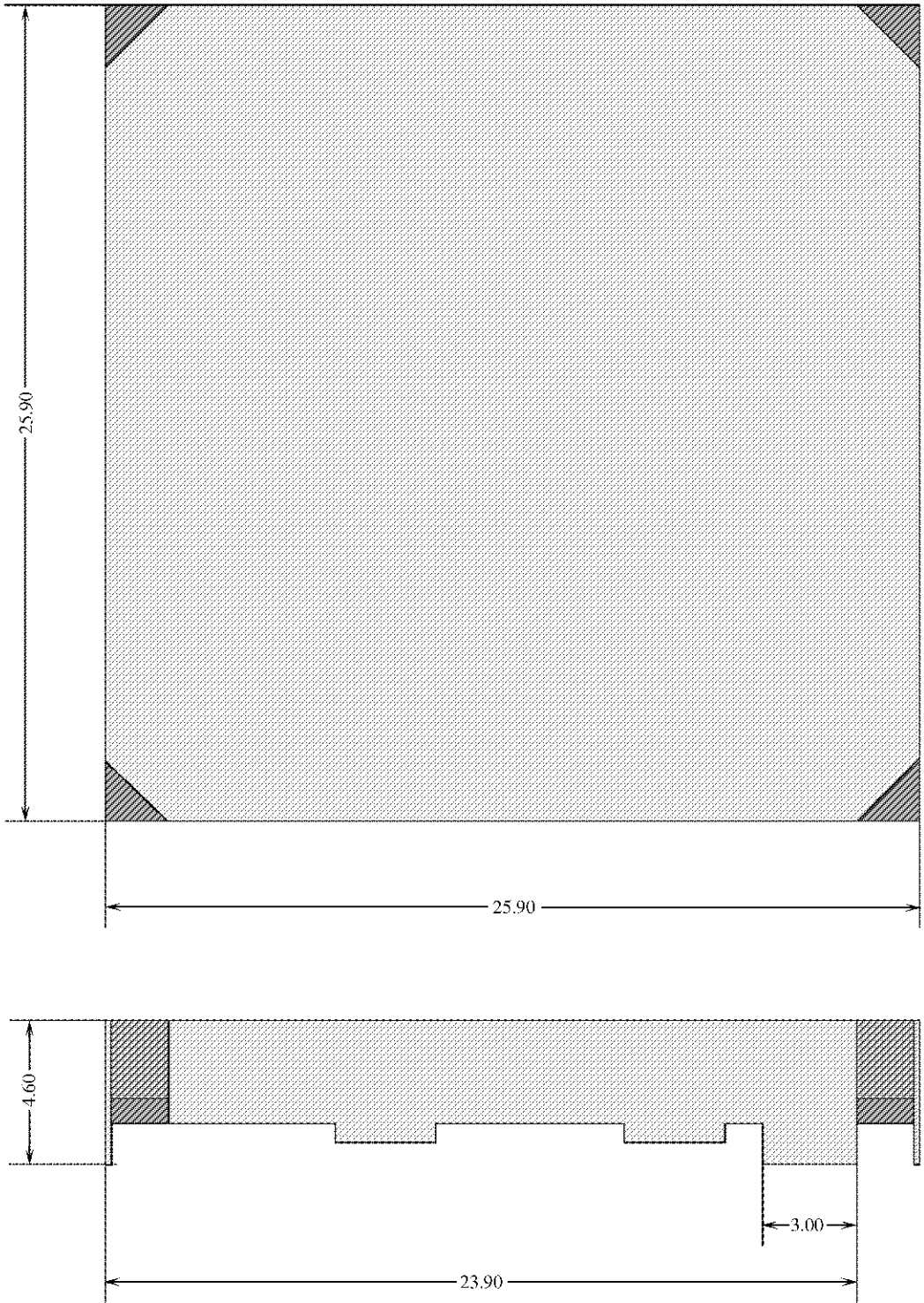


图 8-19 ITRAX02 封装尺寸(单位:mm)

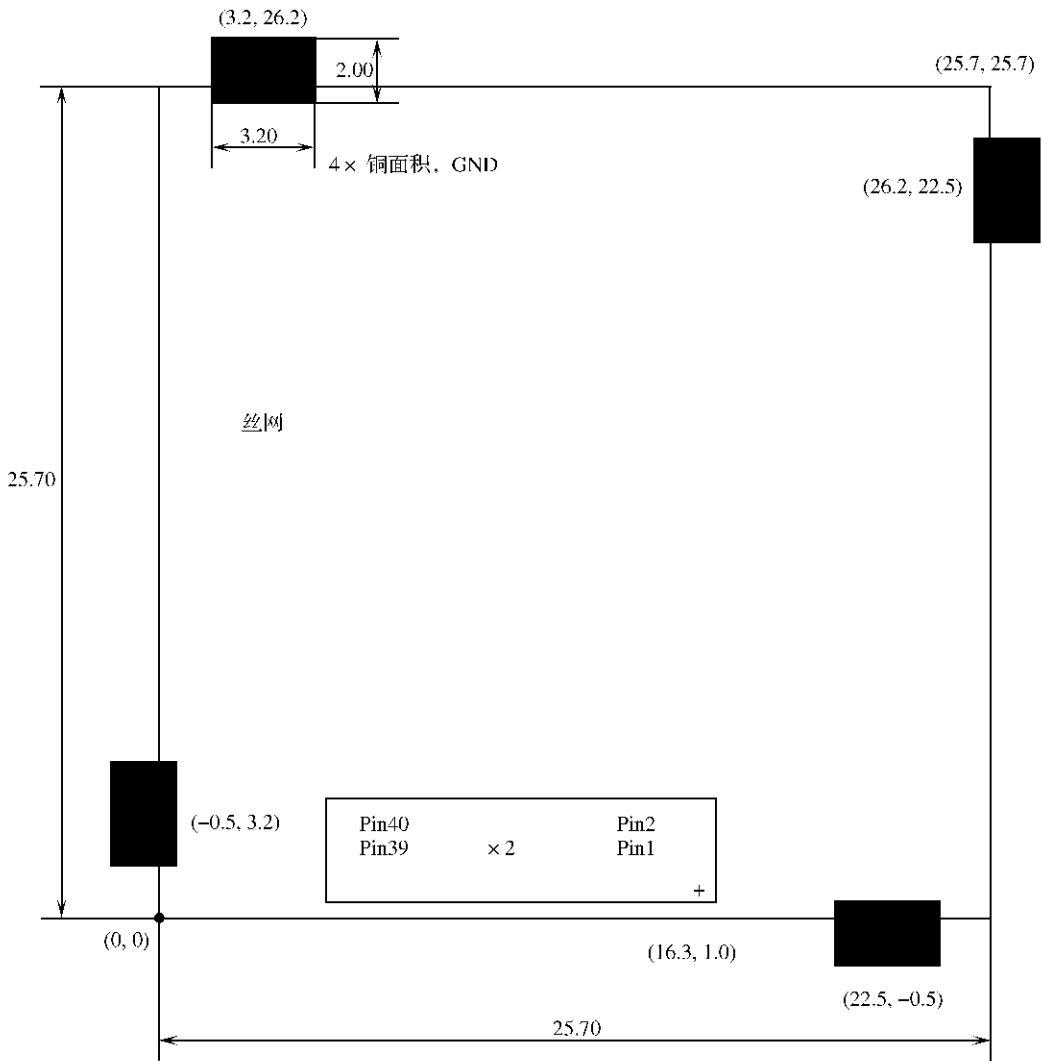


图 8-20 推荐的 ITRAX02 PCB 安装尺寸(单位:mm)

8.4 基于 RF8009 的 GPS 接收机电路

8.4.1 RF8009 简介

RFMD 公司的 RF8009 GPS 接收机是为 OEM(原始设备制造商)使用的即插即用的模块,具有 12 个信道,完成 GPS 信号处理,产生精确的导航数据,采用 38mm×38mm 封装,可广泛地应用在 GPS 终端产品上,如:舰队导航、汽车导航、远程信息处理和物体(财产)跟踪。

8.4.2 RF8009 主要性能指标

RF8009 的主要性能指标如表 8-17 所列。

表 8-17 RF8009 主要电气特性

参 数	最小值	典型值	最大值	单 位	备 注
外 部 电 源					
电压	3.17	3.3	3.43	V	运行模式
	1.65	2.5	2.7	V	电池备用模式
功率消耗		410		mW	数据更新时间 1s
		145		mW	数据更新时间 1s
		40		mW	数据更新时间 5s
		6		μ A	电池备用模式
峰到峰的纹波			100	mV	运行模式
信号捕获性能					
水平方向精确性		5.8		m	2DRMS
垂直方向精确性		9.7		m	2DRMS
速度精确性		0.06		m/s	1 Sigma
差分 GPS 精确性		<1		m	2DRMS
数据更新速率分辨率		1		s	
时间标记		1		s	1s \pm 100ns (1Sigma)
串行数据输出协议					二进制, NMEA-0183
串行主端口		19200		b/s	二进制, 无奇偶, 8 个数据位, 1 个停止位
串行辅助端口		9600		b/s	RTCM SC-104, 无奇偶, 8 个数据位, 1 个停止位
天 线 要 求					
频率		1575		MHz	
天线增益		3		dBic	90°仰角
放大器增益	26			dB	包括电量损失
放大滤波器噪声带宽	20			MHz	在 3dB 点
噪声特征			2.5	dB	
连接器类型					MCX
放大器电流, 直流 3V~5V			50	mA	由原始设备制造商提供
RF 信号环境					
RF 输入频率		1575.42		MHz	L1 频率频带
RF 输入功率	31			dBm	
灵敏度		-113		dBm	

参 数	最小值	典型值	最大值	单 位	备 注
运行环境					
温度(操作/存储)	-40		+85	℃	
湿度			95	%	
最大极限	-1000		+60000	ft	
加速度		4g			
海拔高度	-1000		+60000	ft	
最大交通工具移动			515	m/s	

8.4.3 RF8009 模块封装与引脚功能

RF8009 采用模块式封装,尺寸 38mm×38mm,引脚功能如表 8-18 所列。

表 8-18 RF8009 引脚功能

引脚	符号	功 能
1	V3_3P	接收机的主电源输入端
2	GND	接收机的接地端
3	TX1	主异步双工串行数据端口发送引脚,支持二进制和 NMEA 信息协议,默认设置:信息格式为二进制;波特率为 19200b/s;无奇偶性;数据位为 8Bit;停止位为 1 Bit
4	RX1	主要的异步双工数据端口接收线,支持二进制和 NMEA 信息协议,默认设置:信息格式为二进制;波特率为 19200b/s;无奇偶性;数据位为 8bit;停止位为 1 Bit
5	TMARK	UTC 时间标志脉冲,每秒一个脉冲。二进制信息 OTMP 包含 UTC 时间,该时间与时标脉冲有关
6	V_ANT	提供电源,连接到 RF 连接器的中心线
7	V2_5BU	为接收机的实时时钟提供一个备用电源
8	V2_5BU	辅助异步双工串行数据端口接收引脚,支持 DGPS RTCM SC-104 信息协议。默认设置:信息格式为 RTCM SC-104;波特率为 9600b/s;无奇偶性;数据位为 8bit;停止位为 1 bit
9	TX2	辅助异步双工串行数据端口发送引脚
10	GPIO20	通用输入/输出端口

8.4.4 RF8009 内部结构

RF8009 的内部结构方框图如图 8-21 所示。模块内部包含有数字 ASIC(Digital ASIC)、L1 带通滤波器(L1 BP Filter)、低噪声放大器(LNA)、增益放大器(Gain)、滤波器(Filter)、模数转换器(ADC)、温度传感器(Temp. Sensor)、FLASH 存储器、管理器(Supervisor)、+2.5 V 基准电压(+2.5 V Reg.)、43 MHz GPS 晶体振荡器(GPS Crystal)和振荡器(Osc.)、32 kHz 实时时钟晶体振荡器(RTC Crystal)和振荡器(OSC.)等电路。数字 ASIC 中包含有完整的微处理器,有 PowerPCR401、GPS 信号处理、静态存储器和寄存器测试电路等电路。

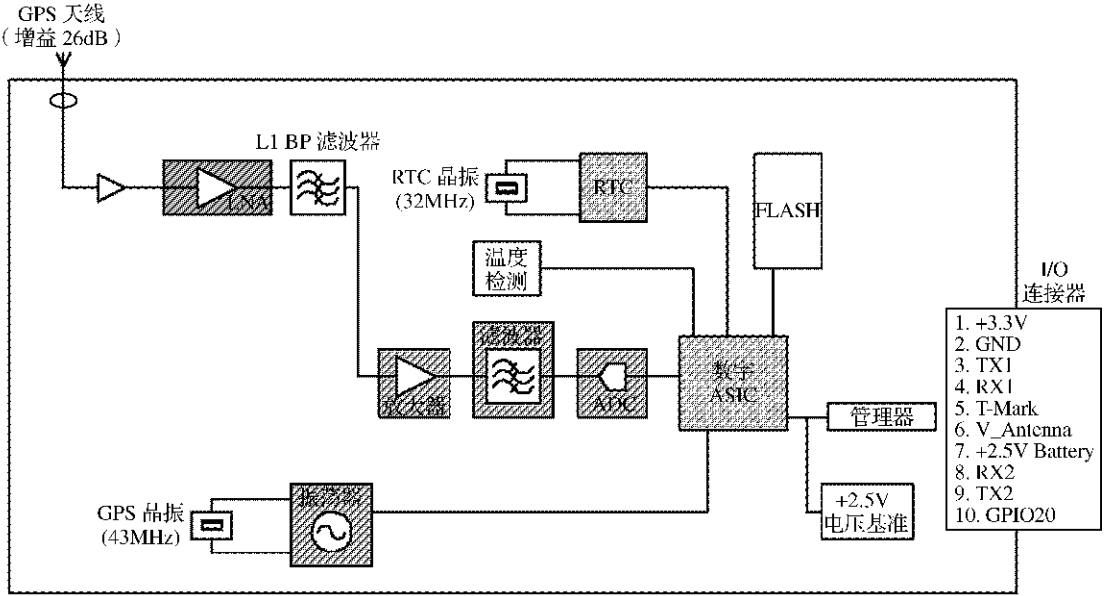


图 8-21 RF8009 的内部结构方框图

8.4.5 RF8009 电路应用

1. 接收机体系结构

GPS 接收机芯片组包括了所有的射频直接采样和放大电路,完成数据采样,到达专用集成电路(ASIC)的采样数据有符号和量级两个信号。专用集成电路(ASIC)包含完整的微处理器(PowerPCR401)、GPS 信号处理、SRAM 和 RTC 电路。制造一个完整的导航系统,需要存储器和其他支持器件。

2. 接收机操作

接收机需要 3.3V 直流电源和天线,接收足够的卫星信号,提供导航数据。安装在室内或交通工具内部的天线,要能够有效地接收卫星信号。如果天线与卫星是隔离的,要花很长时间才能定位。如果可利用的卫星少于 4 个,接收机需要使用海拔高度的辅助,才能提供有效的 2D 定位处理。

(1) 信号截获模式

GPS 接收机支持表 8-19 所列 4 种截获信号的模式,不同模式的第 1 次定位时间(TTFF)等参数不同,如表 8-20 所列。

表 8-19 工作模式

冷启动(Cold Start)	在这个模式,接收机的有效历书和频率标准参数存储在存储器中。当没有电池备用电源时,在启动时,接收机进入这个模式
暖启动(Warm Start)	在这个模式,接收机可利用内存的有效数据初始化位置、时间、历书和参考频率等参数。当使用备用电池电源时,接收机进入这个模式有一个较长的电源关断周期
热启动(Hot Start)	在这个模式,接收机可利用内存的有效数据初始化位置、时间、历书和参考频率等参数。当使用备用电池电源时,接收机进入这个模式,有一个短的电源关断周期或软件复位
重新截获(Reacquisition)	在这个模式,接收机存在一个短时间的信号阻塞(少于 10s),信号阻塞时间小于连续导航周期

表 8-20 不同信号截获模式性能

截获模式	TTFF/s (注释 1,2)	初始定位容差(3Sigma)			最大历书使用时间 /周	最大年鉴使用 时间/h
		位置/km	速度/m/s	时间/min		
冷启动	44	无效	外形	无效	1	无效
暖启动	40	100	75	5	1	无效
热启动	10	100	75	5	1	4
重新截获	1	100	75	5	1	4

(2) 导航模式

GPS 接收机支持 3 种导航模式: 3D(three-dimensional, 3 维), 2D(two-dimensional, 2 维) 和差分 GPS(Differential GPS, DGPS) 模式。当 4 个或更多的卫星有效, 接收机进入 3D 导航模式; 当有效使用到的卫星数少于 4 个 GPS 卫星时, 固定的海拔高度可使用, GPS 接收机进入 2D 导航模式, 为了计算此时的定位值, 接收机既可采用由 3D 模式下决定的最后高度, 也可使用用户提供的数据。在 2D 导航模式下, 固定的海拔高度值和天线实际的海拔高度值之间的关系, 确定导航的精确度。当使用 4 个或更多的卫星, 并且信号具有差分修正时, 接收机进入差分 GPS(DGPS) 导航模式。精确定位是整个 GPS 系统中的重要功能, 导航精确度如表 8-21 所列。

表 8-21 导航精确度

位置(2DRMS, 95%, All-in-View)		速度	DGPS	时间
水平方向	垂直方向			
5.8m	9.7m	0.06m/s	<1m	100ns

(3) 电源工作模式

GPS 接收机有表 8-22 所列 3 种电源工作模式。

表 8-22 电源工作模式

模式	描述
关断模式	接收机完全不使能, 包括所有直流电源、输入信号和控制信号
工作模式	当外部直流电源连接到接收机的主电源输入端(V3_3P 处)时, 接收机工作
备用电池模式	当主电源被移走时, 提供的外部直流电源连接到 RTC 端(V2_5BU), 接收机进入备用电池模式。如果接收机在该模式下启动, 其将使用 RTC 中的当前时间和存储在 FLASH 存储器中的卫星数据, 使能够快速地完成第 1 次定位(TTFF)

3. 天线电源

GPS 接收机提供电源电压到 I/O 连接器中的 V_ANT 引脚, 该引脚在射频连接器相连的。连接到 V_ANT 引脚的电压可以是正或负电压, 可到达直流 15V。

天线检测电路功能用来确定 GPS 天线是否有效连接, 可检查天线的过流和短路。该状态要使用 IBIT 信息, 结果在 OBIT 信息中报告。

4. 输入/输出信号

输入/输出信号在表 8-18 中有描述。所有的数字 I/O 信号为直流 2.5V CMOS 缓冲信号电平, 允许使用 3.3V 电压。

5. 信息定义

RFMD GPS 接收机用户手册中提供表 8-23 至表 8-27 所定义的二进制信息和 NMEA 信息。

表 8-23 二进制输出信息

二进制信息	描述	默认状态
ONVD	导航处理数据	是
OSAT	可视卫星	校正时
OCHS	信道状态	是
ODGS	DGPS 状态	否
ODGC	DGPS 配置	否
ONOC	导航工作配置	在接通电源/复位时出现
ONVC	导航有效配置	在接通电源/复位时出现
ONPC	导航平台配置	否
OCSC	冷启动配置	在接通电源/复位时出现
OEMA	仰角标记配置	在接通电源/复位时出现
ODTM	图像数据选择	在接通电源/复位时出现
ODTU	用户数据定义	否
OTMP	UTC 时间标记脉冲	是
OALD	下载历书数据	否
OEPD	下载星历表数据	否
OUTD	下载 UTC/IONO 数据	否
OSHM	卫星健康标记结构	否
OSID	接收机软件标识符(ID)	在接通电源/复位时出现
OBIT	内置测试结果(ACK)	否
OFSH	上载 FLASH 指令(ACK)	否

表 8-24 二进制输入信息

二进制信息	描述	二进制信息	描述
INIT	导航初始化	IEPD	星历表下载指令
IDGC	DGPS 配置	IUTD	UTC/IONO 下载指令
INOC	导航工作配置	ISHM	卫星健康标记配置
INVC	导航有效配置	IRST	复位指令
INPC	导航平台配置	IFSH	下载 FLASH 指令
ICSC	冷启动配置	ILOG	信息逻辑控制
IEMA	仰角标记配置	IIOC	输入/输出端口配置
IDTM	图像数据选择	IMPC	信息协议配置
IDTU	用户数据定义	IBIT	内置测试指令
IALD	历书下载指令		

表 8-25 NMEA 输出信息

NEMA 信息	描述	默认状态
SID	软件翻译	在接通电源/复位时出现
GGA	GPS 定位数据	是
GLL	地理位置:纬度/经度	否
GSA	GPS DOP 和有效卫星	是
GSV	GPS 可视卫星	
RMC	推荐使用的最小指定 GPS/传输数据	是
VTG	好的轨迹和地面速度	否
BTO	内置测试结果(ACK)	否
CHS	信道状态数据	是

表 8-26 NMEA 输入信息

NMEA 信息	描述
INT	接收机初始化
LOG	信息逻辑控制
IOC	输入/输出端口配置
MPC	信息协议配置
RST	复位指令
BTI	要求内置测试的指令

表 8-27 RTCM SC-104 信息

RTCM 信息	描述
类型 1	差分 GPS 修正
类型 2	增量(DELTA)差分 GPS 修正
类型 9	局部卫星设置差分修正

8.4.6 RF8009 封装尺寸

RF8009 模块采用 38mm×38mm 封装,外形如图 8-22 所示,RF8009-1 采用直角 MCX 射频连接器,RF8009-2 直式 MCX 射频连接器,尺寸如图 8-23 所示。



图 8-22 RF8009 模块外形

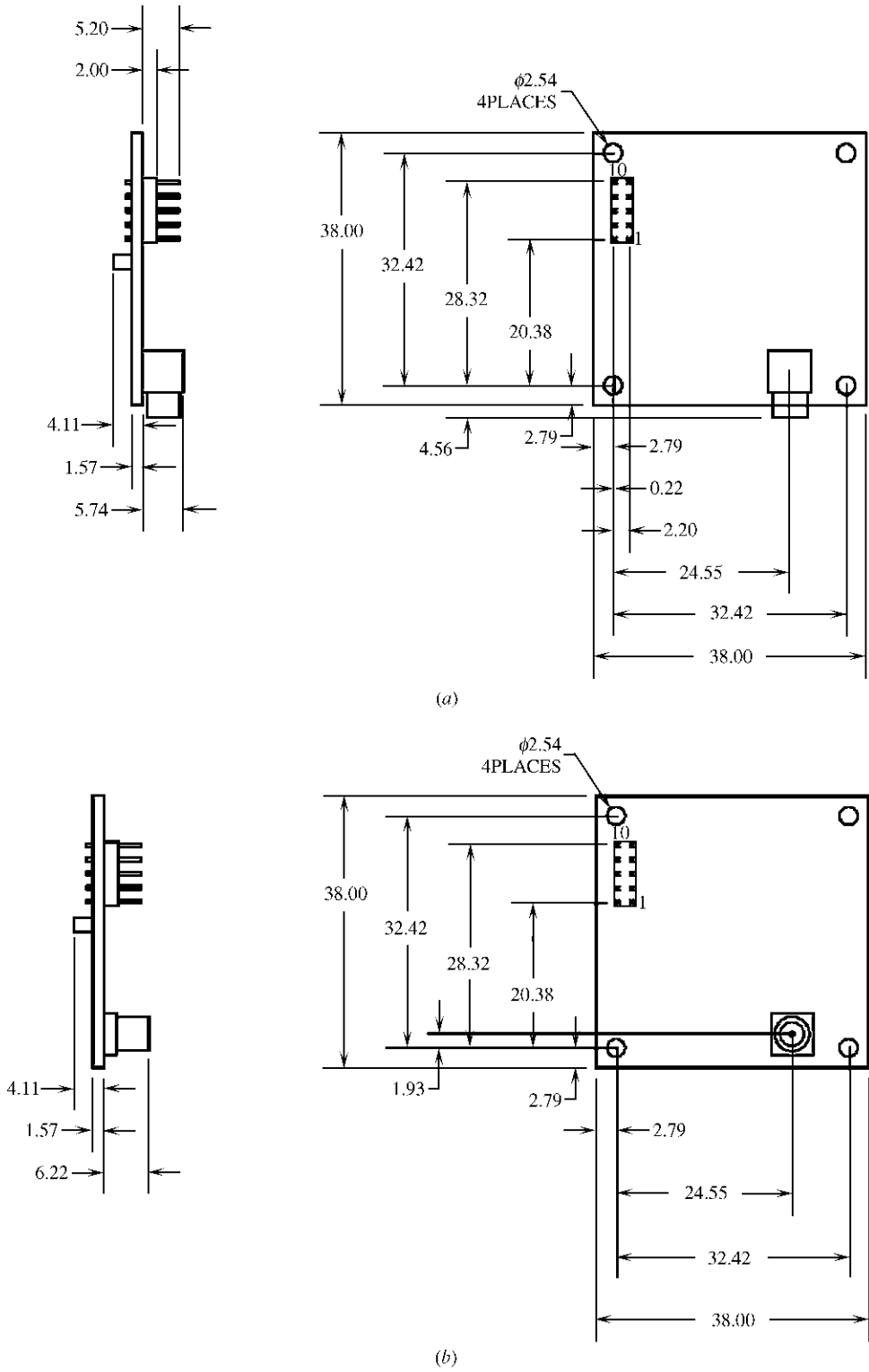


图 8-23 RF8009 模块封装尺寸(单位: mm)

(a) 采用直角 MCX 射频连接器封装尺寸; (b) 采用直式 MCX 射频连接器封装尺寸。

8.5 基于 XE1610-OEM PVT 的 GPS 接收机电路

8.5.1 XE1610-OEM PVT 简介

XE1610-OEM PVT 是一个完整的 OEM GPS 接收机,基于先进的 FirstGPS™ 结构。FirstGPS™ 结构采用软件和硬件混和,利用嵌入式 ARM7TDMI、XE16BB10 相关器和射频下变频器 IC,装载有自己的软件。导航软件是与 NMEA 标准接口兼容的,适合大多数的 Mapping GIS 终端用户程序。XE1610-OEM PVT 主要技术特性:L1 频率,C/A 码(SPS),8 通道,连续跟踪接收,32 个相关器;数据更新速率 1s~1min;接收灵敏度 -143dBm;定位精度 5m CEP(50%)无 SA(水平);速度<0.1m/s 无 SA;时间±100ns;截获:冷启动<120s(50%),暖启动<40s(50%),热启动<12s(50%),重新截获<1s;PPS 输出;双向 NMEA 接口;低功耗,电流<20mA(当电源电压为 3.3V 时)XE1610-OEMPVT 2.0.C 选择 4MB FLASH 存储器,XE1610-OEMPVT 2.2.C 选择 16MB FLASH 存储器。

XE1610 适合掌上型电脑、PDA、移动电话、手表式/腕式仪器仪表、数字式照相机、手持式 GPS 接收机、运输/财产管理、汽车等应用,可为 GPS 接收机设计者提供一个最佳的软件和硬件平台。

8.5.2 XE1610-OEM PVT 主要性能指标

XE1610-OEM PVT 主要性能指标如表 8-28 所列。

表 8-28 XE1610-OEM PVT 主要性能指标

参 数	最小值	典型值	最大值	单 位
接收		L1,C/A code		
相关器/通道		32/8		
数据更新速率	1/min	1/s	1/s	
卫星重新截获时间			1	s
热启动时间			12	s(50%)
暖启动时间			40	s(50%)
冷启动时间			120	s(50%)
跟踪灵敏度		-173		dBW
电源消耗(VCC) (3.3V 时)				
有效模式,搜索和跟踪		17	20	mA
节能模式		2.2	2.5	mA
待机模式		400	500	μA

(续)

参 数	最小值	典型值	最大值	单 位
低功耗模式		18	20	μA
电源电压	3	3.3	3.65	V
备用电池电压	1.9		3.65	V
输出协议		NMEA 0183, V3.0		
定位精度				
水平, SA 关闭			5	m(圆周率误差 50%)
DGPS 修正			1	m
时间输出精度	-100		100	ns
工作温度范围	-40		85	$^{\circ}\text{C}$

8.5.3 XE1610-OEM PVT 引脚功能

XE1610-OEM PVT 采用模块式封装,封装尺寸 $25\text{mm} \times 30\text{mm} \times 9.5\text{mm}$ (大约 1.0 英寸 \times 1.2 英寸 \times 0.38 英寸),引脚功能如表 8-29 所列。

表 8-29 XE1610-OEM PVT 引脚功能

引脚	符 号	功 能	引脚	符 号	功 能
1	GND	电源和信号地	9	GND	电源和信号地
2	ON/OFF	导通/关断命令输入	10	RESETN	手动复位,低电平有效
3	VCC	3.0V~3.3V 电源电压	11	ALMRDY	历书和日期输出
4	USPED	UART 速度	12	STY1	备用
5	RXA	串行接收数据,通道 A,GPS NMEA 数据	13		NC
6	VRTCBK	RTC 备用电源	14	DELPOSN	删除最初的位置
7	TXA	串行发射数据,通道 A,GPS NMEA 数据	15		NC
8	PPS	1 PPS 输出	16	STANDBYN	待机控制,低电平有效

8.5.4 XE1610-OEM PVT 内部结构

XE1610-OEM PVT 内部结构方框图如图 8-24 所示,模块内部包含:射频下变频器(RF DOWNCONVERTER)、GPS 基带处理器(GPS BASEBAND PROCESSOR)、接口软件和硬件(RTOS、FirstGPS SOFTWARE、API、XE1610-OEMPVT APPLICATION)、TCXO、带通滤波器(BP FILTER)、I 低通滤波器(I LPF)、Q 低通滤波器(Q LPF)等电路。

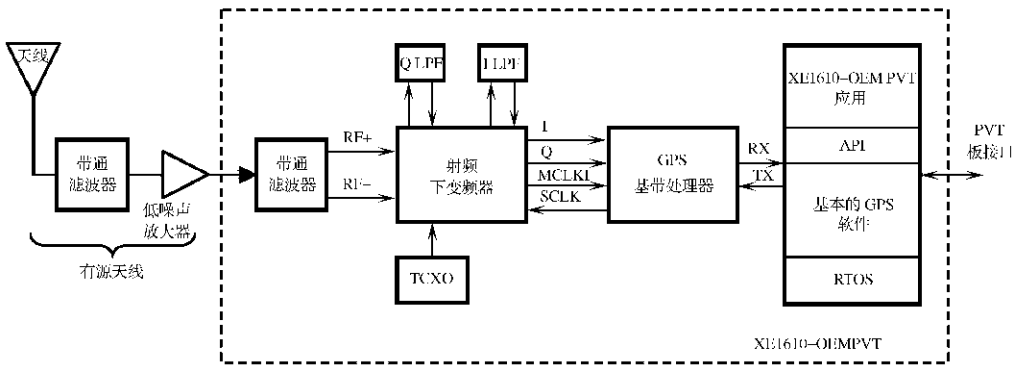


图 8-24 XE1610-OEM PVT 内部结构方框图

8.5.5 XE1610-OEM PVT 电路应用

1. XE1610-OEM PVT 连接

XE1610-OEM PVT 模块有 2 个接口连接器,射频接口连接器采用超小型的 HFL 与有源天线连接,数据接口连接器采用 16 线的板到板的扁平电缆连接器与主机连接。

2. XE1610-OEM PVT 工作模式

XE1610-OEM PVT 模块有 4 个主要工作模式,如表 8-30 所列,模式转换如图 8-25 所示。

表 8-30 XE1610-OEM PVT 工作模式

模式	功能	VCC 引脚	ON/OFF 引脚	STANDBYN 引脚	最大电流消耗
有效模式	接收机运行,截获、跟踪、定位	加电	高电平	高电平	20mA
节能模式	GPS 接收机功能关闭, MCU 在空闲模式, MCU 时钟运行, RTC 时钟运行	加电	低电平(或者 NMEA 命令)	高电平	3mA
待机模式	GPS 接收机功能关闭, MCU 时钟停止, RTC 时钟运行	加电	低电平(或者 NMEA 命令)	低电平	<500 μ A
低功耗模式	GPS 接收机功能关闭, MCU 时钟停止, RTC 时钟用备用电池运行	不加电	低电平	低电平	<20 μ A

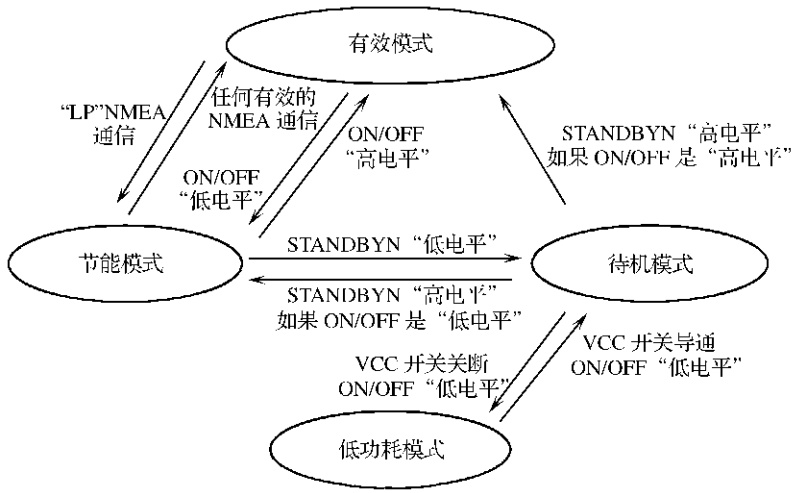


图 8-25 工作模式转换

参 考 文 献

- 1 黄智伟. 无线发射与接收电路设计. 第 1 版. 北京:北京航空航天大学出版社,2004
- 2 黄智伟. 单片无线数据通信 TIC 原理与应用. 第 1 版. 北京:北京航空航天大学出版社,2004
- 3 黄智伟. 无线通信集成电路. 第 1 版. 北京:北京航空航天大学出版社,2004
- 4 黄智伟. 蓝牙硬件电路. 第 1 版. 北京:北京航空航天大学出版社,2005
- 5 黄智伟. 无线数字收发电路设计. 第 1 版. 北京:电子工业出版社,2003
- 6 黄智伟. 射频集成电路芯片原理与应用电路设计. 第 1 版. 北京:电子工业出版社,2004
- 7 黄智伟. 基于 Multisim2001 的电子电路计算机仿真设计与分析. 第 1 版. 北京:电子工业出版社,2004
- 8 黄智伟. FPGA 系统设计与实践. 第 1 版. 北京:电子工业出版社,2004
- 9 邱致和,王万义. GPS 原理与应用. 第 1 版. 北京:电子工业出版社,2002
- 10 胡伍生. GPS 测量原理及其应用. 第 1 版. 北京:人民交通出版社,2002
- 11 张其善. 智能车辆定位导航系统及应用. 第 1 版. 北京:科学出版社,2002
- 12 段吉海,黄智伟. 基于 CPLD/FPGA 的数字通信系统建模与设计. 第 1 版. 北京:电子工业出版社,2004
- 13 高吉祥,黄智伟,陈和等. 高频电子电路. 第 1 版. 北京:电子工业出版社,2003
- 14 David Carey. Garmin 公司的全球定位系统手持设备 GPSMAP-76S. 电子工程专辑,2002,9(1):55